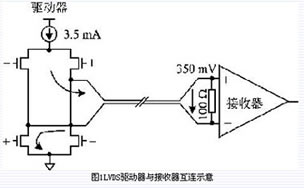
ECL1电路是射极耦合逻辑（Emitter Couple Logic）集成电路的简称 与TTL电路  
不同，ECL电路的最大特点是其基本门电路工作在非饱和状态 所以，ECL电路的最大  
优点是具有相当高的速度 这种电路的平均延迟时间可达几个毫微秒甚至亚毫微秒数  
量级,这使得ECL集成电路在高速和超高速数字系统中充当无以匹敌的角色。

    ECL电路的逻辑摆幅较小（仅约 0.8V ，而 TTL 的逻辑摆幅约为 2.0V ），当  
电路从一种状态过渡到另一种状 态时，对寄生电容的充放电时间将减少，这也是   
ECL电路具有高开关速度的重要原因。但逻辑摆幅小，对抗干扰能力不利。

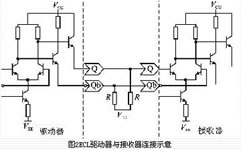
    由于单元门的开关管对是轮流导通的，对整个电路来讲没有“截止”状态，所  
以单元电路的功耗较大。

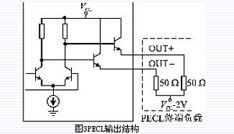
    从电路的逻辑功能来看， ECL 集成电路具有互补的输出，这意味着同时可以获  
得两种逻辑电平输出，这将大大简化逻辑系统的设计。

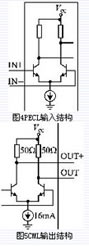
    ECL集成电路的开关管对的发射极具有很大的反馈电阻，又是射极跟随器输出，  
故这种电路具有很 高的输入阻抗和低的输出阻抗。射极跟随器输出同时还具有对逻  
辑信号的缓冲作用。

在通用的电子器件设备中，TTL和CMOS电路的应用非常广泛。但是面对现在系统日益复杂，传输的数据量越来越大，实时性要求越来越高，传输距离越来越长的发展趋势，掌握高速数据传输的逻辑电平知识和设计能力就显得更加迫切了。  
    1 几种常用高速逻辑电平  
    1.1LVDS电平  
　　LVDS（Low Voltage Differential Signal）即低电压差分信号，LVDS接口又称RS644总线接口，是20世纪90年代才出现的一种数据传输和接口技术。  
　　LVDS的典型工作原理如图1所示。最基本的LVDS器件就是LVDS驱动器和接收器。LVDS的驱动器由驱动差分线对的电流源组成，电流通常为3.5 mA。LVDS接收器具有很高的输入阻抗，因此驱动器输出的大部分电流都流过100 Ω的匹配电阻，并在接收器的输入端产生大约350 mV的电压。当驱动器翻转时，它改变流经电阻的电流方向，因此产生有效的逻辑“1”和逻辑“0”状态。  


    LVDS技术在两个标准中被定义：ANSI/TIA/EIA644 (1995年11月通过)和IEEE P1596.3 (1996年3月通过)。这两个标准中都着重定义了LVDS的电特性，包括：  
    ① 低摆幅（约为350 mV）。低电流驱动模式意味着可实现高速传输。ANSI/TIA/EIA644建议了655 Mb/s的最大速率和1.923 Gb/s的无失真通道上的理论极限速率。  
    ② 低压摆幅。恒流源电流驱动，把输出电流限制到约为3.5 mA左右，使跳变期间的尖峰干扰最小，因而产生的功耗非常小。这允许集成电路密度的进一步提高，即提高了PCB板的效能，减少了成本。  
    ③ 具有相对较慢的边缘速率（dV/dt约为0.300 V/0.3 ns,即为1 V/ns）,同时采用差分传输形式，使其信号噪声和EMI都大为减少，同时也具有较强的抗干扰能力。  
　　所以，LVDS具有高速、超低功耗、低噪声和低成本的优良特性。  
　　LVDS的应用模式可以有四种形式：  
    ① 单向点对点（pointtopoint），这是典型的应用模式。  
   ② 双向点对点（pointtopoint），能通过一对双绞线实现双向的半双工通信。可以由标准的LVDS的驱动器和接收器构成；但更好的办法是采用总线LVDS驱动器，即BLVDS,这是为总线两端都接负载而设计的。  
    ③ 多分支形式(multidrop)，即一个驱动器连接多个接收器。当有相同的数据要传给多个负载时，可以采用这种应用形式。 ④ 多点结构（multipoint）。此时多点总线支持多个驱动器，也可以采用BLVDS驱动器。它可以提供双向的半双工通信，但是在任一时刻，只能有一个驱动器工作。因而发送的优先权和总线的仲裁协议都需要依据不同的应用场合，选用不同的软件协议和硬件方案。  
　　为了支持LVDS的多点应用，即多分支结构和多点结构，2001年新推出的多点低压差分信号（MLVDS）国际标准ANSI/TIA/EIA 8992001，规定了用于多分支结构和多点结构的MLVDS器件的标准，目前已有一些MLVDS器件面世。  
　　LVDS技术的应用领域也日渐普遍。在高速系统内部、系统背板互连和电缆传输应用中，驱动器、接收器、收发器、并串转换器/串并转换器以及其他LVDS器件的应用正日益广泛。接口芯片供应商正推进LVDS作为下一代基础设施的基本构造模块，以支持手机基站、中心局交换设备以及网络主机和计算机、工作站之间的互连。  
    1.2ECL电平  
　　ECL(EmitterCoupled Logic)即射极耦合逻辑，是带有射随输出结构的典型输入输出接口电路，如图2所示。

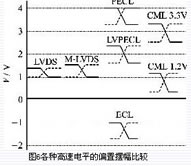


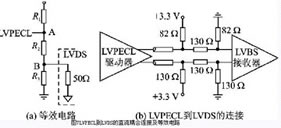
  ECL电路的最大特点是其基本门电路工作在非饱和状态，因此ECL又称为非饱和性逻辑。也正因为如此，ECL电路的最大优点是具有相当高的速度。这种电路的平均延迟时间可达几个ns数量级甚至更少。传统的ECL以VCC为零电压，VEE为-5.2 V电源，VOH=VCC-0.9 V=-0.9 V，VOL=VCC-1.7 V=-1.7 V，所以ECL电路的逻辑摆幅较小（仅约0.8 V）。当电路从一种状态过渡到另一种状态时，对寄生电容的充放电时间将减少，这也是ECL电路具有高开关速度的重要原因。另外，ECL电路是由一个差分对管和一对射随器组成的，所以输入阻抗大，输出阻抗小，驱动能力强，信号检测能力高，差分输出，抗共模干扰能力强；但是由于单元门的开关管对是轮流导通的，对整个电路来讲没有“截止”状态，所以电路的功耗较大。  
　　如果省掉ECL电路中的负电源，采用正电源的系统(+5 V)，可将VCC接到正电源而VEE接到零点。这样的电平通常被称为PECL（Positive Emitter Coupled Logic）。如果采用+3.3 V供电，则称为LVPECL。当然，此时高低电平的定义也是不同的。它的电路如图3、4所示。其中，输出射随器工作在正电源范围内，其电流始终存在。这样有利于提高开关速度，而且标准的输出负载是接50Ω至VCC-2 V的电平上。  
　　在使用PECL 电路时要注意加电源去耦电路，以免受噪声的干扰。输出采用交流耦合还是直流耦合，对负载网络的形式将会提出不同的需求。直流耦合的接口电路有两种工作模式：其一，对应于近距离传送的情况，采用发送端加到地偏置电阻，接收端加端接电阻模式；其二，对应于较远距离传送的情况，采用接收端通过电阻对提供截止电平VTT 和50 Ω的匹配负载的模式。以上都有标准的工作模式可供参考，不必赘述。对于交流耦合的接口电路，也有一种标准工作模式，即发送端加到地偏置电阻，耦合电容靠近发送端放置，接收端通过电阻对提供共模电平VBB 和50 Ω的匹配负载的模式。  
　　(P)ECL是高速领域内一种十分重要的逻辑电路，它的优良特性使它广泛应用于高速计算机、高速计数器、数字通信系统、雷达、测量仪器和频率合成器等方面。 1.3CML电平  
　　CML电平是所有高速数据接口中最简单的一种。其输入和输出是匹配好的，减少了外围器件，适合于更高频段工作。它的输出结构如图5所示。  
　　CML 接口典型的输出电路是一个差分对形式。该差分对的集电极电阻为50 Ω，输出信号的高低电平切换是靠共发射极差分对的开关控制的。差分对的发射极到地的恒流源典型值为16 mA。假定CML的输出负载为一个50 Ω上拉电阻，则单端CML输出信号的摆幅为VCC~VCC-0.4 V。在这种情况下，差分输出信号摆幅为800 mV。信号摆幅较小，所以功耗很低，CML接口电平功耗低于ECL的1/2，而且它的差分信号接口和 ECL、LVDS电平具有类似的特点。  
　　CML到CML之间的连接分两种情况：当收发两端的器件使用相同的电源时，CML到CML可以采用直流耦合方式，不用加任何器件；当收发两端器件采用不同电源时，一般要考虑交流耦合， 中间加耦合电容（注意这时选用的耦合电容要足够大，以避免在较长连0 或连1 情况出现时，接收端差分电压变小）。  




 但它也有些不足，即由于自身驱动能力有限，CML更适于芯片间较短距离的连接，而且CML接口实现方式不同用户间差异较大，所以现有器件提供CML接口的数目还不是非常多。  
    2 各种逻辑电平之间的比较和互连转化  
    2.1各种逻辑电平之间的比较  
　　这几种高速逻辑电平在目前都有应用，但它们在总线结构、功率消耗、传输速率、耦合方式等方面都各有特点。为了便于应用比较，现归纳以上三类电平各方面的特点，如表1所列。  


2.2各种逻辑电平之间的互连  
　　这三类电平在互连时，首先要考虑的就是它们的电平大小和电平摆幅各不一样，必须使输出电平经过中间的电阻转换网络后落在输入电平的有效范围内。各种电平的摆幅比较如图6所示。



其次，电阻网络要考虑到匹配问题。例如我们知道，当负载是50 Ω接到VCC-2 V 时，LVPECL 的输出性能是最优的，因此考虑的电阻网络应该与最优负载等效；LVDS 的输入差分阻抗为100 Ω，或者每个单端到虚拟地为50 Ω，该阻抗不提供直流通路，这里意味着LVDS输入交流阻抗与直流阻抗不等，电阻值的选取还必须根据直流或交流耦合的不同情况作不同的选取。另外，电阻网络还必须与传输线匹配。  
　　另一个问题是电阻网络需要在功耗和速度方面折中考虑：既允许电路在较高的速度下工作，又尽量不出现功耗过大。  
　　下面以图7所示的LVPECL到LVDS的直流耦合连接为例，来说明以上所讨论的原则。

 传输线阻抗匹配原则：  
　　Z≈R1//(R2+R3)  
　　　根据LVPCEL输出最优性能：

http://www.ck365.cn/uploadfile/UploadFile/anli/2005122534558234.jpg

  降低LVPECL摆幅以适应LVDS的输入范围：Gain=R3/(R2+R3)  
　　根据实际情况，选择满足以上约束条件的电阻值，例如当传输线特征阻抗为50 Ω时，可取R1=120 Ω，R2=58 Ω，R3=20 Ω即能完成互连。  
　　由于LVDS 通常用作并联数据的传输，数据速率为155 Mbps、622 Mbps或1.25 Gbps；而CML 常用来做串行数据的传输，数据速率为2.5 Gbps或10 Gbps。一般情况下，在传输系统中没有CML和LVDS 的互连问题。  
    结语  
　　本文粗浅地讨论了几种目前应用较多的高速电平技术。复杂高速的通信系统背板，大屏幕平板显示系统，海量数据的实时传输等等都需要采用新高速电平技术。随着社会的发展，新高速电平技术必将得到越来越广泛的应用

5V TTL和5V CMOS逻辑电平是通用的逻辑电平。 ·3.3V及以下的逻辑电平被称为低电压逻辑电平，常用的为LVTTL电平。 ·低电压的逻辑电平还有2.5V和1.8V两种。 ·ECL/PECL和LVDS是差分输入输出。 ·RS-422/485和RS-232是串口的接口标准，RS-422/485是差分输入

常用电平标准

现在常用的电平标准有TTL、CMOS、LVTTL、LVCMOS、ECL、PECL、LVPECL、RS232、RS485等，还有一些速度比较高的LVDS、GTL、PGTL、CML、HSTL、SSTL等。下面简单介绍一下各自的供电电源、电平标准以及使用注意事项。

**TTL：Transistor-Transistor Logic 三极管结构。**  
　　　　Vcc：5V；VOH>=2.4V；VOL<=0.5V；VIH>=2V；VIL<=0.8V。  
　　　　因为2.4V与5V之间还有很大空闲，对改善噪声容限并没什么好处，又会白白增大系统功耗，还会影响速度。所以后来就把一部分“砍”掉了。也就是后面的LVTTL。  
　　　　LVTTL又分3.3V、2.5V以及更低电压的LVTTL(Low Voltage TTL)。

　　3.3V LVTTL：  
　　　　Vcc：3.3V；VOH>=2.4V；VOL<=0.4V；VIH>=2V；VIL<=0.8V。

　　2.5V LVTTL：  
　　　　Vcc：2.5V；VOH>=2.0V；VOL<=0.2V；VIH>=1.7V；VIL<=0.7V。  
　　　　更低的LVTTL不常用。多用在处理器等高速芯片，使用时查看芯片手册就OK了。

　　TTL使用注意：TTL电平一般过冲都会比较严重，可能在始端串22欧或33欧电阻；                
　　TTL电平输入脚悬空时是内部认为是高电平。要下拉的话应用1k以下电阻下拉。TTL输出不能驱动CMOS输入。

**CMOS：Complementary Metal Oxide Semiconductor   PMOS+NMOS。**　　　　Vcc：5V；VOH>=4.45V；VOL<=0.5V；VIH>=3.5V；VIL<=1.5V。  
　　　　相对TTL有了更大的噪声容限，输入阻抗远大于TTL输入阻抗。对应3.3V LVTTL，出现了LVCMOS，可以与3.3V的LVTTL直接相互驱动。

　　　　3.3V LVCMOS：  
　　　　Vcc：3.3V；VOH>=3.2V；VOL<=0.1V；VIH>=2.0V；VIL<=0.7V。

　　　　2.5V LVCMOS：  
　　　　Vcc：2.5V；VOH>=2V；VOL<=0.1V；VIH>=1.7V；VIL<=0.7V。

　　　　CMOS使用注意：CMOS结构内部寄生有可控硅结构，当输入或输入管脚高于VCC一定值(比如一些芯片是0.7V)时，电流足够大的话，可能引起闩锁效应，导致芯片的烧毁。

**ECL：Emitter Coupled Logic 发射极耦合逻辑电路(差分结构)**　　　　Vcc=0V；Vee：-5.2V；VOH=-0.88V；VOL=-1.72V；VIH=-1.24V；VIL=-1.36V。  
　　　　速度快，驱动能力强，噪声小，很容易达到几百M的应用。但是功耗大，需要负电源。为简化电源，出现了PECL(ECL结构，改用正电压供电)和LVPECL。  
  
　　　　PECL：Pseudo/Positive ECL  
　　　　Vcc=5V；VOH=4.12V；VOL=3.28V；VIH=3.78V；VIL=3.64V  
  
　　　　LVPELC：Low Voltage PECL  
　　　　Vcc=3.3V；VOH=2.42V；VOL=1.58V；VIH=2.06V；VIL=1.94V

　　　　ECL、PECL、LVPECL使用注意：不同电平不能直接驱动。中间可用交流耦合、电阻网络或专用芯片进行转换。以上三种均为射随输出结构，必须有电阻拉到一个直流偏置电压。(如多用于时钟的LVPECL：直流匹配时用130欧上拉，同时用82欧下拉；交流匹配时用82欧上拉，同时用130欧下拉。但两种方式工作后直流电平都在1.95V左右。)

　　前面的电平标准摆幅都比较大，为降低电磁辐射，同时提高开关速度又推出LVDS电平标准。  
　　**LVDS：Low Voltage Differential Signaling**　　差分对输入输出，内部有一个恒流源3.5-4mA，在差分线上改变方向来表示0和1。通过外部的100欧匹配电阻(并在差分线上靠近接收端)转换为±350mV的差分电平。  
  
　　LVDS使用注意：可以达到600M以上，PCB要求较高，差分线要求严格等长，差最好不超过10mil(0.25mm)。100欧电阻离接收端距离不能超过500mil，最好控制在300mil以内。

　　其他的一些：

　　　　CML：是内部做好匹配的一种电路，不需再进行匹配。三极管结构，也是差分线，速度能达到3G以上。只能点对点传输。

　　　　GTL：类似CMOS的一种结构，输入为比较器结构，比较器一端接参考电平，另一端接输入信号。1.2V电源供电。  
　　　　Vcc=1.2V；VOH>=1.1V；VOL<=0.4V；VIH>=0.85V；VIL<=0.75V  
PGTL/GTL+：  
　　　　Vcc=1.5V；VOH>=1.4V；VOL<=0.46V；VIH>=1.2V；VIL<=0.8V

　　　　HSTL是主要用于QDR存储器的一种电平标准：一般有V&not;CCIO=1.8V和V&not;&not;CCIO=1.5V。和上面的GTL相似，输入为输入为比较器结构，比较器一端接参考电平(VCCIO/2)，另一端接输入信号。对参考电平要求比较高(1%精度)。  
  
　　　　SSTL主要用于DDR存储器。和HSTL基本相同。V&not;&not;CCIO=2.5V，输入为输入为比较器结构，比较器一端接参考电平1.25V，另一端接输入信号。对参考电平要求比较高(1%精度)。  
HSTL和SSTL大多用在300M以下。

　　　　RS232采用±12-15V供电，我们电脑后面的串口即为RS232标准。+12V表示0，-12V表示1。可以用MAX3232等专用芯片转换，也可以用两个三极管加一些外围电路进行反相和电压匹配。  
RS485是一种差分结构，相对RS232有更高的抗干扰能力。传输距离可以达到上千米。

差分信号 LVDS

1 差分信号

    差分信号用一个数值来表示两个物理量之间的差异。从严格意义上讲，所有电压信号都是差分的，因为一个电压只能相对于另一个电压而言。在某些系统里，系统‘地’被用作电压基准点。当‘地’作为电压测量基准时，这种信号规划被称为单端的。使用该术语是因信号采用单个导体上的电压来表示的；另一方面，一个差分信号作用在两个导体上。信号值是两个导体间的电压差。尽管不是非常必要，这两个电压的平均值还是会经常保持一致。

    差分信号具有如下优点：

（1）因为可以控制“基准”电压，所以很容易识别小信号。从差分信号恢复的信号值在很大程度上与‘地’的精确值无关，而在某一范围内。

（2）它对外部电磁干扰（EMI）是高度免疫的。一个干扰源几乎相同程度地影响差分信号对的每一端。既然电压差异决定信号值，这样将忽视在两个导体上出现的任何同样干扰。

（3）在一个单电源系统，能够从容精确地处理‘双极’信号。为了处理单端、单电源系统的双极信号，必须在地与电源干线之间任意电压处（通常是中点）建立一个虚地。用高于虚地的电压表示正极信号，低于虚地的电压表示负极信号。必须把虚地正确分布到整个系统里。而对于差分信号，不需要这样一个虚地，这就使处理和传播双极信号有一个高逼真度，而无须依赖虚地的稳定性。

LVDS、PECL、RS-422等标准都采取差分传输方式。

2 LVDS总线

LVDS(Low Voltage Differential Signaling)是一种小振幅差分信号技术。LVDS在两个标准中定义：1996年3月通过的IEEE P1596.3主要面向SCI(Scalable Coherent Interface)，定义了LVDS的电特性，还定义了SCI协议中包交换时的编码；1995年11月通过的ANSI/EIA/EIA-644主要定义了LVDS的电特性，并建议655Mbps的最大速率和1.923Gbps的小失真理论极限速率。在两个标准中都指定了与传输介质无关的特性。只要传输介质在指定的噪声容限和可允许时钟偏斜的范围内发送信号到接收器，接口都能正常工作。可用于服务器、可堆垒集线器、无线基站、ATM交换机及高分辨率显示等，也可用于通信系统的设计。

2.1 LVDS工作原理

图1为LVDS的原理简图，其驱动器由一个恒流源（通常为3.5mA）驱动一对差分信号线组成。在接收端有一个高的直流输入阻抗（几乎不会消耗电流），几乎全部的驱动电流将流经100Ω的接收端电阻在接收器输入端产生约350mV的电压。当驱动状态反转时，流经电阻的电流方向改变，于是在接收端产生有效的“0”或“1”逻辑状态。

2.2 LVDS技术优势

（1）高速度：LVDS技术的恒流源模式低摆幅输出意味着LVDS能高速切换数据。例如，对于点到点的连接，传输速率可达数百Mbps。

（2）高抗噪性能：噪声以共模方式在一对差分线上耦合出现，并在接收器中相减从而可消除噪声。这也是差分传输技术的共同特点。

（3）低电压摆幅：使用非常低的幅度信号（约350mV）通过一对差分[PCB](http://blog.chinaunix.net/link.php?url=http://info.screen.hc360.com%2FHtml%2Fzt_05022302.htm)走线或平衡[电缆](http://blog.chinaunix.net/link.php?url=http://info.broadcast.hc360.com%2Fhtml%2Fcpzt_gldl.htm)传输数据。LVDS的电压摆幅是PECL的一半，是RS-422的1/10；由于是低摆幅差分信号技术，其驱动和接收不依赖于供电电压，因此，LVDS可应用于低电压系统中，如5V、3.3V甚至2.5V。

（4）低功耗：接收器端的100Ω阻抗功率仅仅为1.2mV。RS-422接收器端的100Ω阻抗功率为90mV，是LVDS的75倍！LVDS器件采用CMOS工艺制造，CMOS工艺的静态功耗极小。LVDS驱动器和接收器所需的静态电流大约是PECL/ECL器件的1/10。LVDS驱动器采用恒流源驱动模式，这种设计可以减少1cc中的频率成分。从1cc与频率关系曲线图上可以看到在10MHz～100MHz之间，曲线比较平坦；而TTL/CMOS以及GTL接收器件的动态电流则随着频率地增加呈指数增长，因为功率是电流的二次函数，所以动态功耗将随着频率的提高而大幅度提高（见图2）。

（5）低成本：LVDS芯片是标准CMOS工艺实现技术，集成度高；接收端阻抗小，连线简单，节省了电阻电容等外围元件；低能耗；LVDS总线串行传输数据，LVDS芯片内部集成了串化器或解串器，与并行数据互联相比，节省了约50%的电缆、接口及PCB制作成本。此外，由于连接关系大大简化，也节省了空间。

（6）低噪声：由于两条信号线周围的电磁场相互抵消，故比单线信号传输电磁辐射小得多。恒流源驱动模式不易产生振铃和切换尖锋信号，进一步降低了噪声。