

CPU 各模块及接口说明

喵喵喵喵喵？

December 10, 2017

Contents

1	PC	2
1.1	简介	2
1.2	接口定义	2
2	IF/ID	2
2.1	简介	2
2.2	接口定义	2
3	ID	2
3.1	简介	2
3.2	接口定义	2
4	ID/EX	4
4.1	简介	4
4.2	接口定义	4
5	EX	5
5.1	简介	5
5.2	接口定义	5
6	EX/MEM	6
6.1	简介	6
6.2	接口定义	6
7	MEM	9
7.1	简介	9
7.2	接口定义	9
8	MEM/WB	9
8.1	简介	9
8.2	接口定义	9

9	REGISTERS	9
9.1	简介	9
9.2	接口定义	9
10	HI_LO	10
10.1	简介	10
10.2	接口定义	10
11	PAUSE_CTRL	10
11.1	简介	10
11.2	接口定义	10
12	MIPS_CPU	11
12.1	简介	11
12.2	接口定义	11
A	常数和宏定义	11
A.1	INTEGER 类型的常数	11

1 PC

1.1 简介

1.2 接口定义

Table 1: PC 模块的接口

方向	名称	类型	宽度	连接到	详细描述
in	rst	STD_LOGIC	1	MIPS_CPU	复位信号
in	clk	STD_LOGIC	1	MIPS_CPU	时钟信号
in	pause_i	STD_LOGIC_VECTOR	CTRL_PAUSE_LEN	PAUSE_CTRL	此模块是否暂停
in	branch_i	STD_LOGIC	1	ID	是否跳转
in	branch_target_address_i	STD_LOGIC_VECTOR	INST_ADDR_LEN	ID	如果跳转，跳到什么位置
out	en_o	STD_LOGIC	1	MIPS_CPU	是否读指令
out	pc_o	STD_LOGIC_VECTOR	INST_ADDR_LEN	MIPS_CPU	下一条指令的位置

2 IF/ID

2.1 简介

2.2 接口定义

Table 2: IF/ID 模块的接口

方向	名称	类型	宽度	连接到	详细描述
in	rst	STD_LOGIC	1	MIPS_CPU	复位信号
in	clk	STD_LOGIC	1	MIPS_CPU	时钟信号
in	pc_i	STD_LOGIC_VECTOR	INST_ADDR_LEN	MIPS_CPU	指令地址
in	inst_i	STD_LOGIC_VECTOR	INST_LEN	MIPS_CPU	指令
in	pause_i	STD_LOGIC_VECTOR	CTRL_PAUSE_LEN	PAUSE_CTRL	是否暂停
out	pc_o	STD_LOGIC_VECTOR	INST_ADDR_LEN	ID	指令地址
out	inst_o	STD_LOGIC_VECTOR	INST_LEN	ID	指令

3 ID

3.1 简介

3.2 接口定义

Table 3: ID 模块的接口

方向	名称	类型	宽度	连接到	详细描述
in	rst	STD_LOGIC	1	MIPS_CPU	复位信号
in	pc_i	STD_LOGIC_VECTOR	INST_ADDR_LEN	IF/ID	指令地址
in	inst_i	STD_LOGIC_VECTOR	INST_LEN	IF/ID	指令
in	reg_rd_data_1_i	STD_LOGIC_VECTOR	REG_DATA_LEN	REGISTERS	寄存器 1 读出数据
in	reg_rd_data_2_i	STD_LOGIC_VECTOR	REG_DATA_LEN	REGISTERS	寄存器 2 读出数据
in	ex_reg_wt_en_i	STD_LOGIC	1	EX	EX 模块是否写寄存器
in	ex_reg_wt_addr_i	STD_LOGIC_VECTOR	REG_ADDR_LEN	EX	EX 模块写寄存器地址
in	ex_reg_wt_data_i	STD_LOGIC_VECTOR	REG_DATA_LEN	EX	EX 模块写寄存器数据
in	mem_reg_wt_en_i	STD_LOGIC	1	MEM	MEM 模块是否写寄存器
in	mem_reg_wt_addr_i	STD_LOGIC_VECTOR	REG_ADDR_LEN	MEM	MEM 模块写寄存器地址
in	mem_reg_wt_data_i	STD_LOGIC_VECTOR	REG_DATA_LEN	MEM	MEM 模块写寄存器数据
in	is_in_delayslot_i	STD_LOGIC	1	ID/EX	当前指令是否在延迟槽内
out	op_o	STD_LOGIC_VECTOR	OP_LEN	ID/EX	指令操作类型
out	funct_o	STD_LOGIC_VECTOR	FUNCT_LEN	ID/EX	指令子操作类型
out	reg_rd_en_1_o	STD_LOGIC	1	REGISTERS	寄存器 1 读使能
out	reg_rd_en_2_o	STD_LOGIC	1	REGISTERS	寄存器 2 读使能
out	reg_rd_addr_1_o	STD_LOGIC_VECTOR	REG_ADDR_LEN	REGISTERS	寄存器 1 读地址
out	reg_rd_addr_2_o	STD_LOGIC_VECTOR	REG_ADDR_LEN	REGISTERS	寄存器 2 读地址
out	operand_1_o	STD_LOGIC_VECTOR	DATA_LEN	ID/EX	指令操作数 1
out	operand_2_o	STD_LOGIC_VECTOR	DATA_LEN	ID/EX	指令操作数 2
out	extended_offset_o	STD_LOGIC_VECTOR	DATA_LEN	ID/EX	扩展后立即数
out	reg_wt_en_o	STD_LOGIC	1	ID/EX	寄存器写使能
out	reg_wt_addr_o	STD_LOGIC_VECTOR	REG_ADDR_LEN	ID/EX	寄存器写地址
out	pause_o	STD_LOGIC	1	PAUSE_CTRL	是否需要暂停
out	branch_o	STD_LOGIC	1	ID/EX	当前是否为分支跳转指令

接下页

方向	名称	类型	宽度	连接到	详细描述
out	branch_target_addr_o	STD_LOGIC_VECTOR	INST_ADDR_LEN	PC	跳转地址
out	is_in_delayslot_o	STD_LOGIC	1	ID/EX	当前指令是否在延迟槽内
out	next_inst_in_delayslot_o	STD_LOGIC	1	ID/EX	下一条指令是否在延迟槽内
out	link_addr_o	STD_LOGIC_VECTOR	INST_ADDR_LEN	ID/EX	跳转指令的返回地址

4 ID/EX

4.1 简介

4.2 接口定义

Table 4: ID/EX 模块的接口

方向	名称	类型	宽度	连接到	详细描述
in	rst	STD_LOGIC	1	MIPS_CPU	复位信号
in	clk	STD_LOGIC	1	MIPS_CPU	时钟信号
in	op_i	STD_LOGIC_VECTOR	OP_LEN	ID	指令操作类型
in	funct_i	STD_LOGIC_VECTOR	FUNCT_LEN	ID	指令子操作类型
in	operand_1_i	STD_LOGIC_VECTOR	REG_DATA_LEN	ID	指令操作数 1
in	operand_2_i	STD_LOGIC_VECTOR	REG_DATA_LEN	ID	指令操作数 2
in	extended_offset_i	STD_LOGIC_VECTOR	DATA_LEN	ID	扩展后立即数
in	reg_wt_en_i	STD_LOGIC	1	ID	寄存器写使能
in	reg_wt_addr_i	STD_LOGIC_VECTOR	REG_ADDR_LEN	ID	寄存器写地址
in	pause_i	STD_LOGIC_VECTOR	CTRL_PAUSE_LEN	PAUSE_CTRL	是否暂停
in	is_in_delayslot_i	STD_LOGIC	1	ID	当前指令是否在延迟槽中
in	next_inst_in_delayslot_i	STD_LOGIC	1	ID	下一条指令是否在延迟槽中
in	link_addr_i	STD_LOGIC_VECTOR	INST_ADDR_LEN	ID	跳转指令的返回地址
out	op_o	STD_LOGIC_VECTOR	OP_LEN	EX	指令操作类型
out	funct_o	STD_LOGIC_VECTOR	FUNCT_LEN	EX	指令子操作类型
out	operand_1_o	STD_LOGIC_VECTOR	REG_DATA_LEN	EX	指令操作数 1
out	operand_2_o	STD_LOGIC_VECTOR	REG_DATA_LEN	EX	指令操作数 2
out	extended_offset_o	STD_LOGIC_VECTOR	DATA_LEN	EX	扩展后立即数
out	reg_wt_en_o	STD_LOGIC	1	EX	寄存器写使能

接下一页

方向	名称	类型	宽度	连接到	详细描述
out	reg_wt_addr_o	STD_LOGIC_VECTOR	REG_ADDR_LEN	EX	寄存器写地址
out	is_in_delayslot_o	STD_LOGIC	1	EX	当前指令是否在延迟槽中
out	next_inst_in_delayslot_o	STD_LOGIC	1	ID	下一条指令是否在延迟槽中
out	link_addr_o	STD_LOGIC_VECTOR	INST_ADDR_LEN	EX	跳转指令的返回地址

5 EX

5.1 简介

5.2 接口定义

Table 5: EX 模块的接口

方向	名称	类型	宽度	连接到	详细描述
in	rst	STD_LOGIC	1	MIPS_CPU	复位信号
in	op_i	STD_LOGIC_VECTOR	OP_LEN	ID/EX	指令操作类型
in	funct_i	STD_LOGIC_VECTOR	FUNCT_LEN	ID/EX	指令子操作类型
in	operand_1_i	STD_LOGIC_VECTOR	REG_DATA_LEN	ID/EX	指令操作数 1
in	operand_2_i	STD_LOGIC_VECTOR	REG_DATA_LEN	ID/EX	指令操作数 2
in	extended_offset_i	STD_LOGIC_VECTOR	DATA_LEN	ID/EX	扩展后立即数
in	reg_wt_en_i	STD_LOGIC	1	ID/EX	寄存器写使能
in	reg_wt_addr_i	STD_LOGIC_VECTOR	REG_ADDR_LEN	ID/EX	寄存器写地址
in	hi_i	STD_LOGIC_VECTOR	REG_DATA_LEN	HI_LO	HI 寄存器
in	lo_i	STD_LOGIC_VECTOR	REG_DATA_LEN	HI_LO	LO 寄存器
in	mem_hilo_en_i	STD_LOGIC	1	MEM	MEM 阶段的指令是否写 HILO
in	mem_hi_i	STD_LOGIC_VECTOR	REG_DATA_LEN	MEM	MEM 阶段的指令写 HI 的数据
in	mem_lo_i	STD_LOGIC_VECTOR	REG_DATA_LEN	MEM	MEM 阶段的指令写 LO 的数据
in	wb_hilo_en_i	STD_LOGIC	1	MEM/WB	WB 阶段的指令是否写 HILO

接下页

方向	名称	类型	宽度	连接到	详细描述
in	wb_hi_i	STD_LOGIC_VECTOR	REG_DATA_LEN	MEM/WB	WB 阶段的指令写 HI 的数据
in	wb_lo_i	STD_LOGIC_VECTOR	REG_DATA_LEN	MEM/WB	WB 阶段的指令写 LO 的数据
in	clock_cycle_cnt_i	STD_LOGIC_VECTOR	ACCU_CNT_LEN	EX/MEM	进行到了乘累加指令的第几个周期
in	mul_cur_result_i	STD_LOGIC_VECTOR	DOUBLE_DATA_LEN	EX/MEM	乘累加指令当前结果
in	is_in_delayslot_i	STD_LOGIC	1	ID/EX	当前指令是否在延迟槽内
in	link_addr_i	STD_LOGIC_VECTOR	INST_ADDR_LEN	ID/EX	跳转指令的返回地址
out	reg_wt_en_o	STD_LOGIC	1	EX/MEM	寄存器写使能
out	reg_wt_addr_o	STD_LOGIC_VECTOR	REG_ADDR_LEN	EX/MEM	寄存器写地址
out	reg_wt_data_o	STD_LOGIC_VECTOR	REG_DATA_LEN	EX/MEM	寄存器写数据
out	is_load_store_o	STD_LOGIC	1	EX/MEM	当前指令是否为访存指令
out	funct_o	STD_LOGIC_VECTOR	FUNCT_LEN	EX/MEM	访存指令子操作类型
out	load_store_addr_o	STD_LOGIC_VECTOR	ADDR_LEN	EX/MEM	访存指令访问的地址
out	store_data_o	STD_LOGIC_VECTOR	DATA_LEN	EX/MEM	store 指令要存储的数据
out	hilo_en_o	STD_LOGIC	1	EX/MEM	写 HILO 使能
out	hi_o	STD_LOGIC_VECTOR	REG_DATA_LEN	EX/MEM	写 HI 数据
out	lo_o	STD_LOGIC_VECTOR	REG_DATA_LEN	EX/MEM	写 LO 数据
out	pause_o	STD_LOGIC	1	PAUSE_CTRL	是否需要暂停
out	clock_cycle_cnt_o	STD_LOGIC_VECTOR	ACCU_CNT_LEN	EX/MEM	进行到了乘累加指令的第几个周期
out	mul_cur_result_o	STD_LOGIC_VECTOR	DOUBLE_DATA_LEN	EX/MEM	乘累加指令当前结果

6 EX/MEM

6.1 简介

6.2 接口定义

Table 6: PC 的接口

方向	名称	类型	宽度	连接到	详细描述
in	rst	STD_LOGIC	1	MIPS_CPU	复位信号
in	clk	STD_LOGIC	1	MIPS_CPU	时钟信号
in	reg_wt_en_i	STD_LOGIC	1	EX	寄存器写使能
in	reg_wt_addr_i	STD_LOGIC_VECTOR	REG_ADDR_LEN	EX	寄存器写地址
in	reg_wt_data_i	STD_LOGIC_VECTOR	REG_DATA_LEN	EX	寄存器写数据
in	is_load_store_i	STD_LOGIC	1	EX	当前指令是否为访存指令
in	funct_i	STD_LOGIC_VECTOR	FUNCT_LEN	EX	访存指令子操作类型
in	load_store_addr_i	STD_LOGIC_VECTOR	ADDR_LEN	EX	访存指令访问的地址
in	store_data_i	STD_LOGIC_VECTOR	DATA_LEN	EX	store 指令要存储的数据
in	hilo_en_i	STD_LOGIC	1	EX	写 HILO 使能
in	hi_i	STD_LOGIC_VECTOR	REG_DATA_LEN	EX	写 HI 数据
in	lo_i	STD_LOGIC_VECTOR	REG_DATA_LEN	EX	写 LO 数据
in	pause_i	STD_LOGIC_VECTOR	CTRL_PAUSE_LEN	PAUSE_CTRL	流水线当前阶段是否需要暂停
in	clock_cycle_cnt_i	STD_LOGIC_VECTOR	ACCU_CNT_LEN	EX	进行到了乘累加指令的第几个周期
in	mul_cur_result_i	STD_LOGIC_VECTOR	DOUBLE_DATA_LEN	EX	乘累加指令当前结果
out	reg_wt_en_o	STD_LOGIC	1	MEM	寄存器写使能
out	reg_wt_addr_o	STD_LOGIC_VECTOR	REG_ADDR_LEN	MEM	寄存器写地址
out	reg_wt_data_o	STD_LOGIC_VECTOR	REG_DATA_LEN	MEM	寄存器写数据
out	is_load_store_o	STD_LOGIC	1	MEM	当前指令是否为访存指令
out	funct_o	STD_LOGIC_VECTOR	FUNCT_LEN	MEM	访存指令子操作类型
out	load_store_addr_o	STD_LOGIC_VECTOR	ADDR_LEN	MEM	访存指令访问的地址
out	store_data_o	STD_LOGIC_VECTOR	DATA_LEN	MEM	store 指令要存储的数据
out	hilo_en_o	STD_LOGIC	1	MEM	写 HILO 使能
out	hi_o	STD_LOGIC_VECTOR	REG_DATA_LEN	MEM	写 HI 数据
out	lo_o	STD_LOGIC_VECTOR	REG_DATA_LEN	MEM	写 LO 数据
out	clock_cycle_cnt_o	STD_LOGIC_VECTOR	ACCU_CNT_LEN	EX	进行到了乘累加指令的第几个周期

接下页

方向	名称	类型	宽度	连接到	详细描述
out	mul_cur_result_o	STD_LOGIC_VECTOR	DOUBLE_DATA_LEN	EX	乘累加指令当前结果

7 MEM

7.1 简介

7.2 接口定义

8 MEM/WB

8.1 简介

8.2 接口定义

9 REGISTERS

9.1 简介

9.2 接口定义

Table 7: REGISTERS 模块的接口

方向	名称	类型	宽度	连接到	详细描述
in	rst	STD_LOGIC	1	MIPS_CPU	复位信号
in	clk	STD_LOGIC	1	MIPS_CPU	时钟信号
in	reg_rd_en_1_i	STD_LOGIC	1	ID	寄存器 1 读使能
in	reg_rd_en_2_i	STD_LOGIC	1	ID	寄存器 2 读使能
in	reg_rd_addr_1_i	STD_LOGIC_VECTOR	REG_ADDR_LEN	ID	寄存器 1 读地址
in	reg_rd_addr_2_i	STD_LOGIC_VECTOR	REG_ADDR_LEN	ID	寄存器 2 读地址
in	reg_wt_en_i	STD_LOGIC	1	MEM/WB	寄存器写使能
in	reg_wt_addr_i	STD_LOGIC_VECTOR	REG_ADDR_LEN	MEM/WB	寄存器写地址
in	reg_wt_data_i	STD_LOGIC_VECTOR	REG_DATA_LEN	MEM/WB	寄存器写数据
out	reg_rd_data_1_o	STD_LOGIC_VECTOR	REG_DATA_LEN	ID	寄存器 1 读出数据
out	reg_rd_data_2_o	STD_LOGIC_VECTOR	REG_DATA_LEN	ID	寄存器 2 读出数据

接下页

方向	名称	类型	宽度	连接到	详细描述
----	----	----	----	-----	------

10 HI_LO

10.1 简介

10.2 接口定义

Table 8: HILO 模块的接口

方向	名称	类型	宽度	连接到	详细描述
in	rst	STD_LOGIC	1	MIPS_CPU	复位信号
in	clk	STD_LOGIC	1	MIPS_CPU	时钟信号
in	en	STD_LOGIC	1	MEM/WB	使能
in	hi_i	STD_LOGIC_VECTOR	REG_DATA_LEN	MEM/WB	HI
in	lo_i	STD_LOGIC_VECTOR	REG_DATA_LEN	MEM/WB	LO
out	hi_o	STD_LOGIC_VECTOR	REG_DATA_LEN	EX	HI
out	lo_o	STD_LOGIC_VECTOR	REG_DATA_LEN	EX	LO

11 PAUSE_CTRL

11.1 简介

11.2 接口定义

Table 9: PAUSE_CTRL 模块的接口

方向	名称	类型	宽度	连接到	详细描述
in	rst	STD_LOGIC	1	MIPS_CPU.接口定义	复位信号
in	id_pause_i	STD_LOGIC	1	ID	ID 模块是否暂停
in	ex_pause_i	STD_LOGIC	1	EX	EX 模块是否暂停
out	pause_o	STD_LOGIC_VECTOR	CTRL_PAUSE_LEN	PC, IF/ID, ID/EX, EX/MEM, MEM/WB	各模块是否暂停

12 MIPS_CPU

12.1 简介

12.2 接口定义

A 常数和宏定义

A.1 INTEGER 类型的常数

Table 10: INTEGER 类型的常数

名称	内容	详细描述
INST_ADDR_LEN	32	指令的地址长度
ADDR_LEN	32	普通的地址长度
INST_LEN	32	指令长度
REG_ADDR_LEN	5	寄存器地址长度
REG_DATA_LEN	32	寄存器内数据长度
DATA_LEN	32	一般的数据长度
DOUBLE_DATA_LEN	64	乘法结果的数据长度
CTRL_PAUSE_LEN	6	暂停控制数据长度
OP_LEN	6	指令操作码长度
FUNCT_LEN	6	指令子操作码长度
ACCU_CNT_LEN	2	乘累加/减指令周期数