

# CPU 各模块及接口说明

喵喵喵喵喵？

December 10, 2017

## Contents

<b>1</b>	<b>PC</b>	<b>3</b>
1.1	简介 . . . . .	3
1.2	接口定义 . . . . .	3
<b>2</b>	<b>IF/ID</b>	<b>4</b>
2.1	简介 . . . . .	4
2.2	接口定义 . . . . .	4
<b>3</b>	<b>ID</b>	<b>5</b>
3.1	简介 . . . . .	5
3.2	接口定义 . . . . .	5
<b>4</b>	<b>ID/EX</b>	<b>6</b>
4.1	简介 . . . . .	6
4.2	接口定义 . . . . .	6
<b>5</b>	<b>EX</b>	<b>7</b>
5.1	简介 . . . . .	7
5.2	接口定义 . . . . .	7
<b>6</b>	<b>EX/MEM</b>	<b>7</b>
6.1	简介 . . . . .	7
6.2	接口定义 . . . . .	7
<b>7</b>	<b>MEM</b>	<b>7</b>
7.1	简介 . . . . .	7
7.2	接口定义 . . . . .	7
<b>8</b>	<b>MEM/WB</b>	<b>7</b>
8.1	简介 . . . . .	7
8.2	接口定义 . . . . .	7

<b>9</b>	<b>REGISTERS</b>	<b>7</b>
9.1	简介 . . . . .	7
9.2	接口定义 . . . . .	7
<b>10</b>	<b>HI_LO</b>	<b>8</b>
10.1	简介 . . . . .	8
10.2	接口定义 . . . . .	8
<b>11</b>	<b>PAUSE_CTRL</b>	<b>9</b>
11.1	简介 . . . . .	9
11.2	接口定义 . . . . .	9
<b>12</b>	<b>MIPS_CPU</b>	<b>10</b>
12.1	简介 . . . . .	10
12.2	接口定义 . . . . .	10
<b>A</b>	<b>常数和宏定义</b>	<b>10</b>
A.1	INTEGER 类型的常数 . . . . .	10

## **1 PC**

### **1.1 简介**

### **1.2 接口定义**

方向	名称	类型	宽度	连接到	详细描述
in	rst	STD_LOGIC	1	MIPS_CPU	复位信号
in	clk	STD_LOGIC	1	MIPS_CPU	时钟信号
in	pause_i	STD_LOGIC_VECTOR	CTRL_PAUSE_LEN	PAUSE_CTRL	此模块是否暂停
in	branch_i	STD_LOGIC	1	ID	是否跳转
in	branch_target_address_i	STD_LOGIC_VECTOR	INST_ADDR_LEN	ID	如果跳转，跳到什么位置
out	en_o	STD_LOGIC	1	MIPS_CPU	是否读指令
out	pc_o	STD_LOGIC_VECTOR	INST_ADDR_LEN	MIPS_CPU	下一条指令的位置

Table 1: PC 模块的接口

## 2 IF/ID

### 2.1 简介

### 2.2 接口定义

方向	名称	类型	宽度	连接到	详细描述
in	rst	STD_LOGIC	1	MIPS_CPU	复位信号
in	clk	STD_LOGIC	1	MIPS_CPU	时钟信号
in	pc_i	STD_LOGIC_VECTOR	INST_ADDR_LEN	指令地址	
in	inst_i	STD_LOGIC_VECTOR	INST_LEN	指令	
in	pause_i	STD_LOGIC_VECTOR	CTRL_PAUSE_LEN	是否暂停	
out	pc_o	STD_LOGIC_VECTOR	INST_ADDR_LEN	指令地址	
out	inst_o	STD_LOGIC_VECTOR	INST_LEN	指令	

Table 2: IF/ID 模块的接口

## 3 ID

### 3.1 简介

### 3.2 接口定义

Table 3: ID 模块的接口

方向	名称	类型	宽度	连接到	详细描述
in	rst	STD_LOGIC	1	MIPS_CPU	复位信号
in	pc_i	STD_LOGIC_VECTOR	INST_ADDR_LEN	IF/ID	指令地址
in	inst_i	STD_LOGIC_VECTOR	INST_LEN	IF/ID	指令
in	reg_rd_data_1_i	STD_LOGIC_VECTOR	REG_DATA_LEN	REGISTERS	寄存器 1 读出数据
in	reg_rd_data_2_i	STD_LOGIC_VECTOR	REG_DATA_LEN	REGISTERS	寄存器 2 读出数据
in	ex_reg_wt_en_i	STD_LOGIC	1	EX	EX 模块是否写寄存器
in	ex_reg_wt_addr_i	STD_LOGIC_VECTOR	REG_ADDR_LEN	EX	EX 模块写寄存器地址
in	ex_reg_wt_data_i	STD_LOGIC_VECTOR	REG_DATA_LEN	EX	EX 模块写寄存器数据
in	mem_reg_wt_en_i	STD_LOGIC	1	MEM	MEM 模块是否写寄存器
in	mem_reg_wt_addr_i	STD_LOGIC_VECTOR	REG_ADDR_LEN	MEM	MEM 模块写寄存器地址
in	mem_reg_wt_data_i	STD_LOGIC_VECTOR	REG_DATA_LEN	MEM	MEM 模块写寄存器数据
in	is_in_delayslot_i	STD_LOGIC	1	ID/EX	当前指令是否在延迟槽内
out	op_o	STD_LOGIC_VECTOR	OP_LEN	ID/EX	指令操作类型
out	funct_o	STD_LOGIC_VECTOR	FUNCT_LEN	ID/EX	指令子操作类型
out	reg_rd_en_1_o	STD_LOGIC	1	REGISTERS	寄存器 1 读使能
out	reg_rd_en_2_o	STD_LOGIC	1	REGISTERS	寄存器 2 读使能
out	reg_rd_addr_1_o	STD_LOGIC_VECTOR	REG_ADDR_LEN	REGISTERS	寄存器 1 读地址
out	reg_rd_addr_2_o	STD_LOGIC_VECTOR	REG_ADDR_LEN	REGISTERS	寄存器 2 读地址
out	operand_1_o	STD_LOGIC_VECTOR	DATA_LEN	ID/EX	指令操作数 1
out	operand_2_o	STD_LOGIC_VECTOR	DATA_LEN	ID/EX	指令操作数 2

接下页

方向	名称	类型	宽度	连接到	详细描述
out	extended_offset_o	STD_LOGIC_VECTOR	DATA_LEN	ID/EX	扩展后立即数
out	reg_wt_en_o	STD_LOGIC	1	ID/EX	寄存器写使能
out	reg_wt_addr_o	STD_LOGIC_VECTOR	REG_ADDR_LEN	ID/EX	寄存器写地址
out	pause_o	STD_LOGIC	1	PAUSE_CTRL	是否需要暂停
out	branch_o	STD_LOGIC	1	ID/EX	当前是否为分支跳转指令
out	branch_target_addr_o	STD_LOGIC_VECTOR	INST_ADDR_LEN	PC	跳转地址
out	is_in_delayslot_o	STD_LOGIC	1	ID/EX	当前指令是否在延迟槽内
out	next_inst_in_delayslot_o	STD_LOGIC	1	ID/EX	下一条指令是否在延迟槽内
out	link_addr_o	STD_LOGIC_VECTOR	INST_ADDR_LEN	ID/EX	跳转指令的返回地址

## 4 ID/EX

### 4.1 简介

### 4.2 接口定义

Table 4: PC 的接口

方向	名称	类型	宽度	连接到	详细描述
in	rst	STD_LOGIC	1	MIPS_CPU	复位信号
in	clk	STD_LOGIC	1	MIPS_CPU	时钟信号
in	op_i	STD_LOGIC_VECTOR	OP_LEN	ID	指令操作类型
in	funct_i	STD_LOGIC_VECTOR	FUNCT_LEN	ID	指令子操作类型
in	operand_1_i	STD_LOGIC_VECTOR	REG_DATA_LEN	ID	指令操作数 1
in	operand_2_i	STD_LOGIC_VECTOR	REG_DATA_LEN	ID	指令操作数 2
in	extended_offset_i	STD_LOGIC_VECTOR	DATA_LEN	ID	扩展后立即数
in	reg_wt_en_i	STD_LOGIC	1	ID	寄存器写使能
in	reg_wt_addr_i	STD_LOGIC_VECTOR	REG_ADDR_LEN	ID	寄存器写地址
in	pause_i	STD_LOGIC_VECTOR	CTRL_PAUSE_LEN	PAUSE_CTRL	是否暂停
in	is_in_delayslot_i	STD_LOGIC	1	ID	当前指令是否在延迟槽中
in	next_inst_in_delayslot_i	STD_LOGIC	1	ID	下一条指令是否在延迟槽中
in	link_addr_i	STD_LOGIC_VECTOR	INST_ADDR_LEN	ID	跳转指令的返回地址
out	op_o	STD_LOGIC_VECTOR	OP_LEN	EX	指令操作类型

接下页

方向	名称	类型	宽度	连接到	详细描述
out	funct_o	STD_LOGIC_VECTOR	FUNCT_LEN	EX	指令子操作类型
out	operand_1_o	STD_LOGIC_VECTOR	REG_DATA_LEN	EX	指令操作数 1
out	operand_2_o	STD_LOGIC_VECTOR	REG_DATA_LEN	EX	指令操作数 2
out	extended_offset_o	STD_LOGIC_VECTOR	DATA_LEN	EX	扩展后立即数
out	reg_wt_en_o	STD_LOGIC	1	EX	寄存器写使能
out	reg_wt_addr_o	STD_LOGIC_VECTOR	REG_ADDR_LEN	EX	寄存器写地址
out	is_in_delayslot_o	STD_LOGIC	1	EX	当前指令是否在延迟槽中
out	next_inst_in_delayslot_o	STD_LOGIC	1	ID	下一条指令是否在延迟槽中
out	link_addr_o	STD_LOGIC_VECTOR	INST_ADDR_LEN	EX	跳转指令的返回地址

## 5 EX

### 5.1 简介

### 5.2 接口定义

## 6 EX/MEM

### 6.1 简介

### 6.2 接口定义

## 7 MEM

### 7.1 简介

### 7.2 接口定义

## 8 MEM/WB

### 8.1 简介

### 8.2 接口定义

## 9 REGISTERS

### 9.1 简介

### 9.2 接口定义

方向	名称	类型	宽度	连接到	详细描述
in	rst	STD_LOGIC	1	MIPS_CPU	复位信号
in	clk	STD_LOGIC	1	MIPS_CPU	时钟信号
in	reg_rd_en_1_i	STD_LOGIC	1	ID	寄存器 1 读使能
in	reg_rd_en_2_i	STD_LOGIC	1	ID	寄存器 2 读使能
in	reg_rd_addr_1_i	STD_LOGIC_VECTOR	REG_ADDR_LEN	ID	寄存器 1 读地址
in	reg_rd_addr_2_i	STD_LOGIC_VECTOR	REG_ADDR_LEN	ID	寄存器 2 读地址
in	reg_wt_en_i	STD_LOGIC	1	MEM/WB	寄存器写使能
in	reg_wt_addr_i	STD_LOGIC_VECTOR	REG_ADDR_LEN	MEM/WB	寄存器写地址
in	reg_wt_data_i	STD_LOGIC_VECTOR	REG_DATA_LEN	MEM/WB	寄存器写数据
out	reg_rd_data_1_o	STD_LOGIC_VECTOR	REG_DATA_LEN	ID	寄存器 1 读出数据
out	reg_rd_data_2_o	STD_LOGIC_VECTOR	REG_DATA_LEN	ID	寄存器 2 读出数据

Table 5: PC 的接口

## 10 HI\_LO

### 10.1 简介

### 10.2 接口定义

方向	名称	类型	宽度	连接到	详细描述
in	rst	STD_LOGIC	1	MIPS_CPU	复位信号
in	clk	STD_LOGIC	1	MIPS_CPU	时钟信号
in	en	STD_LOGIC	1	MEM/WB	使能
in	hi_i	STD_LOGIC_VECTOR	REG_DATA_LEN	MEM/WB	HI
in	lo_i	STD_LOGIC_VECTOR	REG_DATA_LEN	MEM/WB	LO
out	hi_o	STD_LOGIC_VECTOR	REG_DATA_LEN	EX	HI
out	lo_o	STD_LOGIC_VECTOR	REG_DATA_LEN	EX	LO

Table 6: PC 的接口



# 11 PAUSE\_CTRL

## 11.1 简介

## 11.2 接口定义

方向	名称	类型	宽度	连接到	详细描述
in	rst	STD_LOGIC	1	MIPS_CPU	复位信号
in	id_pause_i	STD_LOGIC	1	ID	ID 模块是否 暂停
in	ex_pause_i	STD_LOGIC	1	EX	EX 模块是否 暂停
out	pause_o	STD_LOGIC_VECTOR	CTRL_PAUSE_LEN	PC, IF/ID, ID/EX, EX/MEM, MEM/WB	各模块是否 暂停

Table 7: PC 的接口

## **12 MIPS\_CPU**

### **12.1 简介**

### **12.2 接口定义**

## **A 常数和宏定义**

### **A.1 INTEGER 类型的常数**

**INST\_ADDR\_LEN 32**

**INST\_LEN 32**

**REG\_ADDR\_LEN 5**

**REG\_DATA\_LEN 32**

**DATA\_LEN 32**

**CTRL\_PAUSE\_LEN 6**

**OP\_LEN 6**

**FUNCT\_LEN 6**