

# 同济大学计算机系

## 数字逻辑课程综合实验报告



学 号 2352595

姓 名 张嘉麟

专 业 计算机科学与技术

授课老师 郭玉臣

## 一、实验内容

测量按键时长

控制电灯

要求：

- 1、根据测得按键时长，在按键结束后，开始亮灯，亮灯时长同按键时间
- 2、可以通过 LED 显示按键和点灯时长，显示可以是时间单位，如秒，毫秒，也可是计数单位就是记录了多少个脉冲

## 二、硬件逻辑图

（实验步骤中要求用 logisim 画图的实验，在该部分给出 logisim 原理图，否则该部分在实验报告中不用写）

无

## 三、模块建模

（该部分要求对实验中建模的所有模块进行功能描述，并列出各模块建模的 verilog 代码）

```
module button (
    input clk,
    input rst,
    input button_input,
    output reg [15:0] time_display
);

    reg [31:0] clk_div;
    reg clk_slow;

    // Clock Divider
    always @(posedge clk or posedge rst) begin
        if (rst) begin
            clk_div <= 0;
            clk_slow <= 0;
        end else begin
            clk_div <= clk_div + 1;
            if (clk_div == 50000000) begin
                clk_slow <= ~clk_slow;
                clk_div <= 0;
            end
        end
    end
end
```

```

end

// Time Display Control
always @(posedge clk_slow or posedge rst) begin
    if (rst) begin
        time_display <= 16'b0;
    end else if (button_input) begin
        time_display <= time_display + 1;
    end
end

endmodule

```

## 四、测试模块建模

（要求列写各建模模块的 test bench 模块代码）

```

`timescale 1ns / 1ps

module button_tb;

    // Inputs
    reg clk;
    reg rst;
    reg button_input;

    // Outputs
    wire [15:0] time_display;

    // Instantiate the Unit Under Test (UUT)
    button uut (
        .clk(clk),
        .rst(rst),
        .button_input(button_input),
        .time_display(time_display)
    );

    // Generate clock
    initial begin
        clk = 0;
        forever #10 clk = ~clk; // 50MHz clock
    end

    // Stimulus

```

```
initial begin
    // Initialize inputs
    rst = 1;
    button_input = 0;

    // Release reset
    #100;
    rst = 0;

    // Simulate button press
    #100 button_input = 1;
    #200 button_input = 0;
```

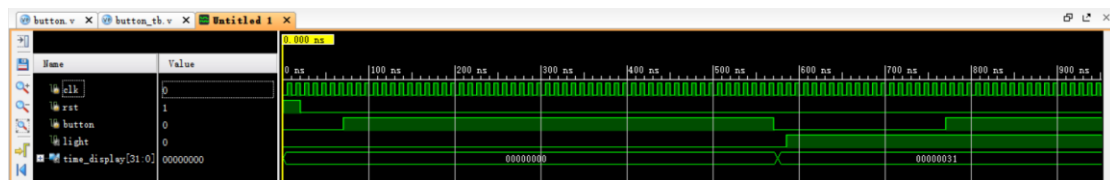
## 五、实验结果

（该部分可截图说明，要求 logisim 逻辑验证图、modelsim 仿真波形图、以及下板后的实验结果贴图（实验步骤中没有下板要求的实验，不需要下板贴图））

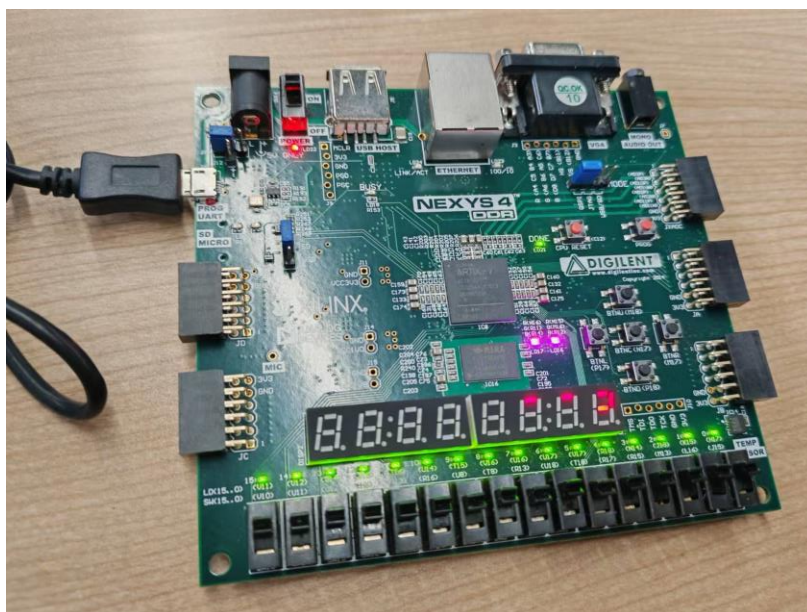
### 1. logisim 逻辑验证图

无

### 2. modelsim 仿真波形图



### 3. 下板结果



按下 P17 按键之后开关打开的等都亮