

6 现有一片 74LS299 8 位通用移位寄存器，一片 8 位 74LS373 锁存器 另有一个 D 触发器和一个与非门，请设计实现 8 位数据的串行→并行转换器。要求画出逻辑图并列出 8 个 CP 时钟作用下，74LS299 的每个数据输出端码字变化情况。假设第 1 个 CP 到来时，码字最低位 d_0 由右移串入端送入 Q_A ，第 8 个 CP 到来时，码字最高位 d_7 由右移串入端送入 Q_A 。

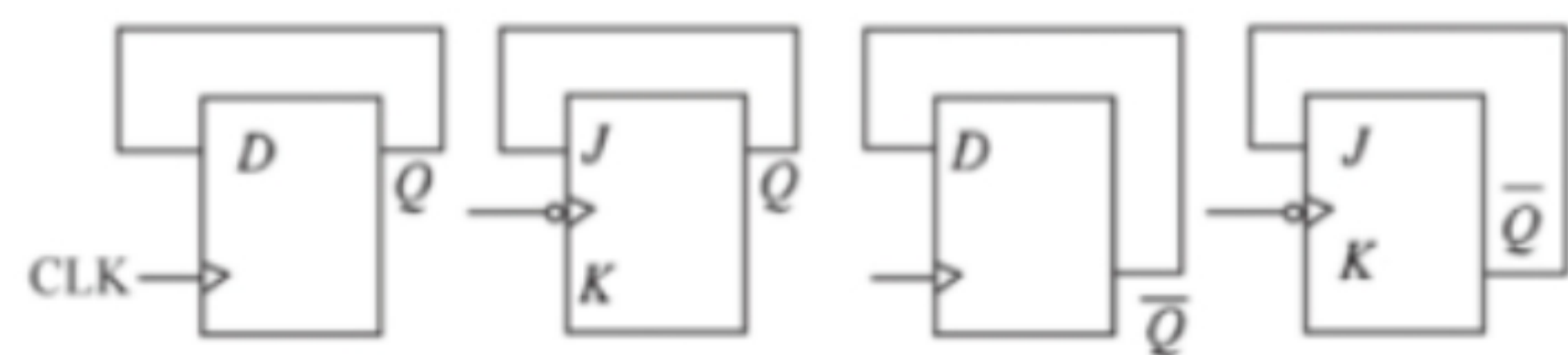
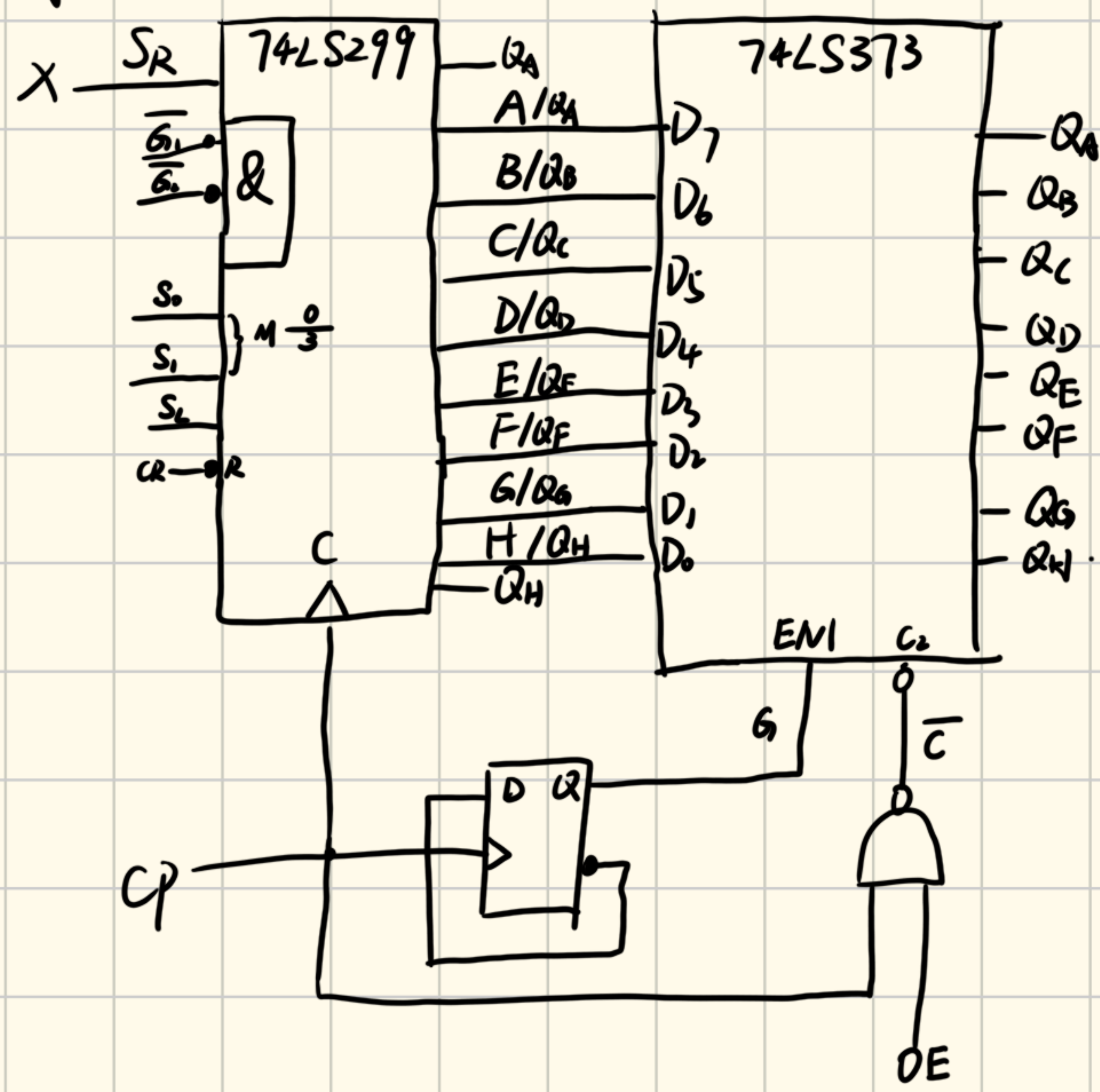


图 P3.5

(CP) 时钟脉冲	Q_H	Q_G	Q_F	Q_E	Q_D	Q_C	Q_B	Q_A
0(初始)	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	d_0
2	0	0	0	0	0	0	d_0	d_1
3	0	0	0	0	0	d_0	d_1	d_2
4	0	0	0	0	d_0	d_1	d_2	d_3
5	0	0	0	d_0	d_1	d_2	d_3	d_4
6	0	0	d_0	d_1	d_2	d_3	d_4	d_5
7	0	d_0	d_1	d_2	d_3	d_4	d_5	d_6
8	d_0	d_1	d_2	d_3	d_4	d_5	d_6	d_7

逻辑电路图:



9. 用 D 触发器设计按循环码 (000→001→011→111→101→100→000) 规律工作的六进制同步计数器。

10. 用 D 触发器设计 3 位二进制加法计数器，并画出波形图。

11. 用图 P3.8 所示的电路结构构成五路脉冲分配器，试分别用最简与非门电路，及 74LS138 集成译码器来构成这个译码器，并分别画出连接图。

10. 使用 3 个 D 触发器，分别为 Q_2, Q_1, Q_0 。设 Q_2 为最高位， Q_0 为最低位。

每次时钟到来时 $\overline{Q_2 Q_1 Q_0}$ 加 1。
(clk 上升沿)

时钟周期	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

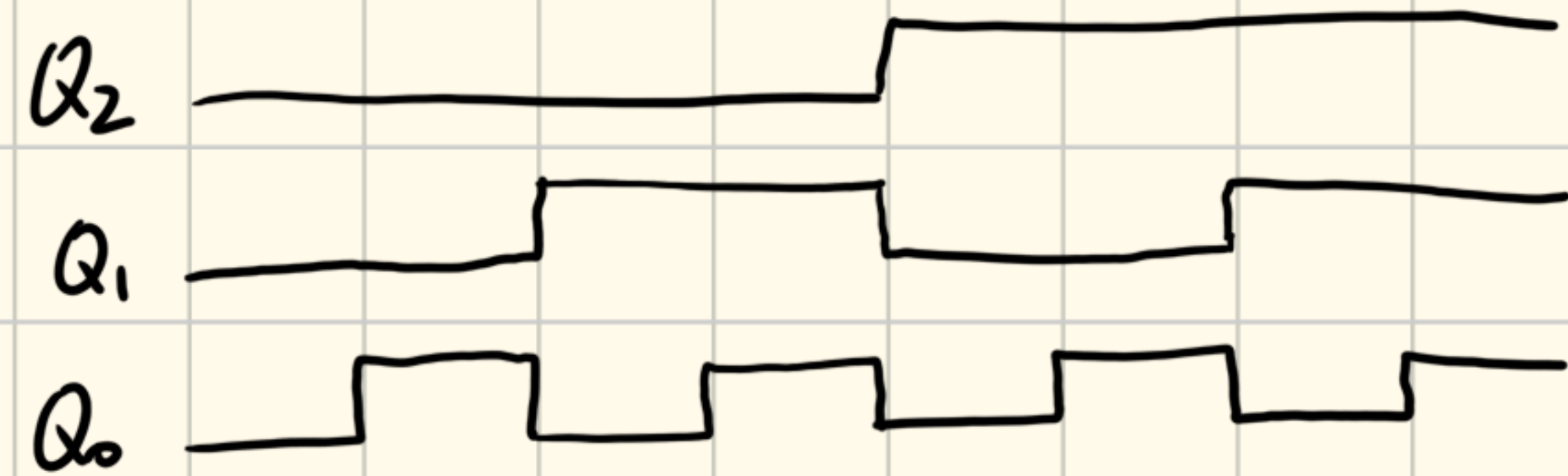
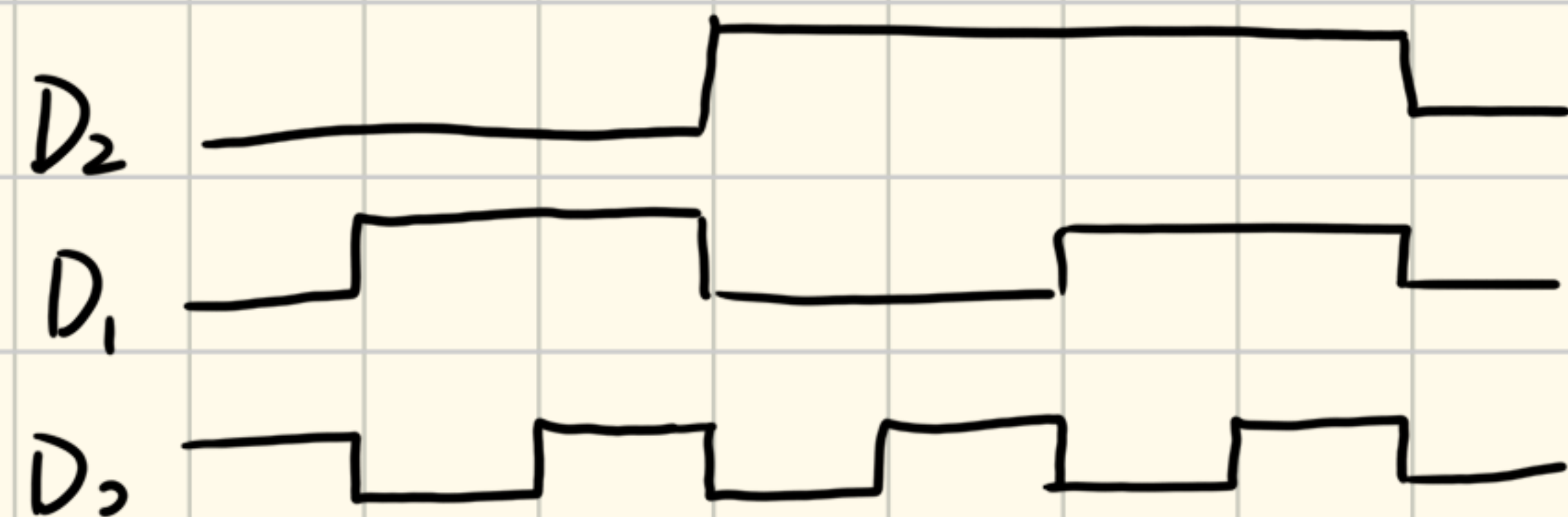
由图知逻辑：

$$D_0 = \sim Q_0$$

$$D_1 = Q_1 \text{ XOR } Q_0$$

$$D_2 = Q_2 \text{ XOR } (Q_0 \text{ AND } Q_1)$$

波形图：



【例 13】用与非门和D触发器设计一个同步时序逻辑电路，以检测输入的信号序列是否为连续的“110”。

用JK触发实现，写出激励函数、输出函数，画出逻辑图。

状态序列

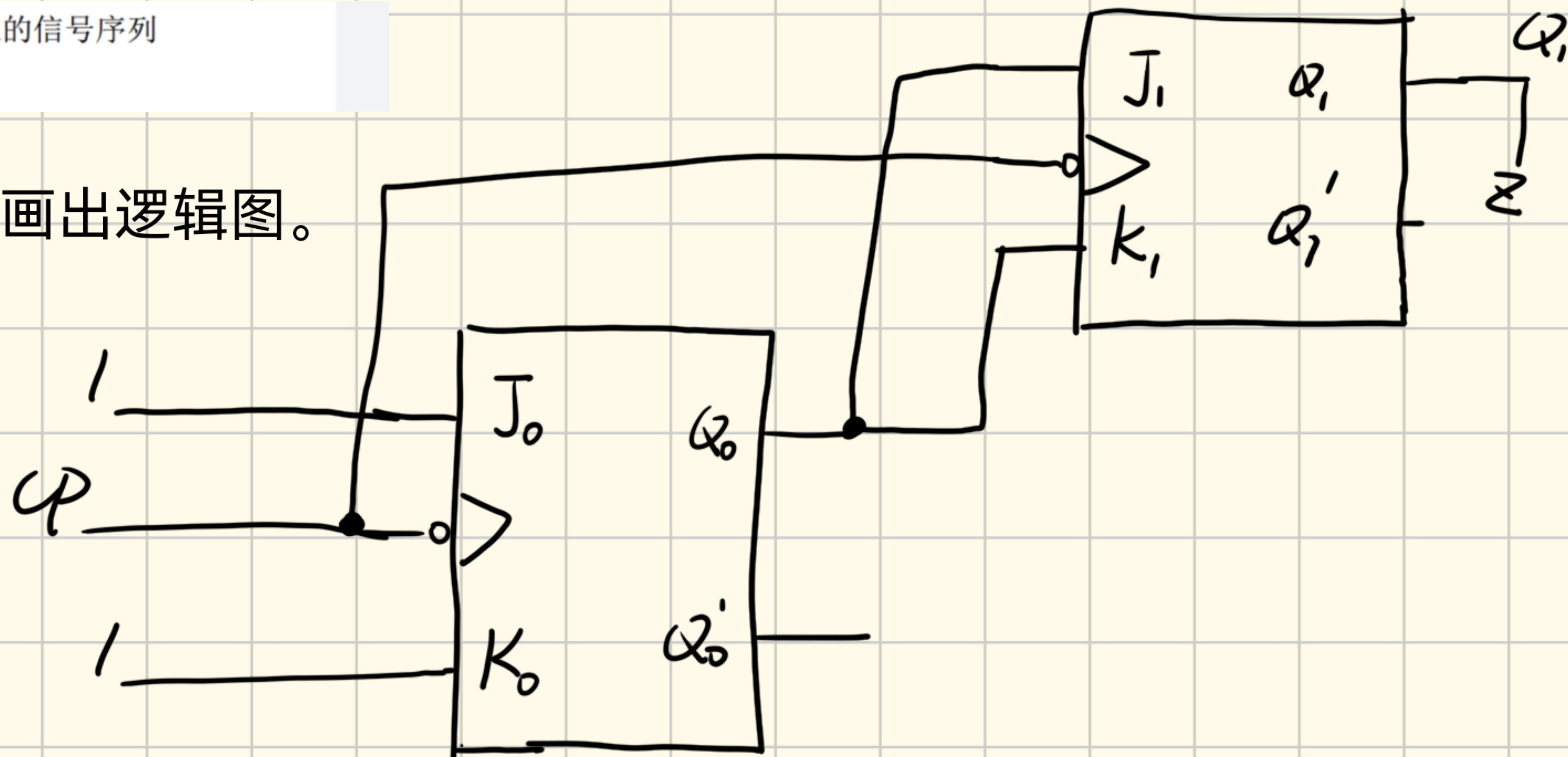
S_0 : 初始状态. 等待第一个“1”
 S_1 : 有“1”
 S_2 : 有“11”
 S_3 : 有“110”

编码:

- $S_0 = 00$
- $S_1 = 01$
- $S_2 = 10$
- $S_3 = 11$

状态转移表:

PS	输入	
	$x=0$	$x=1$
S_0	S_0	S_1
S_1	S_0	S_2
S_2	S_3	S_2
S_3	S_0	S_1



JK激励函数:

$$\begin{cases}
 J_1 = x \cdot Q_0 \\
 K_1 = Q_0 \cdot \bar{x} \\
 J_0 = x \\
 K_0 = \bar{x} \cdot Q_1
 \end{cases}$$

输出函数: $Z = Q_1 \cdot Q_0$