

同济大学计算机系

数字逻辑课程综合实验报告



学 号 2352595

姓 名 张嘉麟

专 业 计算机科学与技术

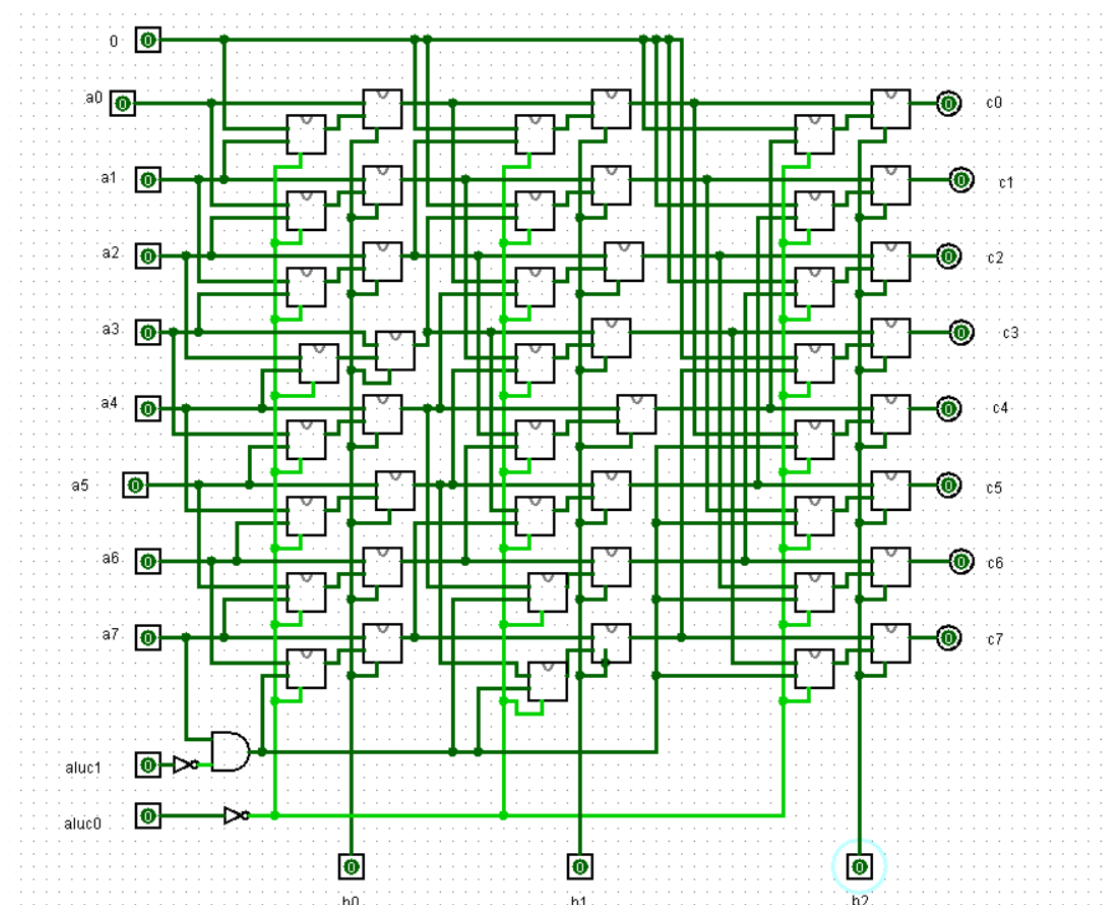
授课老师 郭玉臣

一、实验内容

在本次实验中，我们将利用 Verilog HDL 语言实现一个 32 位桶形移位器的设计与仿真。桶形移位器是一种常见的组合逻辑电路，广泛应用于微处理器中，用于快速实现数据的逻辑或算术移位操作。本实验旨在深入理解桶形移位器的工作原理，并通过实际操作掌握其设计方法。

二、硬件逻辑图

（实验步骤中要求用 logisim 画图的实验，在该部分给出 logisim 原理图，否则该部分在实验报告中不用写）



三、模块建模

（该部分要求对实验中建模的所有模块进行功能描述，并列出各模块建模的 verilog 代码）

```
module barrelshifter32(  
    input signed [31 : 0] a,  
    input [4 : 0] b,  
    input [1 : 0] aluc,  
    output reg[31 : 0] c
```

```

);

always@(*)
begin
    case(aluc)
        2'b00 : c = a >>> b;
        2'b10 : c = a >> b;
        2'b01 : c = a <<< b;
        2'b11 : c = a << b;
    endcase
end
endmodule

```

四、测试模块建模

（要求列写各建模模块的 test bench 模块代码）

```

module barrelshifter32_tb();
    reg [31 : 0] a;
    reg [5 : 0] b;
    reg [2 : 0] aluc;
    wire [31 : 0] c;

    initial
    begin
        a = 32'b1111_0000_1100_0011_1001_0110_0001_1110;
        for(b = 0; b <= 4'b1111; b = b + 4'b00001)
            for(aluc = 0; aluc <= 2'b11; aluc = aluc + 2'b01)
                begin
                    #5;
                end
    end

    barrelshifter32 barrelshifter_inst(a, b, aluc, c);

endmodule

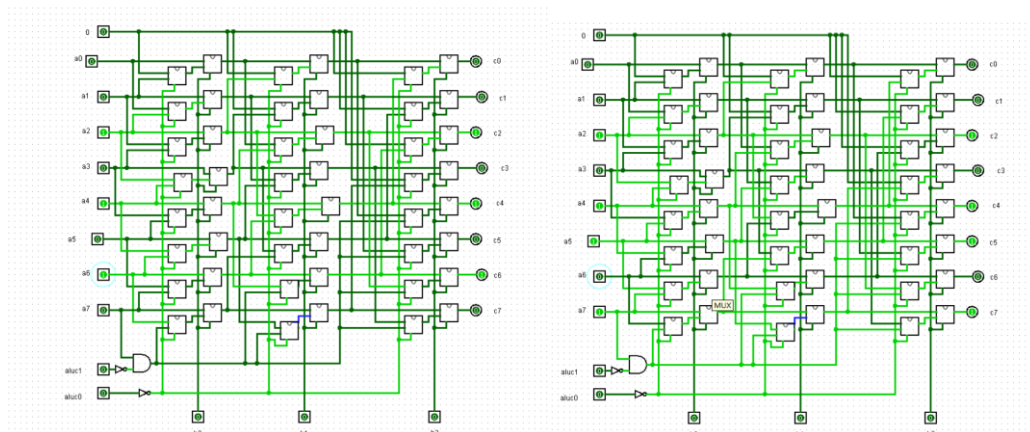
```

五、实验结果

（该部分可截图说明，要求 logisim 逻辑验证图、modelsim 仿真波形图、以及下板后的实验结果贴图（实验步骤中没有下板要求的实验，不需要下板贴图））

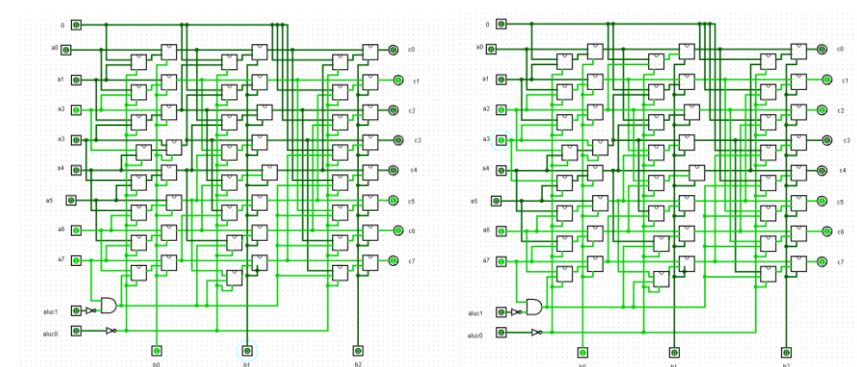
1. logisim 逻辑验证图

- (1) 当 b 输入为 3'b000 时，输入输出保持一致

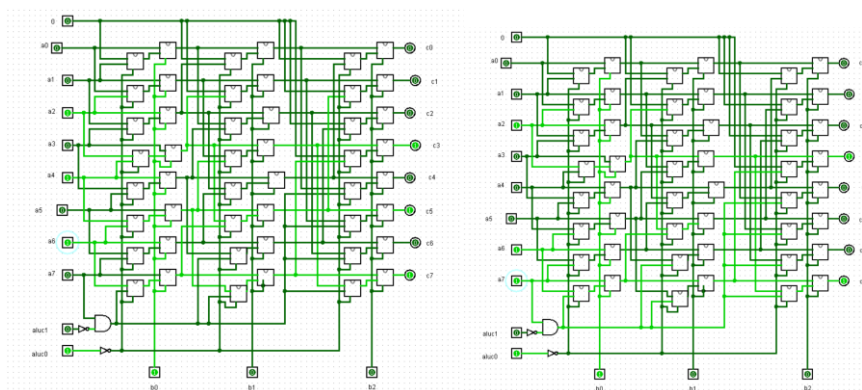


(2) 当 b 输入为 $3'b001$ 时,

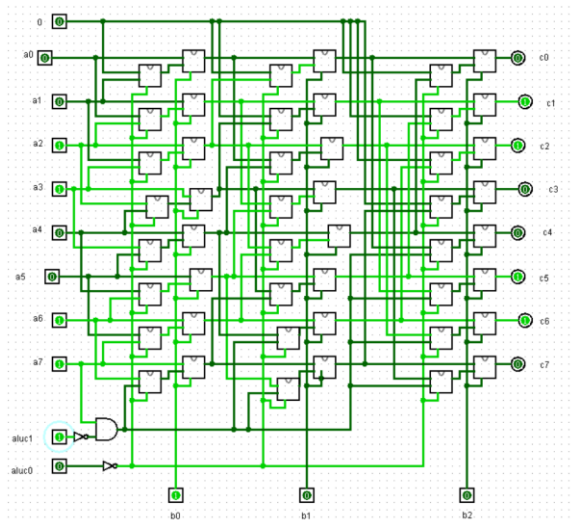
1) 当 $aluc$ 为 $2'b00$, 输出为输入算数右移一位 (高位递补 1)



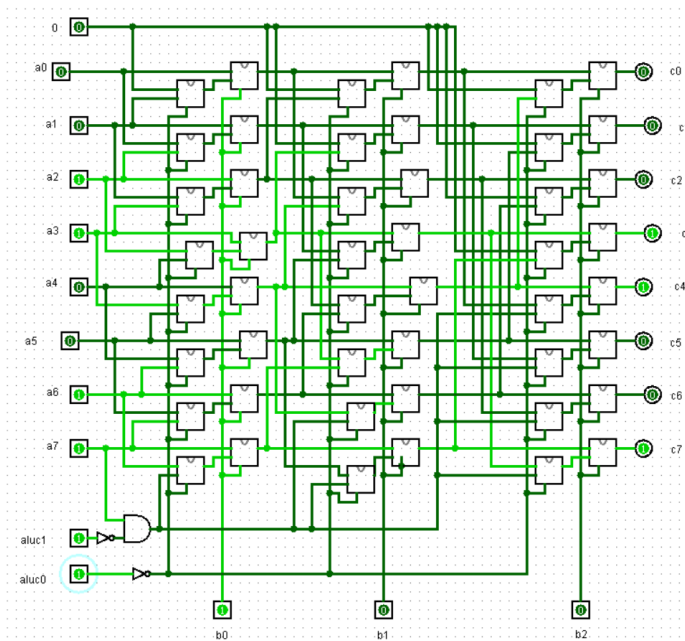
2) 当 $aluc$ 为 $2'b01$, 输出为输入算数左移一位 (低位递补 0)



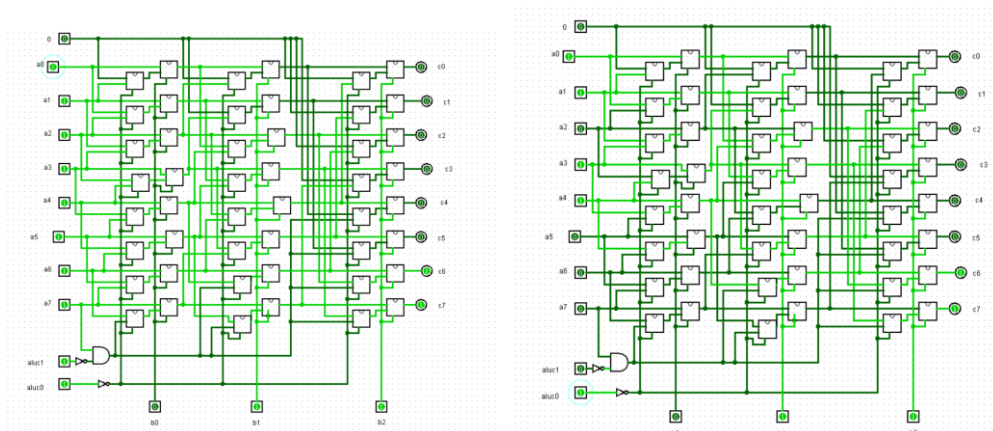
3) 当 $aluc$ 为 $2'b10$, 输出为输入逻辑右移一位 (高位递补 1)



4) 当 aluc 为 2'b11, 输出为输入逻辑左移一位 (低位递补 0)

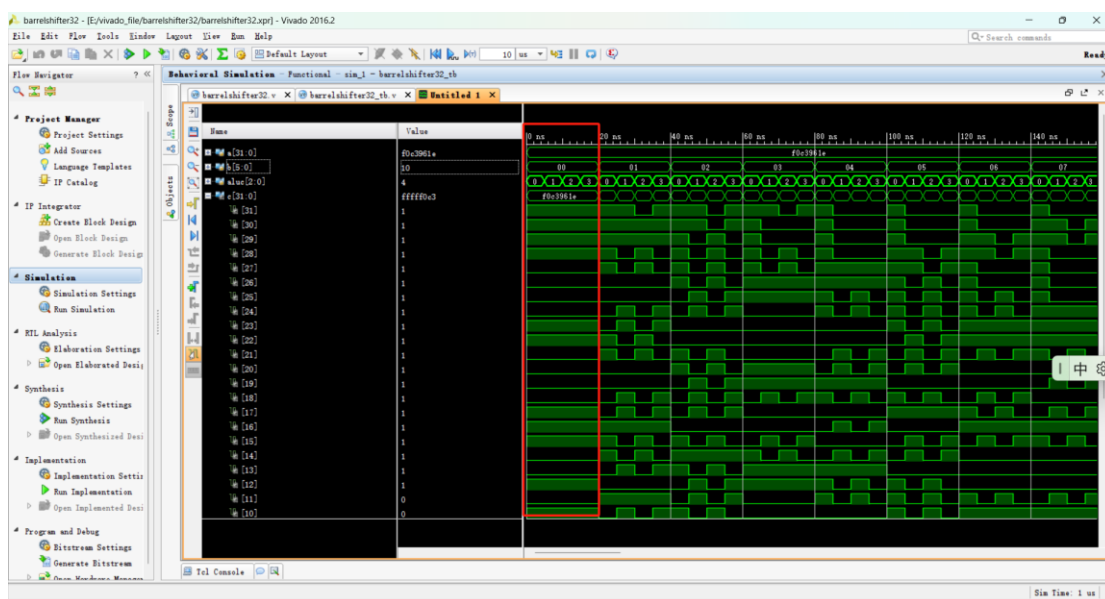


(3) 当 b 输入为 3'b110 时, (由上面的左移右移一位变为 6 位)



2. modelsim 仿真波形图

(1)



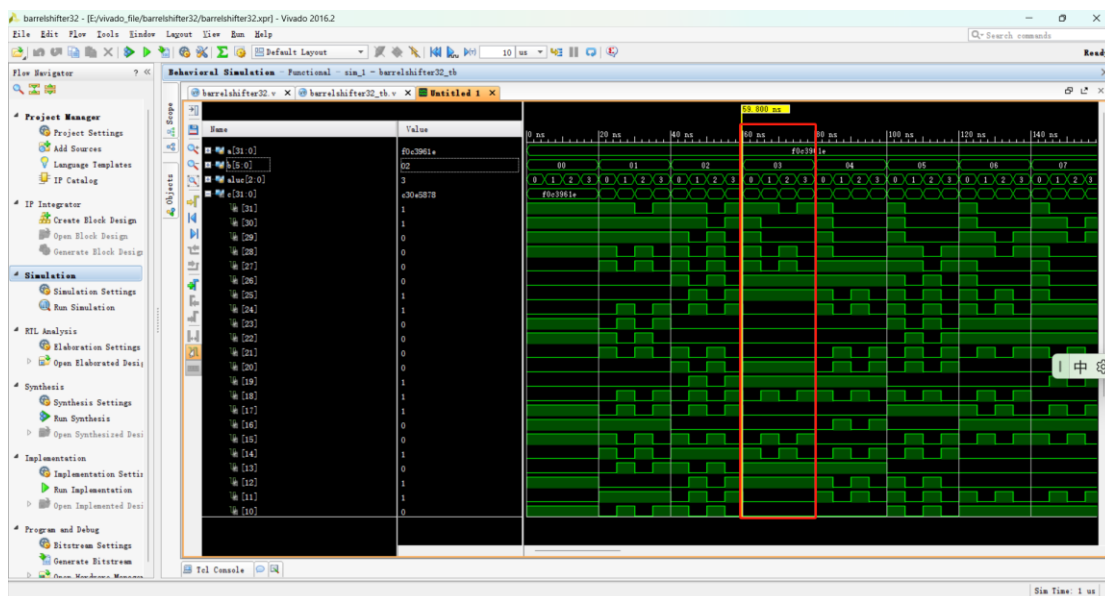
如图所示，当输入信号为 5'b00000 时，输入信号 a 不发生位移，ac 保持一致。

(2)



aluc 在每次循环中由 2'b00 变为 2'b11，四个分别对应算数右移、算数左移、逻辑右移、逻辑左移。

(3)



以输入信号 b 为 5'b00011 为例。可以观察到，当 aluc 为 2'b00 时，输出信号 c 做 3 位算术右移，最高位补 3 位符号位 1；当 aluc 为 2'b01 时，输出信号 c 做 3 位算术左移，最低位补 3 位 0；当 aluc 为 2'b10 时，输出信号做 3 位逻辑右移，最高位补 3 位 0；当 aluc 为 2'b11 时，输出信号 c 做 3 位逻辑左移，最低位补 3 位 0。输入信号 b 位其他值时，输出信号 c 随 aluc 信号变化情况一致。

