完成SPI Verilog程序训练;

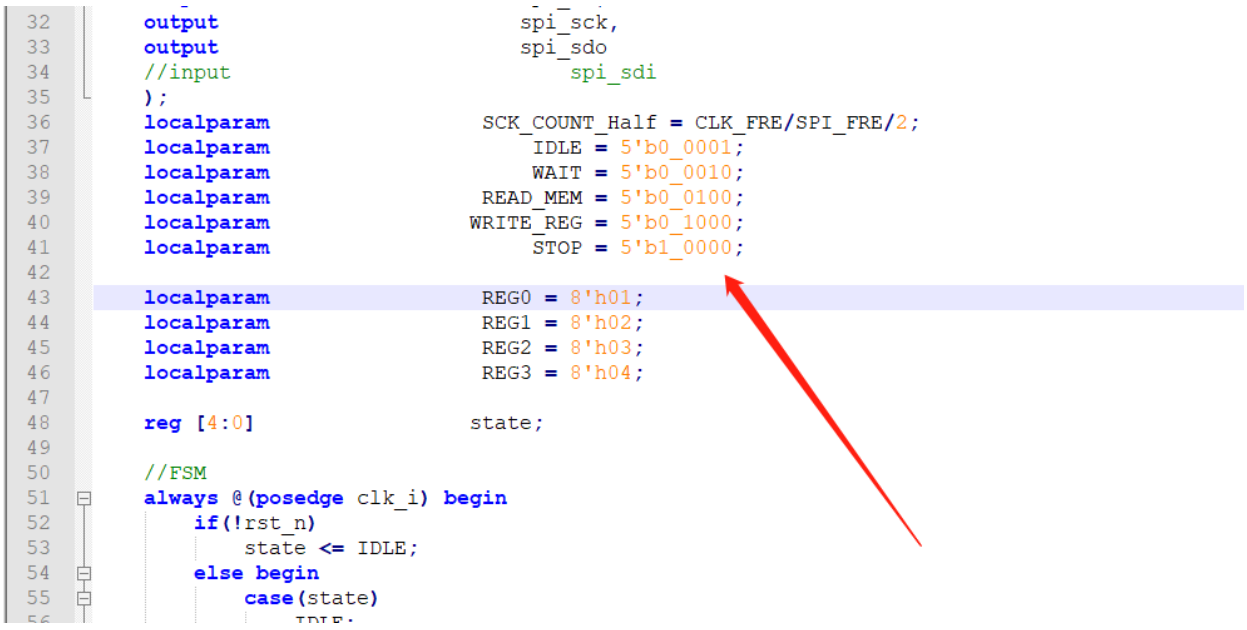
数据输入是在时钟沿的上升沿进入;
数据进来是在时钟沿的下降沿;
链接:
https://v.youku.com/v_show/id_XMTcwNzEzNTQyMA==.html?spm=a2h0k.11417342.soresults.dtitle

一次发送8byte; ;

将数据和命令存储到RAM中去;
M9K代表 9K的RAM;

画出程序框图;
用Verilog描述,将RAM用 reg代替;
使用独热码来表示系统的状态;
BUG统计:

1. 独热码的状态,要注意有多少个状态就要用多少位;
2. 独热码状态要不同



3. SCK一直有输出

4. 状态一直在WRITE_REG

timescale 用法：https://blog.csdn.net/super_haifeng/article/details/50110371