

实验一：选择器

邮箱：211240005@smail.nju.edu.cn

姓名：张明轩

学号：211240005

班级：一班

2022.9.19

一、实验目的

通过学习几种常用的多路选择器的设计方法，学习掌握 Verilog 语言的 always 语句块用法，以及分支语句的使用。通过自行设计二位四选一选择器，熟悉通过使用 vivado 进行电路设计的基本流程。

二、实验原理

多路选择器的输入端为多路输入数据和一位或多位选择控制端，输出端口为一路输出数据。其功能为，通过选择控制端，选择多路输入数据中的某一路，并将其输出到数据输出端口。电路设计中，某些多功能器件的实现（例如 ALU）并不是通过控制信号指定执行某一种计算，而是先计算出所有结果，再通过多路选择器选择输出结果。

三、实验环境、器材

实验环境：Vivado2022.1; 实验器材：Nexys A7-100T

一、程序代码/流程图

一、实验步骤

一、测试方法

一、实验结果

一、遇到的问题和解决方法

一、实验得到的启示

一、意见和建议

可以提供一些与实验无关的 verilog 编程内容，方便更加快速的掌握