

实验一：选择器

邮箱: 211240005@smail.nju.edu.cn

姓名: 张明轩

班级: 一班

学号: 211240005

2022.9.19

一、实验目的

通过学习几种常用的多路选择器的设计方法，学习掌握 Verilog 语言的 always 语句块用法，以及分支语句的使用。通过自行设计二位四选一选择器，熟悉通过使用 vivado 进行电路设计的基本流程。

二、实验原理

多路选择器的输入端为多路输入数据和一位或多位选择控制端，输出端口为一路输出数据。其功能为，通过选择控制端，选择多路输入数据中的某一路，并将其输出到数据输出端口。电路设计中，某些多功能器件的实现（例如 ALU）并不是通过控制信号指定执行某一种计算，而是先计算出所有结果，再通过多路选择器选择输出结果。

三、实验环境、器材

实验环境：Vivado2022.1; 实验器材：Nexys A7-100T

四、程序代码/流程图

五、实验步骤

设计

编译

仿真

写入

硬件验证

六、测试方法

使用仿真测试和实验平台测试。其中，仿真测试枚举了所有控制信号的值，并枚举该控制信号对应的输入端口的值，观察对于不同的控制信号，被

选择端口与输出端口是否同步改变。

在实验平台上，通过控制开关完成和仿真测试一样的测试内容，同时，更改非选择输入端口的值，观察是否对实验结果产生影响。

七、实验结果

对于不同的控制信号，被选择端口与输出端口同步改变，且非选择端口的值对该结果不产生影响。

八、遇到的问题解决方法

在 `always` 语句块的敏感事件列表中，只包含了控制端口 `Y`，导致当 `Y` 不变而被选择端口值改变时，输出端口未同步改变。将敏感事件列表用 `*` 代替后解决。

九、实验得到的启示

`verilog` 支持用数字电路的方式描述电路，也可以通过 `always` 语句块等，通过高级语言来进行描述。前者更接近实现电路，后者更接近“功能描述”。从不同的层面去思考，能够加深对该电路的理解。

一、意见和建议

可以提供一些与实验无关的 `verilog` 编程内容，方便更加快速的掌握