	add（R）	addi（I）	addiu（I	sub（R）	subu（R）	seb（R）	nor（R）
Rd_write_byte_en[3:0] (Overflow=0)	0000						
Rd_write_byte_en[3:0] (Overflow=1)	0000						
ALUSrcA	z						
ALUSrcB[2:0]	z						
Ex_top	z						
ALU_op[3:0]	z						
RegDst[1:0]	z						
Shift_amountSrc	z						
ALUShift_sel	z						
Condition[2:0]	z						
Shift_op	z						
PC_source[1:0]	z						
Addreg_write_en	0						
IR_write	0						
PC_write_cond	0						
PC_write	0						
IorD	0						
MemtoReg[1:0]							
Mem_byte_write[3:0]	0000						
第一阶段	把PC送到存储器地址口，组合读出。						

	add（R）	addi（I）	addiu（I	sub（R）	subu（R）	seb（R）	nor（R）
Rd_write_byte_en[3:0] (Overflow=0)	0000						
Rd_write_byte_en[3:0] (Overflow=1)	0000						
ALUSrcA	0						
ALUSrcB[2:0]	1						
Ex_top	z						
ALU_op[3:0]	0000						
RegDst[1:0]	z						
Shift_amountSrc	z						
ALUShift_sel	0						
Condition[2:0]	z						
Shift_op	z						
PC_source[1:0]	0						
Addreg_write_en	0						
IR_write	1						
PC_write_cond	0						
PC_write	1						
IorD	0						
MemtoReg[1:0]							
Mem_byte_write[3:0]	0000						
第二阶段	指令送指令寄存器						

	add（R）	addi（I）	addiu（I	sub（R）	subu（R）	seb（R）	nor（R）
Rd_write_byte_en[3:0] (Overflow=0)	0000	0000	0000	0000	0000	0000	0000
Rd_write_byte_en[3:0] (Overflow=1)	0000	0000	0000	0000	0000	0000	0000
ALUSrcA	z	1	1	z	z	z	z

ALUSrcB[2:0]	z	2	2	z	z	z	z
Ex_top	z	1	1	z	z	z	z
ALU_op[3:0]	z	1110	0000	z	z	z	z
RegDst[1:0]	z	z	z	z	z	z	z
Shift_amountSrc	z	z	z	z	z	z	z
ALUShift_sel	0	0	0	0	0	0	0
Condition[2:0]	z	z	z	z	z	z	z
Shift_op	z	z	z	z	z	z	z
PC_source[1:0]	z	z	z	z	z	z	z
Addreg_write_en	0	1	1	0	0	0	0
IR_write	0	0	0	0	0	0	0
PC_write_cond	0	0	0	0	0	0	0
PC_write	0	0	0	0	0	0	0
IorD							
MemtoReg[1:0]							
Mem_byte_write[3:0]	0000	0000	0000	0000	0000	0000	0000

第三阶段　　指令译码，寄存器取

	lwl	lw	Default
Rd_write_byte_en[3:0] (Overflow=0)	0000	0000	0000
Rd_write_byte_en[3:0] (Overflow=1)	0000	0000	0000
ALUSrcA	1	1	z
ALUSrcB[2:0]	2	2	z
Ex_top	1	1	z
ALU_op[3:0]	0000	0000	z
RegDst[1:0]	z	z	z
Shift_amountSrc	z	z	z
ALUShift_sel	0	0	0
Condition[2:0]	z	z	z
Shift_op	z	z	z
PC_source[1:0]	z	z	z
Addreg_write_en	1	1	0
IR_write	0	0	0
PC_write_cond	0	0	0
PC_write	0	0	0
IorD	1	1	z
MemtoReg[1:0]	z	z	z
Mem_byte_write[3:0]	0000	0	0

状态3

	lwl	lw	Default
Rd_write_byte_en[3:0] (Overflow=0)	1111	1111	0000
Rd_write_byte_en[3:0] (Overflow=1)	1111	1111	0000
ALUSrcA	z	z	z
ALUSrcB[2:0]	z	z	z
Ex_top	z	z	z
ALU_op[3:0]	z	z	z
RegDst[1:0]	01	01	z
Shift_amountSrc	z	z	z

ALUShift_sel	0	0	0
Condition[2:0]	z	z	z
Shift_op	z	z	z
PC_source[1:0]	z	z	z
Addreg_write_en	0	0	0
IR_write	0	0	0
PC_write_cond	0	0	0
PC_write	0	0	0
IorD	1	1	z
MemtoReg[1:0]	1	1	z
Mem_byte_write[3:0]	0000	0	0000

状态4

	sw	swr	Default
Rd_write_byte_en[3:0] (Overflow=0)	0000	0000	0000
Rd_write_byte_en[3:0] (Overflow=1)	0000	0000	0000
ALUSrcA	z	z	z
ALUSrcB[2:0]	z	z	z
Ex_top	z	z	z
ALU_op[3:0]	z	z	z
RegDst[1:0]	z	z	z
Shift_amountSrc	z	z	z
ALUShift_sel	0	0	0
Condition[2:0]	z	z	z
Shift_op	z	z	z
PC_source[1:0]	z	z	z
Addreg_write_en	0	0	0
IR_write	0	0	0
PC_write_cond	0	0	0
PC_write	0	0	0
IorD	1	1	z
MemtoReg[1:0]	z	z	z
Mem_byte_write[3:0]	1111	1111	0

状态5

	add（R）	sub（R）	subu（R）	seb（R）	nor（R）	clo **（R）**	clz（R）
Rd_write_byte_en[3:0] (Overflow=0)	0000	0000	0000	0000	0000	0000	0000
Rd_write_byte_en[3:0] (Overflow=1)	0000	0000	0000	0000	0000	0000	0000
ALUSrcA	1	1	1	1	1	1	1
ALUSrcB[2:0]	0	0	0	0	0	0	0
Ex_top	z	z	z	z	z	z	z
ALU_op[3:0]	1110	1111	0001	1010	1001	0011	0010
RegDst[1:0]	z	z	z	z	z	z	z
Shift_amountSrc	z	z	z	z	z	z	z
ALUShift_sel	0	0	0	0	0	0	0
Condition[2:0]	z	z	z	z	z	z	z
Shift_op	z	z	z	z	z	z	z
PC_source[1:0]	z	z	z	z	z	z	z
Addreg_write_en	1	1	1	1	1	1	1
IR_write	0	0	0	0	0	0	0

PC_write_cond	0	0	0	0	0	0	0
PC_write	0	0	0	0	0	0	0
IorD	0	0	0	0	0	0	0
MemtoReg[1:0]	z	z	z	z	z	z	z
Mem_byte_write[3:0]	0000	0000	0000	0000	0000	0000	0000

状态6

	add（R）	sub（R）	subu（R）	seb（R）	nor（R）	clo（R）	clz（R）
Rd_write_byte_en[3:0] (Overflow=0)	1111	1111	1111	1111	1111	1111	1111
Rd_write_byte_en[3:0] (Overflow=1)	0000	0000	1111	1111	1111	1111	1111
ALUSrcA	z	z	z	z	z	z	z
ALUSrcB[2:0]	z	z	z	z	z	z	z
Ex_top	z	z	z	z	z	z	z
ALU_op[3:0]	z	z	z	z	z	z	z
RegDst[1:0]	01	01	01	01	01	01	01
Shift_amountSrc	z	z	z	z	z	z	z
ALUShift_sel	z	z	z	z	z	z	z
Condition[2:0]	z	z	z	z	z	z	z
Shift_op	z	z	z	z	z	z	z
PC_source[1:0]	z	z	z	z	z	z	z
Addreg_write_en	0	0	0	0	0	0	0
IR_write	0	0	0	0	0	0	0
PC_write_cond	0	0	0	0	0	0	0
PC_write	0	0	0	0	0	0	0
IorD	z	z	z	z	z	z	z
MemtoReg[1:0]	00	00	00	00	00	00	00
Mem_byte_write[3:0]	0000	0000	0000	0000	0000	0000	0000

状态7

	addi（I）	addiu（I	xori（I）	slti（I）	lui（I）	Default
Rd_write_byte_en[3:0] (Overflow=0)	1111	1111	1111	1111	1111	0000
Rd_write_byte_en[3:0] (Overflow=1)	0000	1111	1111	1111	1111	0000
ALUSrcA	z	z	z	z	z	z
ALUSrcB[2:0]	z	z	z	z	z	z
Ex_top	z	z	z	z	z	z
ALU_op[3:0]	z	z	z	z	z	z
RegDst[1:0]	0	0	0	0	0	z
Shift_amountSrc	z	z	z	z	z	z
ALUShift_sel	0	0	0	0	0	0
Condition[2:0]	z	z	z	z	z	z
Shift_op	z	z	z	z	z	z
PC_source[1:0]	z	z	z	z	z	z
Addreg_write_en	0	0	0	0	0	0
IR_write	0	0	0	0	0	0
PC_write_cond	0	0	0	0	0	0
PC_write	0	0	0	0	0	0
IorD	z	z	z	z	z	z
MemtoReg[1:0]	0	0	0	0	0	0
Mem_byte_write[3:0]	0000	0000	0000	0000	0000	0000

状态8

	bgez
Rd_write_byte_en[3:0] (Overflow=0)	0000
Rd_write_byte_en[3:0] (Overflow=1)	0000
ALUSrcA	1
ALUSrcB[2:0]	0
Ex_top	z
ALU_op[3:0]	0001
RegDst[1:0]	z
Shift_amountSrc	z
ALUShift_sel	z
Condition[2:0]	011
Shift_op	z
PC_source[1:0]	1?
Addreg_write_en	0
IR_write	0
PC_write_cond	1
PC_write	0
IorD	z
MemtoReg[1:0]	z
Mem_byte_write[3:0]	0000

状态9

	bgezal	
Rd_write_byte_en[3:0] (Overflow=0)	1111	
Rd_write_byte_en[3:0] (Overflow=1)	1111	
ALUSrcA	0	
ALUSrcB[2:0]	1	
Ex_top	z	
ALU_op[3:0]	0000	
RegDst[1:0]	2	
Shift_amountSrc	z	
ALUShift_sel	0	
Condition[2:0]	z	
Shift_op	z	
PC_source[1:0]	0	z
Addreg_write_en	1	0
IR_write	0	
PC_write_cond	0	
PC_write	0	
IorD	z	
MemtoReg[1:0]	0	
Mem_byte_write[3:0]	0000	

状态10

	bgezal
Rd_write_byte_en[3:0] (Overflow=0)	0000
Rd_write_byte_en[3:0] (Overflow=1)	0000

ALUSrcA	1
ALUSrcB[2:0]	0
Ex_top	z
ALU_op[3:0]	0001
RegDst[1:0]	z
Shift_amountSrc	z
ALUShift_sel	z
Condition[2:0]	011
Shift_op	z
PC_source[1:0]	1
Addreg_write_en	0
IR_write	0
PC_write_cond	1
PC_write	0
IorD	z
MemtoReg[1:0]	z
Mem_byte_write[3:0]	0000

状态11

	j	
Rd_write_byte_en[3:0] (Overflow=0)	0000	
Rd_write_byte_en[3:0] (Overflow=1)	0000	
ALUSrcA	z	
ALUSrcB[2:0]	z	
Ex_top	z	
ALU_op[3:0]	z	
RegDst[1:0]	z	
Shift_amountSrc	z	
ALUShift_sel	0	z
Condition[2:0]	z	
Shift_op	z	
PC_source[1:0]	2	
Addreg_write_en	0	
IR_write	0	
PC_write_cond	0	
PC_write	1	
IorD	z	
MemtoReg[1:0]	0	
Mem_byte_write[3:0]	0000	

状态12

	jal
Rd_write_byte_en[3:0] (Overflow=0)	1111
Rd_write_byte_en[3:0] (Overflow=1)	1111
ALUSrcA	z
ALUSrcB[2:0]	z
Ex_top	z
ALU_op[3:0]	z
RegDst[1:0]	2
Shift_amountSrc	z

ALUShift_sel	0
Condition[2:0]	z
Shift_op	z
PC_source[1:0]	2
Addreg_write_en	0
IR_write	0
PC_write_cond	0
PC_write	1
IorD	z
MemtoReg[1:0]	0
Mem_byte_write[3:0]	0000

状态13

	jalr
Rd_write_byte_en[3:0] (Overflow=0)	0000
Rd_write_byte_en[3:0] (Overflow=1)	1111
ALUSrcA	z
ALUSrcB[2:0]	z
Ex_top	z
ALU_op[3:0]	z
RegDst[1:0]	2
Shift_amountSrc	z
ALUShift_sel	0
Condition[2:0]	z
Shift_op	z
PC_source[1:0]	3
Addreg_write_en	0
IR_write	0
PC_write_cond	0
PC_write	1
IorD	z
MemtoReg[1:0]	0
Mem_byte_write[3:0]	0000

状态14

	jr
Rd_write_byte_en[3:0] (Overflow=0)	0000
Rd_write_byte_en[3:0] (Overflow=1)	0000
ALUSrcA	z
ALUSrcB[2:0]	z
Ex_top	z
ALU_op[3:0]	z
RegDst[1:0]	z
Shift_amountSrc	z
ALUShift_sel	0
Condition[2:0]	z
Shift_op	z
PC_source[1:0]	3
Addreg_write_en	0
IR_write	0

PC_write_cond	0
PC_write	1
IorD	z
MemtoReg[1:0]	0
Mem_byte_write[3:0]	0000

状态15

xori（I）clo（R） clz（R） sra（v? ）（R rotr（R）sltu（R）slti（I）j bgezal

xori（I）clo（R） clz（R） sra（v? ）（R rotr（R）sltu（R）slti（I）j bgezal

xori（I）	clo（R）	clz（R）	sra（v? ）（R	rotr（R）	sltu（R）	slti（I）	j	bgezal
0000	0000	0000	0000	0000	0000	0000	0000	0000
0000	0000	0000	0000	0000	0000	0000	0000	0000
1	z	z	z	z	z	1	z	1

2	z	z	z	z	z	2	z	2
0	z	z	z	z	z	1	z	1
1001	z	z	z	z	z	0101	z	0000
z	z	z	z	z	z	z	z	z
z	z	z	z	z	z	z	z	z
0	0	0	0	0	0	0	0	0
z	z	z	z	z	z	z	z	z
z	z	z	z	z	z	z	z	z
z	z	z	z	z	z	z	z	z
1	0	0	0	0	0	1	0	1
0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0
0000	0000	0000	0000	0000	0000	0000	0000	0000

sra（v?）	rotr（R）	sltu（R）	Default
0000	0000	0000	0000
0000	0000	0000	0000
1	1	1	z
0	0	0	z
z	z	z	z
z	z	0111	z
z	z	z	z
1	0	z	z
1	1	0	0
z	z	z	z
10	11	z	z
z	z	z	z
1	1	1	0
0	0	0	0

0	0	0	0
0	0	0	0
0	0	0	z
z	z	z	z
0000	0000	0000	0

sra（v?）	rotr（R）	sltu（R）	Default
1111	1111	1111	0000
1111	1111	1111	0000
z	z	z	z
z	z	z	z
z	z	z	z
z	z	z	z
01	01	01	z
z	z	z	z
z	z	z	z
z	z	z	z
z	z	z	z
z	z	z	z
0	0	0	0
0	0	0	0
0	0	0	0
0	0	0	0
z	z	z	z
00	00	00	z
0000	0000	0000	0000

lui（I） lwl lw sw swr

lui（I） lwl lw sw swr

lui（I）	lwl	lw	sw	swr		bgez
0000	0000	0000	0000	0000		0000
0000	0000	0000	0000	0000		0000
1	z	z	1	1		0

4	z	z	2	2		4
z	z	z	1	1		1
0000	z	z	0000	0000		0000
z	z	z	z	z		z
z	z	z	z	z		z
0	0	0	0	0		0
z	z	z	z	z		z
z	z	z	z	z		z
z	z	z	z	z		z
1	0	0	1	1		1
0	0	0	0	0		0
0	0	0	0	0		0
0	0	0	0	0		0
0000	0000	0000	0000	0000		