题型： 选择题（2\*20）、名词解释（20）、问答题（40）（有指令、地址计算和其他）

名词解释部分：

ALU 算术与逻辑运算单元，是计算机用来进行算术运算和逻辑运算的部件。

CISC 复杂指令集计算机

RISC 精简指令集计算机

MMU 存储管理单元

LCD 液晶显示器

LED 发光二极管

CPU 中央处理器，在早期计算机中分成运算器和控制器两部分，现已集成在一起。

**微程序控制的基本概念**

**微指令**：在微程序控制的计算机中，由同时发出的控制信号所执行的一组微操作

**微程序**：计算机的程序由指令序列构成，而计算机每条指令的功能均由微指令序列解释完成，这些微指令序列的集合叫做微程序。

**控制存储器**：微程序一般是存放在专用的存储器中的，由于该存储器主要存放控制命令（信号）与下一条执行的微指令地址（简称为下址）。

**硬布线控制器**是将控制部件做成产生专门固定时序[控制信号](https://baike.baidu.com/item/%E6%8E%A7%E5%88%B6%E4%BF%A1%E5%8F%B7" \t "https://baike.baidu.com/item/%E7%A1%AC%E5%B8%83%E7%BA%BF%E6%8E%A7%E5%88%B6%E5%99%A8/_blank)的逻辑电路，产生各种控制信号，因而又称为组合逻辑控制器。

Cache：高速缓冲存储器，是存储数据，以便将来的请求该数据可以更快地服务一个硬件或软件组件; 存储在缓存中的数据可能是早期计算的结果，或者存储在别处的数据的重复。一个高速缓存命中而当所请求的数据在缓存中找到时，高速缓存未命中时，它不能发生。通过从缓存中读取数据来提供缓存命中，这比重新计算结果或从较慢的数据存储中读取要快; 因此，可以从缓存中提供的请求越多，系统执行的速度就越快。

**具有cache的存储器，其平均存储时间计算如下**：

设cache的存取时间为tc，命中率为h，主存的存储时间为tM，则平均存取时间=h\*tc+（1-h）（tc+tM）。

**虚拟存储器**：是“主存----辅存”层次，程序员可以按虚存空间编址。

**物理地址**（空地址）(physical address) 用于内存芯片级的单元寻址，与处理器和CPU连接的地址总线相对应。

**逻辑地址**指的是机器语言指令中，用来指定一个操作数或者是一条指令的地址。

**线性地址**(linear address)或也叫虚拟地址(virtual address)   
跟逻辑地址类似，它也是一个不真实的地址，如果逻辑地址是对应的硬件平台**段式**管理转换前地址的话，那么线性地址则对应了硬件**页式内存**的转换前地址。

第一章

1、冯\*诺依曼型计算机具有如下基本特点：（P1）

1. 计算机由运算器、控制器、存储器、输入设备、输出设备5部分组成；
2. 采用存储程序的方式，程序和数据放在同一个存储器中，并以二进制码表示；
3. 指令由操作码和地址码组成；
4. 指令在存储器中按执行顺序存放，由指令计算器（即程序计算器PC）指明要执行的指令所在的存储单元地址，一般按顺序递增，但可按运算结果或外界条件而改变；
5. 机器以运算器为中心，输入输出设备与存储器间的数据传送都通过运算器。
6. 电子计算机发展的5个阶段： 第一代：电子管计算机时代（从1946第一台到20世纪50年代） 第二代：晶体管计算机时代（从20世纪50年代中期到60年代后期）第三代：集成电路计算机时代（从20世纪60年代中到70年代前期）第四代：大规模集成电路计算机时代(20世纪70年代初) 第五代：超大规模集成电路（VLSI，ULSI）计算机时代

3、计算机系统的多级层次结构：（P7），说明各部分的作用是什么？各部分之间怎样联系？

**应用程序机（高级语言）**

**🡫**

**中间件/平台级**

**🡫**

**操作系统级**

**🡫**

**硬件（机器语言级）**

4、三种语言：机器语言、汇编语言、高级语言（了解）

答：**区别**：用二进制码表示的指令编写程序，称为机器语言程序。汇编语言是面向机器的语言，它用一些特殊符号表示指令。高级语言是有应为字母、数字和运算符号等按照一定的语法规则组成的。 **联系**：高级语言经过编译可生成目标程序（机器语言程序），通过将目标程序反汇编生成汇编程序。把汇编语言翻译成机器语言的过程称为汇编。

1. 计算机硬件由哪几部分组成？各部分的作用是什么？各部分之间是怎样联系的？

答：中央控制器（CPU，**运算器**和**控制器**）、**存储器**和**输入 输出**设备。

输入设备用来输入原始数据和处理这些数据的程序。

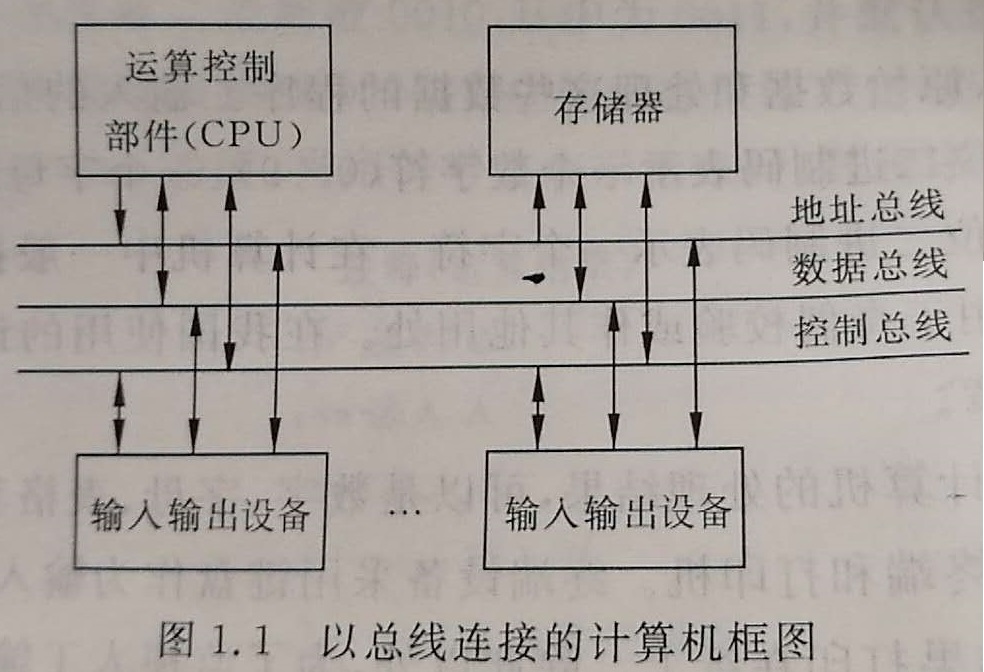
输出设备用来输出计算机的处理结果，可以是数字、字母、表格和图形图像等。

存储器用来存放程序和数据，存储器又有主存储器和辅助存储器之分。

运算器是对信息或数据进行处理和运算的部件，经常进行的是算术运算和逻辑运算，所 以在其内部有一个算术及逻辑运算部件（ALU）。

控制器主要用来实现计算机本身运行过程的自动化，即实现程序的自动执行。

在计算机中，各部件间来往的信号可分为3种类型，即地址、数据和控制信号。

 CPU发出的**控制信号**经控制总线送到存储器和输入输出设备，控制这些部件完成指令 的操作。与此同时，CPU（或其他设备）经**地址总线**向存储器或输入输出设备发送地 址，使得计算机各个部件中的**数据**能根据需要相互传送。输入输出设备和存储器有时

也向CPU发送一些信号，CPU可根据这些信号来调整本身发出的控制信号。现代计算

机还允许输入输出设备直接向存储器提出读写要求，控制数据传送。

第二章 疑问 （D触发器 锁存器）

1. 加法器（P14）
2. ROM（只读存储器）、RAM（随机存储器）（选择或解释）

ROM主要由地址译码器和存储单元体组成。

PLA 可编程逻辑阵列

PAL 可编程逻辑阵列

FPGA 现场可编程序门阵列

RAM 随机存取存储器

3. 译码器（24译码器，38译码器 该知识点在综合应用题里）

译码器有n个输入变量，2^n个输出。

2.2 在计算机中一般使用哪些基本逻辑电路？

答：与门、与非门、或门、或非门、反相器、异或门、异或非门

2.3 根据图2.12（P16）的四位超前进位加法器，请回答：

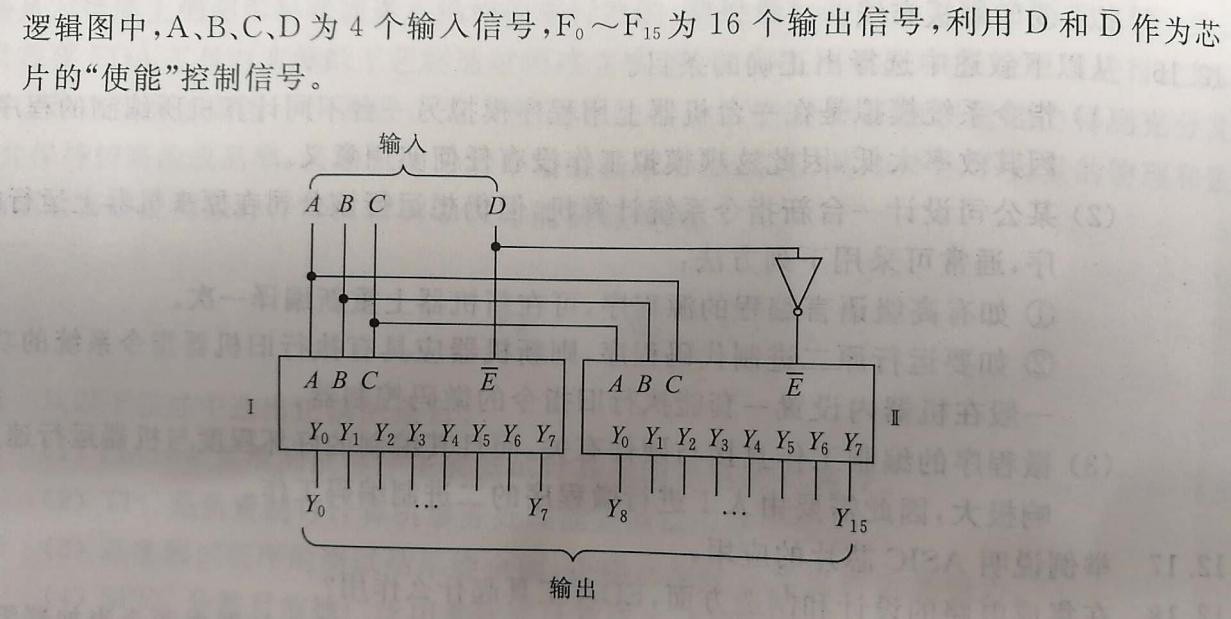
①从X、Y输入到F输出需要多少时间（假设异或门延迟20ns，其他门为10ns）？

②如果扩大到8位，直接产生超前进位信号，将产生什么问题？

答：（1）时间=3\*10ns + 20ns = 50ns

1. 如果直接产生进位信号，形成C8的公式比C4复杂的多。而且各种门的输入端数量是有限的，因而产生进位信号的级数会增加，造成延迟时间和门的数量增加。

2.5 画出逻辑图：用2个有3输入8输出译码器功能的芯片组成具有16输出的译码器。

2.7 设A为锁存器，B为D触发器，设输入信号和触发信号关系如下图所示，画出输出端波形（设A、B原状态均为0）。



补充：**锁存器（latch）**---对脉冲电平敏感，在时钟脉冲的电平作用下改变状态

锁存器是电平触发的存储单元，数据存储的动作取决于输入时钟（或者使能）信号的电平值，仅当锁存器处于使能状态时，输出才会随着数据输入发生变化。

触发器（Flip-Flop，简写为 FF），也叫双稳态门，又称双稳态触发器。是一种可以在两种状态下运行的数字逻辑电路。触发器一直保持它们的状态，直到它们收到输入脉冲，又称为触发。当收到输入脉冲时，触发器输出就会根据规则改变状态，然后保持这种状态直到收到另一个触发。

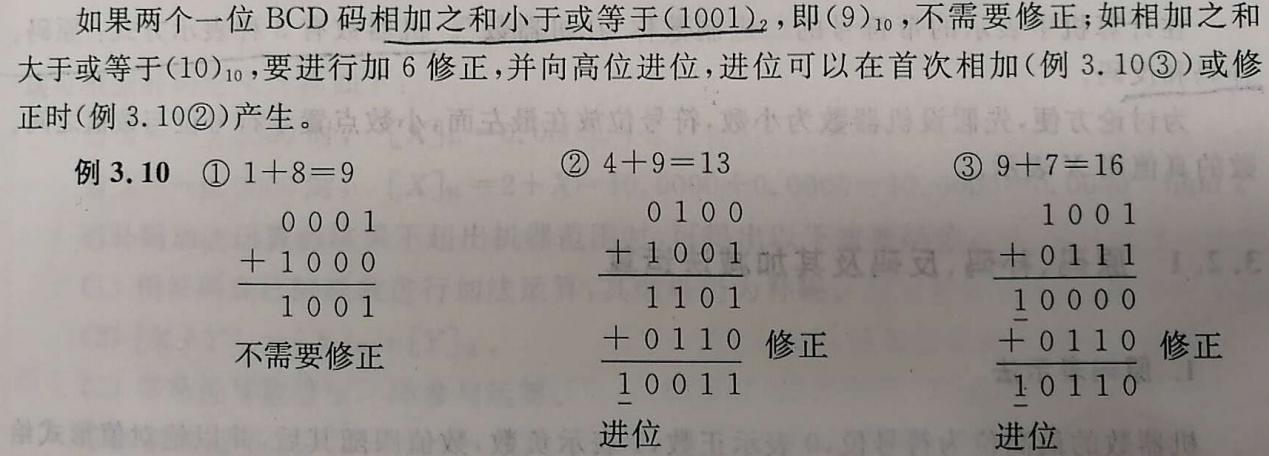
第三章

1. 数字之间的表示和转换：二进制、十进制、十六进制转换（P32-35）

3.1.2 十进制数的编码与运算

有权码 8421BCD码

在计算机内部实现BCD码算术运算，要对运算结果进行修正，对加法运算修正规则如下：

无权码 表示一个十进制数位的二进制码的每一位没有确定的权。用的较多的是**余3码**（Excess-3 Code）和**格雷码**（Gray Code），格雷码又称“循环码”。

余3码是在8421码的基础上，把每个编码都加上0011形成的。

当两个余3码相加不产生进位时，应从结果中减去0011；产生进位时，应将进位信号送入高位，本位加0011.

1. （选择题）4种码（原码、反码、补码、移码）（P36-40）当用串行电路按位将原码转成补码形式（或反之），经常采取以下方式：自低位开始转换，从低位向高位，在遇到第一个1之前，保持给位的0不变，第一个1也不变，以后各位按位取反，最后保持符号位不变，经历一遍后，即可得到补码。

3. 溢出 （P41-42）

4. （选择题）定点数、定点范围和精度：（P44）

在计算机中的**数据**有**定点数**和**浮点数**两种表示方式。

定点数：指小数点固定在某个位置上的数据。

浮点数：指小数点位置可浮动的数据，通常表示N=M\*R^E。

根据IEEE754国际标准，常用的浮点数有两种格式。

1. 单精度浮点数（32位），阶码8位，尾数24位（内含1位符号位）
2. 双精度浮点数（64位），阶码11位，尾数53位（内含1位符号位）

移码定义如下： 当阶码为n+1位二进制整数，其中最高位为符号位时 [X]移=2^n + X

-2^n≤X<2^n

根据推算，[X]补的符号位取反即得[X]移

移码具有的特点：（1）最高位为符号位，1表示正号，0表示负号

（2）在计算机中，移码（阶码）只执行加减法运算，且需要对得到的结果加以修正，修正量为2^n,即要对结果的符号位取反，得到[X]移。

1. 数据零有唯一地编码，即[+0]移=[-0]移=1000...0。当数据小于机器能表示的最小数时（移码<=-2^n），称为机器零，将阶码（移码）置为0000...0,且不管尾数值大小如何，都按浮点数下溢处理。

该标准还规定

数值范围是指机器所能表示的一个数的最大值和最小值的范围。数据精度是指一个数的有效位数。因此，数值范围和数据精度是两个不同的概念。如，32位定点小数（补码）的范围为-1~1-2-31，定点整数补码的范围是-231~231-1，数据精度为31位。

标准32位单精度数，其数值可表示的范围为-2-127~（1-2-23）\*2127，数据精度为24位。

5. （了解）二进制除法二种运算方法：恢复余数法、加减交替法(P50-51)

6. 浮点数的加减法运算：（1）（2）（3）（4）（5）(P54)

(1)”对阶”操作； （2）尾数的加减法； （3）规格化操作； （4）舍入； （5）检查阶码是否溢出。

7. 数据校验：奇偶校验 （P61）

通常是为一个字节补充一个二进制，称为校验位，使字节的8位和该校验位含有1值的个数为奇数或者偶数。

奇数个1 称为奇校验； 偶数个1 称为偶校验。

8. CRC （循环冗余校验码） 名词解释 (P64)

第四章

1. RAM (随机存储器) 名词解释 （P70）

2. 字节计量 （K为210  ， M为220  ， G为230）

3. 静态存储器（SRAM）, 动态存储器（DRAM） (P71，72)

4. （了解？）位扩展、字扩展、字位扩展 (P81)

第五章

1. 寻址方式8种： （P93）

寻址方式（或编址方式）指的是确定本条指令的数据地址及下一条要执行的指令地址的方法。

8种方式： 直接寻址、寄存器寻址、基址寻址、变址寻址、间接寻址、相对寻址、立即寻址、堆栈寻址

2. 上课的例题，见后面

3. 指令类型11种：（P96-98）

算术逻辑运算指令、移位操作指令、浮点运算指令、十进制运算指令、字符串处理指令、数据传送指令、转移指令、堆栈及堆栈操作指令、输入输出指令、特权指令、其它指令

4. 定义： CISC（复杂指令系统计算机）、RISC（精简指令系统计算机） P104

第六章 中央处理器

1. 微程序控制这一节（P121） 微指令 微程序 控制存储器 以及它们之间的关系

**微指令**：在微程序控制的计算机中，将由同时发出的控制信号所执行的一组操作称为微指令，所以微指令就是把同时发出的控制信号的有关信息汇集起来而形成的。P121

**微程序**：计算机的程序由指令序列构成，而计算机每条指令的功能均由微指令序列解释完成，这些微指令序列的集合就叫做微程序。P12

**控制存储器**：微程序一般是存放在专用的存储器中的，由于该存储器主要才能放控制命令（信号）与下一条执行的微指令地址（简称为下址），所以被叫做控制存储器。P121

2. 硬布线控制这一节（P139）

**硬布线控制器**：是将控制部件做成产生专门固定时序[控制信号](http://baike.baidu.com/view/8407048.htm" \t "_blank)的逻辑电路，产生各种控制信号，因而又称为组合逻辑控制器。这种逻辑电路以使用最少元件和取得最高操作速度为设计目标，因为该逻辑电路由门电路和[触发器](http://baike.baidu.com/view/71792.htm" \t "_blank)构成的复杂树型网络，所以称为硬布线控制器。P139

第七章 存储系统

1. cache（高速缓冲存储器） 定义

2. cache计算 P167

设cache的存取时间为tc,命中率为h，主存的存取时间为tM，则平均存取时间=h\*tc,+(1-h)(tc+tM)。

3. MMU（存储管理部件）P177

第八章 辅助存储器

存储密度：指单位长度或单位面积磁层表面所存储的二进制信息量。P182

第九章 输入输出（I/O）设备 P215

CRT（阴极射线管）

FPD（平板显示器）

LCD（液晶显示器）

第十章 输入输出（I/O）系统

1. 并行串口，串行串口 P230

（选择题）：按照数据传送的宽度可分为并行接口和串行接口。在并行接口中，设备和接口是将一个字节（或字）的所有位同时传送。在串行接口中，设备和接口间的数据是一位一位串行传送，而接口和主机之间是按字节或字并行传送。接口要完成数据格式的串-并变换。

按照数据传送的控制方式可分为程序控制输入输出接口、程序中断输入输出接口和直接存储器存取（DMA）接口等。

2. 数据传输控制方式 P230

5种：a. 程序直接控制方式； b. 程序中断传送方式； c. 直接存储器存取方式； d. I/O通道控制方式； e. 外围处理机方式

3. 总线的分类 P241-242

总线：随着集成电路集成度的提高，一块板上可安装多个模块，各模块之间传送信息的通路称为总线。

片总线：CPU内部连接的线

内总线：同一台计算机的布线（如 主板上的芯片，内存等）

外总线：多台处理机之间连接的线

4. （简单）中断处理过程：P234

🡫

关中断

🡫

保存断电、保存现场

🡫

判别中断条件，转入中断服务程序

🡫

开中断

🡫

执行中断服务程序

🡫

关中断

🡫

恢复现场、恢复断电

🡫

开中断

🡫

返回断电

5. 同步通信，异步通信 P243

P243信息在总线上的传送方式可分为同步和异步两种方式：

同步通信：通信双方由统一的时钟控制数据的传送，时钟通常由CPU发出，并送到总线上的所有部件。经过一段固定时间，本次总线传送周期结束，开始下一个新的总线传送周期。

异步通信：利用数据发送部件和接收部件之间的相互“握手”信号实现总线数据传送，便于实现不同速度部件之间的数据传送。

6. 指令周期、时钟周期、机器周期（它们的含义和之间的关系）

（计算题）P167

具有Cache的存储器，其平均存取时间计算如下：

设Cache的存取时间为tc，命中率为h，主存的存取时间为tM，则平均存取时间=

h·tc+（1-h）（tc+tM）

（计算题）P86 4-5

有一个512K×16的存储器，由64K×1位的2164RAM芯片构成（芯片内是4个128×128结构），问：

1. 总共需要多少个RAM芯片？(512K×16)/(64K×1)=128片
2. 采用分散刷新方式，如单元刷新间隔不超过2ms，则刷新信号的周期是多少？

刷新时，2164中4个128×128矩阵同时刷新（书上123页），所以每128行为单元的刷新次数，2ms内需要128个刷新周期，每个周期长：

2ms/128 = 15.625us

（大题）已知某机器的一种指令格式如下：



M为寻址方式，当M=00时为立即寻址；当M=01时为基址寻址；当M=10时为变址寻址；当M=11时为相对寻址。

假设当前BR=1000H,XR=2000H,PC=3000H,求下列机器指令的有效地址EA。

(1)1122H；(2)2233H；(3)3344H；(4)4455H。

解:

(1)1122H=0001000100100010B,可知M=01，

所以是基址寻址，因此EA=BR+D=1000H+22H=1022H。

(2)2233H=0010001000110011B,可知M=10，

所以是变址寻址，因此EA=XR+D=2000H+33H=2033H。

(3)3344H=0011001101000100B,可知M=11，

所以是相对寻址，因此EA=PC+D=3000H+44H=3044H。

(4)4455H=0100010001010101B,可知M=00，

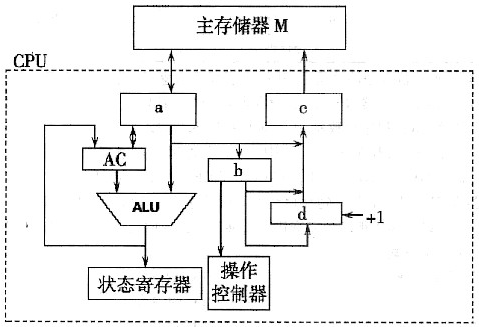
所以是立即寻址，因此D就是操作数，不需要寻址，立即数为55H。

（大题）CPU结构如下图，其中一个累加寄存器AC，一个状态条件寄存器和其它四个寄存器a、b、c、d，各部分之间的连线表示数据通路，箭头表示信息传送方向，要求：

（1）写出图中a、b、c、d四个寄存器的名称。

（2）写出指令从主存取到控制器的数据通路。

（3）写出数据在运算器和主存之间进行存/取的数据道路。



答案：（1）这4个寄存器中，a为存储器数据寄存器MDR，b为指令寄存器IR，c为存储器地址寄存器MAR，d为程序计数器PC。

（2）取指令的数据通路

PC🡪MAR🡪MM🡪MDR🡪IR

1. 数据从主存中取出的数据通路（设数据地址为X）

X🡪MAR🡪MM🡪MDR🡪ALU🡪AC