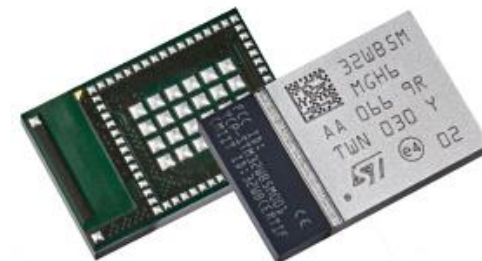


# 系统和存储



# 产品系列

## 6款产品 + 2款模组



### STM32WB55

1MB Flash  
256kB RAM

QFN (7\*7/ 8\*8mm)  
BGA(7\*7mm)  
WLCSP(4.39 x 4.371mm)



### STM32WB35

512kB Flash  
96kB RAM

QFN(7\*7mm)



### STM32WB15

320kB Flash  
48kB RAM

QFN(7\*7mm)  
WLCSP(3.3x3.38mm)

### STM32WB5MMG

1MB Flash  
256kB RAM  
LGA86(7.3\*11mm)  
Integrates Antenna

AN5451  
AN5805  
AN5811



### STM32WB50

1MB Flash  
128kB RAM

QFN(7\*7mm)



### STM32WB30

512kB Flash  
96kB RAM

QFN(7\*7mm)



### STM32WB10

320kB Flash  
48kB RAM

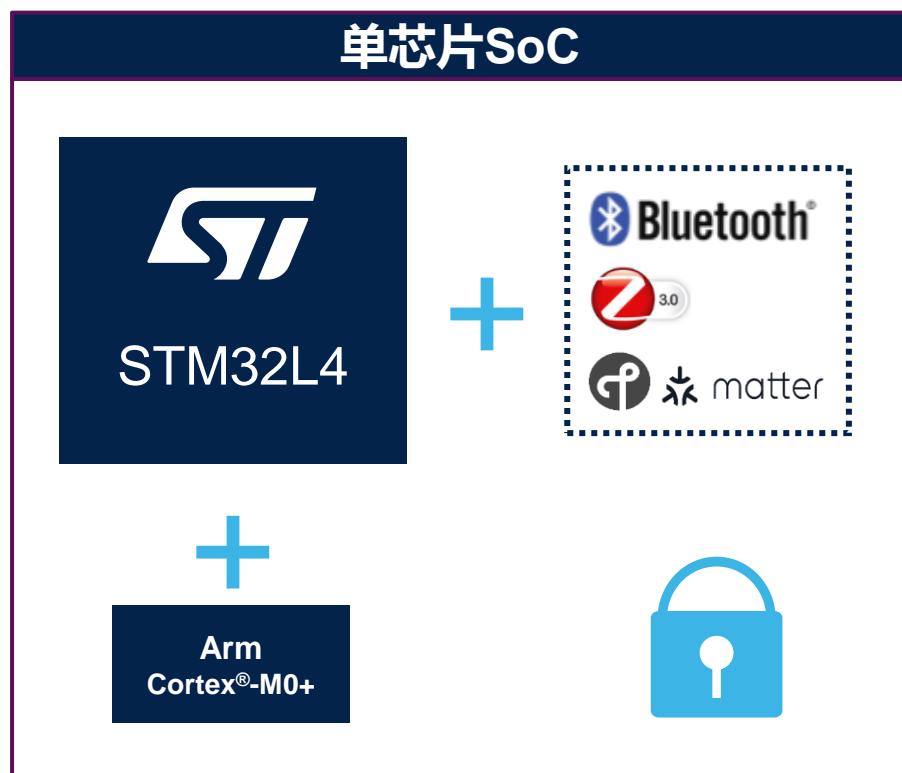
QFN(7\*7mm)

### STM32WB1MMC

320kB Flash  
48kB RAM  
LGA77(6.5\*10mm)  
Integrates Antenna



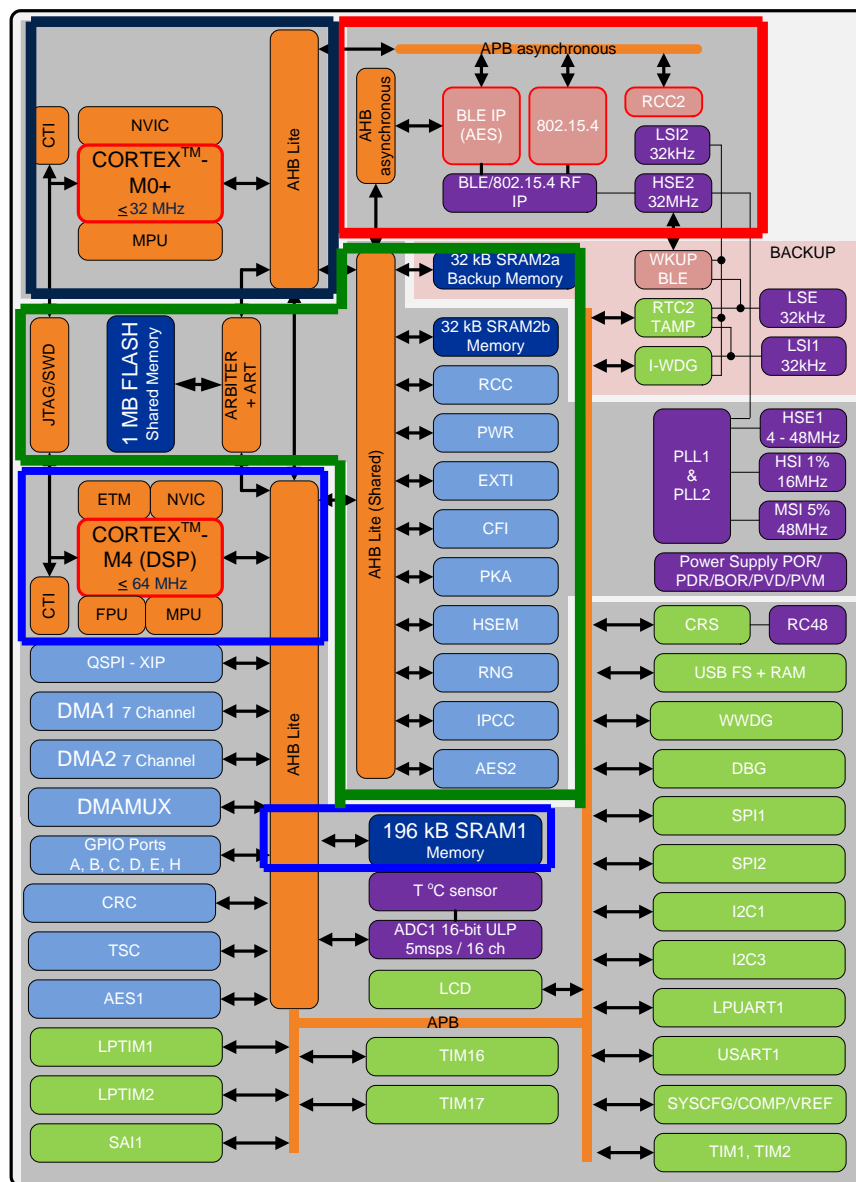
life.augmented



=



# 总线架构



## • 3个自治子系统

- Cortex-M4 (CPU1)
- Cortex-M0+ (CPU2)
- Radio sub-system

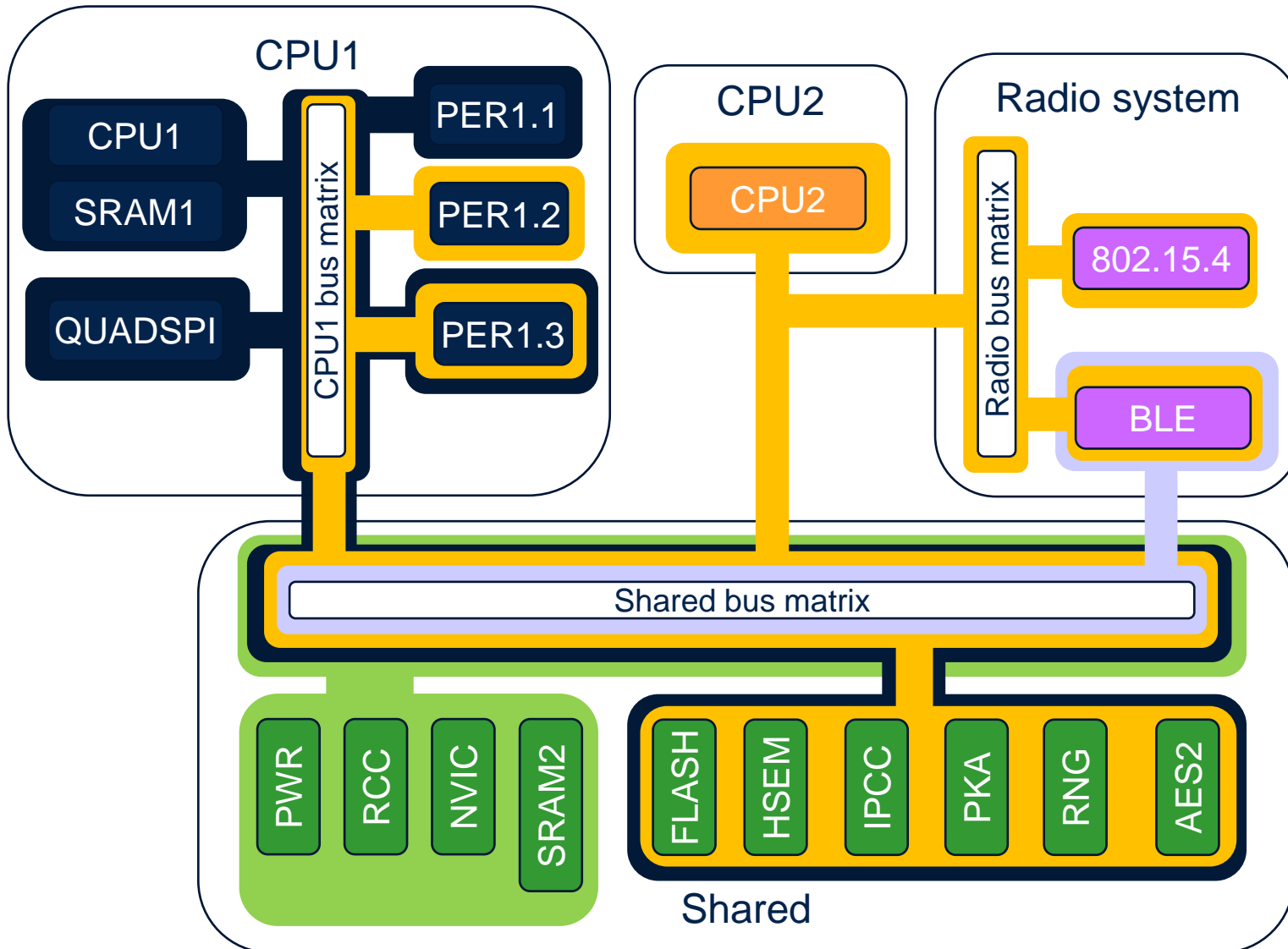
## • 公共运行域(CM4 & CM0+)

- Flash, SRAM2, RCC, PWR, EXTI

## • 各个CPU可使能的其他外设

- 公共域:
  - IPCC, HSEM, AES1, PKA, RNG
- CPU1域
  - DMA, TIM, SPI, USART, I2C, USB, WDG, ...
  - SRAM1 和QUADSPI专用于CPU1

# 系统总览



## • 3 个自治子系统

- CPU1 Corex-M4 (CPU1深蓝色)(64MHz)
- CPU2 Cortex-M0+ (CPU2橙色)(32MHz)
- Radio system (紫色)

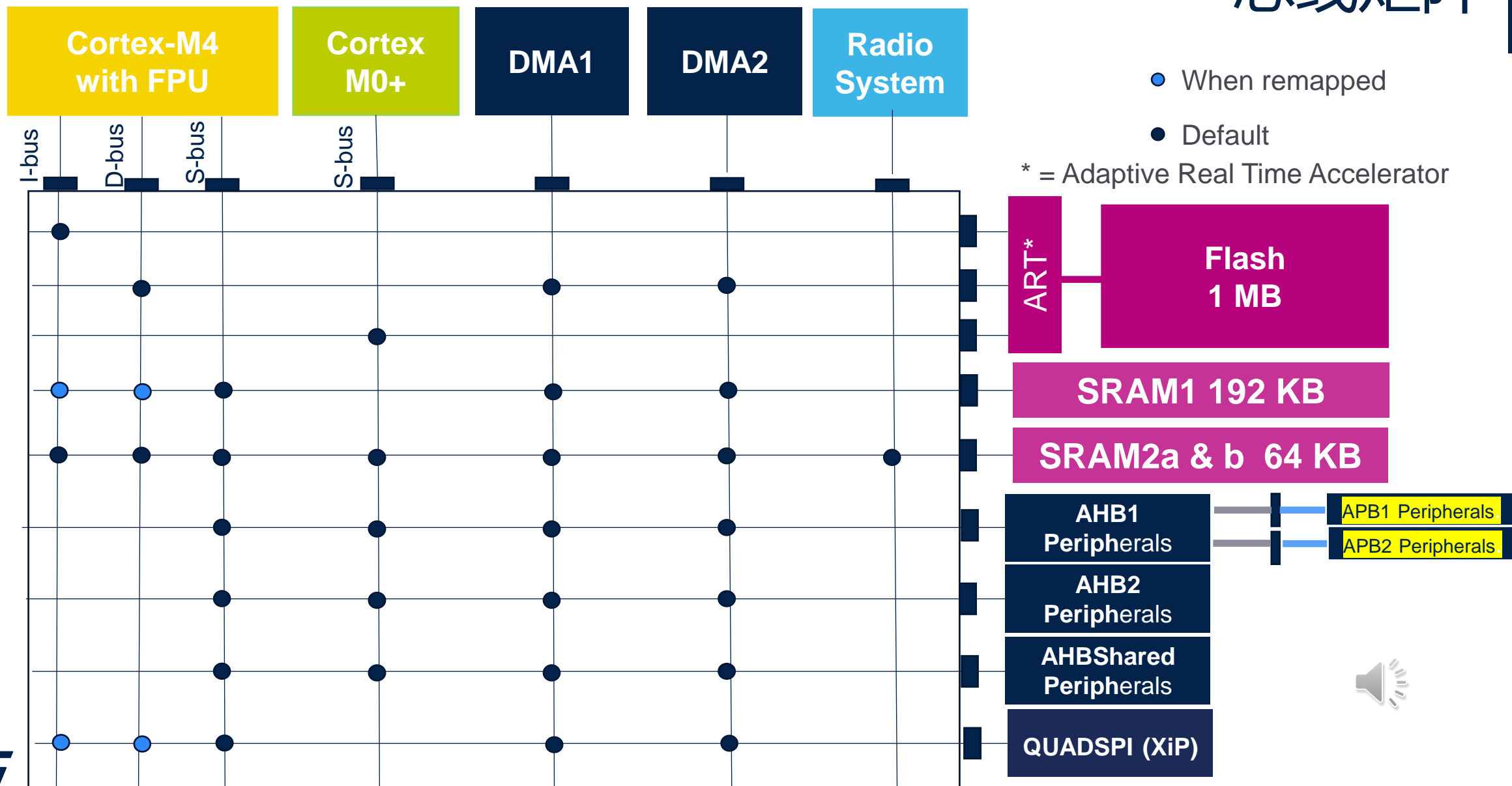
## • 独立的操作模式

- CRun
- CSleep
- CStop

## • 始终有时钟(绿色)

## • 通过RCC中的使能位分配CPU 外设

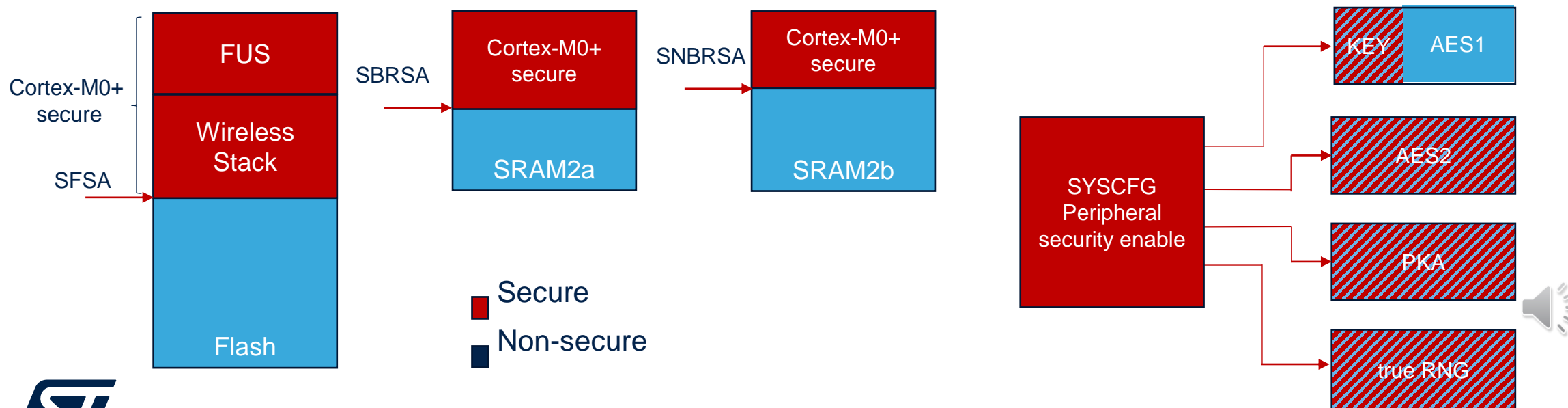
# 总线矩阵



# 存储和安全

- 闪存的上半部分只能由Cortex-M0+访问.
  - 由安全选项字SFD和SFSA定义.

- 全局安全使能.
  - M0+通过安全选项字SBRD和SBRSA来划定SRAM2a上部分安全性
  - M0+通过安全选项字SNBRD和SNBRSA来划定SRAM2b上部分安全性
  - M0+通过SYSCFG使能外设的安全性



# 双核架构 – 安全性更高

应用

Cortex-M4

应用开发与射频协议栈隔离

RF 子系统

Cortex-M0+

BLE、Zigbee、  
Thread ...

## 应用子系统 Cortex-M4

- 安全启动 (Secure Boot)
- 安全固件升级 (Secure Firmware Update)
- 安全运行用户应用程序 (Secure Execution)

固件隔离

## RF 子系统 Cortex-M0+

- 安全区域代码和数据 / 禁止调试
- 安全固件升级功能 (FUS)
- 为运行在CM4的应用程序提供客户密钥管理服务 (客户密钥)



# 闪存特点

- **共享：**

- 单Bank Flash，闪存的上部被配置为安全区域，只能被M0+访问，M4无法访问.

- **使用ART加速：**

- M4和M0+可同时执行代码，对DMIPS的影响约为0%. 在单独的AHB总线上，它有自己的时钟分频器

- **3级RDP保护：**

- 级别0(无保护)至级别2(最大保护)

- **限制：**

- 在射频活跃期间，不应该Flash擦除或写操作
- 需使用硬件信号量（HSEM）保护访问（flash\_driver.c）
  - SHCI\_C2\_SetFlashActivityControl(FLASH\_ACTIVITY\_CONTROL\_SEM7);

