山东大学 学院

计算机组成原理 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号： | 姓名： | | 班级： |
| 实验题目：七段译码设计 | | | |
| 实验学时： 2 | | 实验日期：2020年10月26日 | |
| 实验目的：熟悉Quartus II的设计流程全过程，学习计数器的设计和硬件测试。掌握原理图的设计方法。 | | | |
| 硬件环境：  74LS161  74LS48 | | | |
| 软件环境：QuartusII | | | |
| 实验内容与设计：  1、实验内容  （1）设计工程文件，使实验平台工作于模式6，锁定引脚并硬件下载测试，输入引脚clock0绑定于键8，输入引脚rst0绑定于键7，清零引脚绑定于键6，输出引脚led[6..0]绑定于数码8。引脚锁定后进行编译、下载和硬件测试实验。将实验过程和实验结果写进实验报告。  (2) 实验报告：将实验原理、设计过程、硬件测试结果写进实验报告。  2、实验原理图：  4位计数器连接7段译码，多数码管进行显示控制。实验框图如下图所示。其中，CNT4B采用74161计数器芯片实现，DECL7S采用7448（共阳）设计。  j6a19  其连线如下图所示    3、实验步骤  （1）原理图输入：调用寄存器、译码器等元件根据上图完成七段译码设计电路设计、调试并生成元件符号。  （2）管脚锁定：平台工作于模式6，锁定引脚并硬件下载测试，输入引脚clock0绑定于键8，输入引脚rst0绑定于键7，清零引脚绑定于键6，输出引脚led[6..0]绑定于数码8。 拨码开关CLK由低电平拔向高电平再拔向低电平，相当于一个脉冲。  （3）管脚锁定完毕后在QuartusⅡ中选择EP4CE6/10E器件，进行原理图的编译和适配，无误后完成下载。  （4）功能测试：利用脉冲信号，测试寄存器累计计数和译码器的翻译功能。  4、实验结果  LDN称作置数段，低电平有效，就是把ABCD的值给QA，QB，QC，QD，CLRN为清零端，也是低电平有效，当CLRN为0时会将QA，QB，QC，QD全部置0。右侧QA,QB,QC,QD就是当前记到了几。CLK是一个脉冲，每获得一次脉冲计数加一。而7448，就是把输入的二进制数字转换成七进制。   |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 输入 | | | 输出 | | | | | | | | LDN | CLRN | CLK | Qa | Qb | Qc | Qd | Qe | Qf | Qg | | LDN称作置数段，低电平有效 | 清零端，↑实现清零 | 计数端↑时，二进制计数 | 将CLK中寄存的二进制数，转化成为可以表示七个数的信号，对应显示LED  灯表示。输出，广泛用于CPU与Cache的片选线连接中。 | | | | | | | | | | |
| 结论分析与体会：  通过实验，掌握了七段译码器的组成原理。能把二进制数字转化转化成为可以表示七个数的信号。同时结合计组课本中的主存片选。可以运用到cpu与主存片选中。利用cpu传入的二进制信号。进行译码器转换这样就能转换成其他进制的信号。实现对不同分区的片选。  通过实验和与课本的结合，更加掌握了译码器的原理和用处。但是在链接引脚时候出现了点问题，因为切换模式，引脚的编号也进行了改变，所以引脚连接也存在问题。  实验结果符合预期设想。我们通过该实验对元件有了更加深入的了解。 | | | |

注：实验报告的命名规则：学号\_姓名\_实验n\_班级