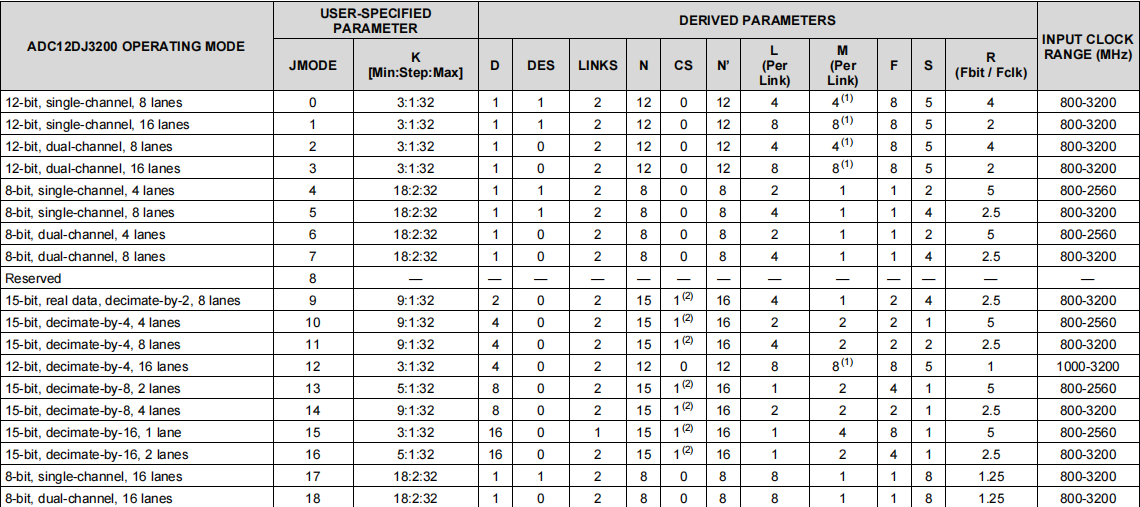
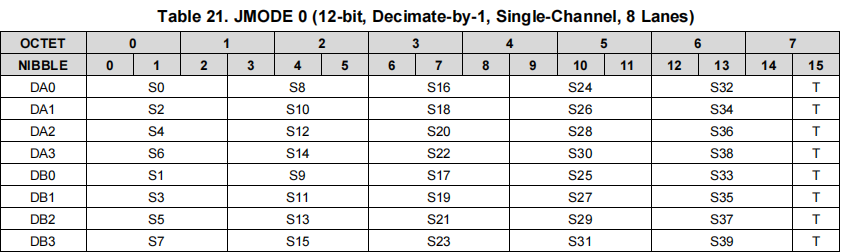
1. **JESD204B高速串行数据协议，AXI总线控制协议**
2. 参数计算
3. IP核配置
4. 建链流程，子类选择以及确定性延迟原理
5. **参数计算**



上图为ADCDJ3200在各个JMODE下的JESD204B发送端口设置，其中本项目使用的是JMODE0工作模式，参数配置为：Links:2;K:3:1:32;N：12;N’:12;L:4;M:4;F:8.

其中，K值与实现确定性延迟的裕量有关，初值为3，步进为1，最大达到32，可人为设置其大小，故为了实现大裕量的确定性延迟，设置K为32。

JMODE0模式下，ADCDJ3200存在数据的特殊映射关系如下：

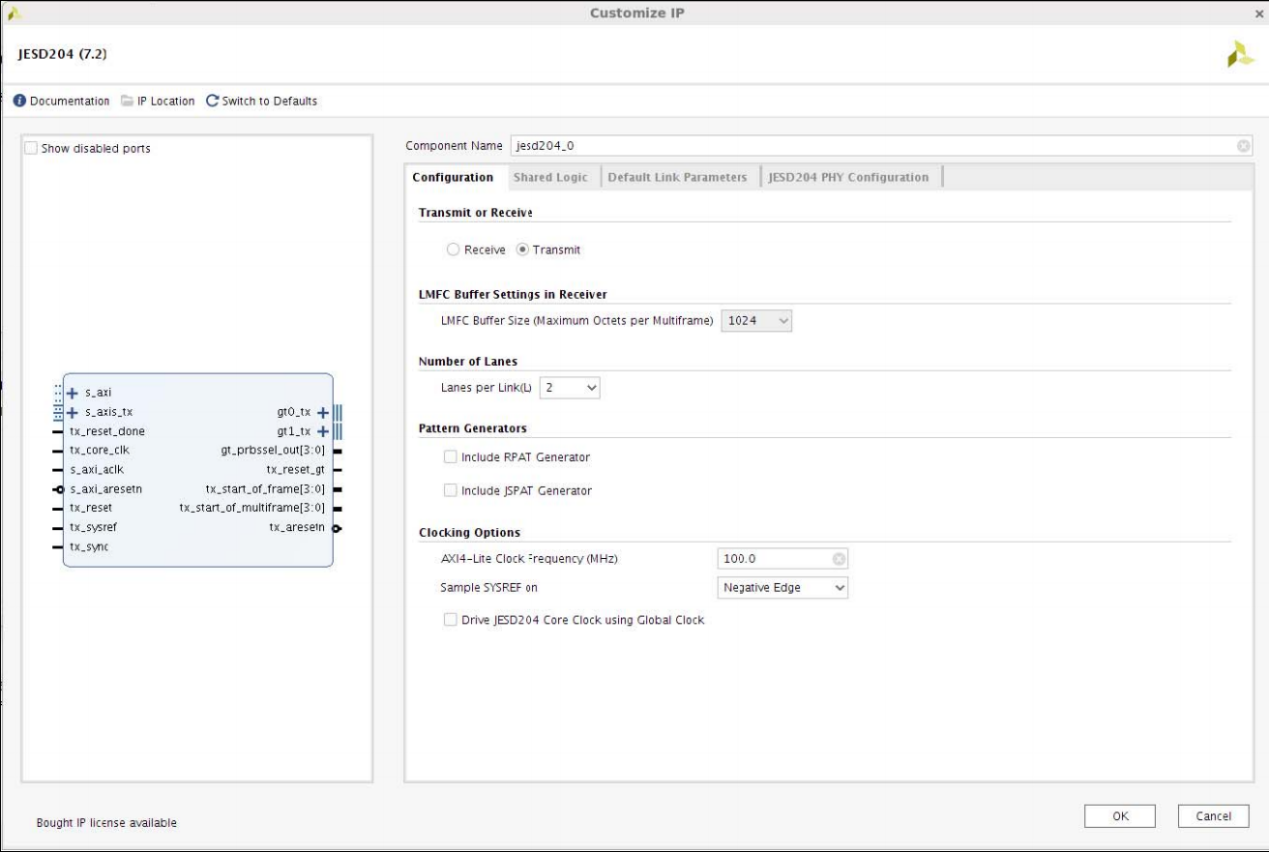


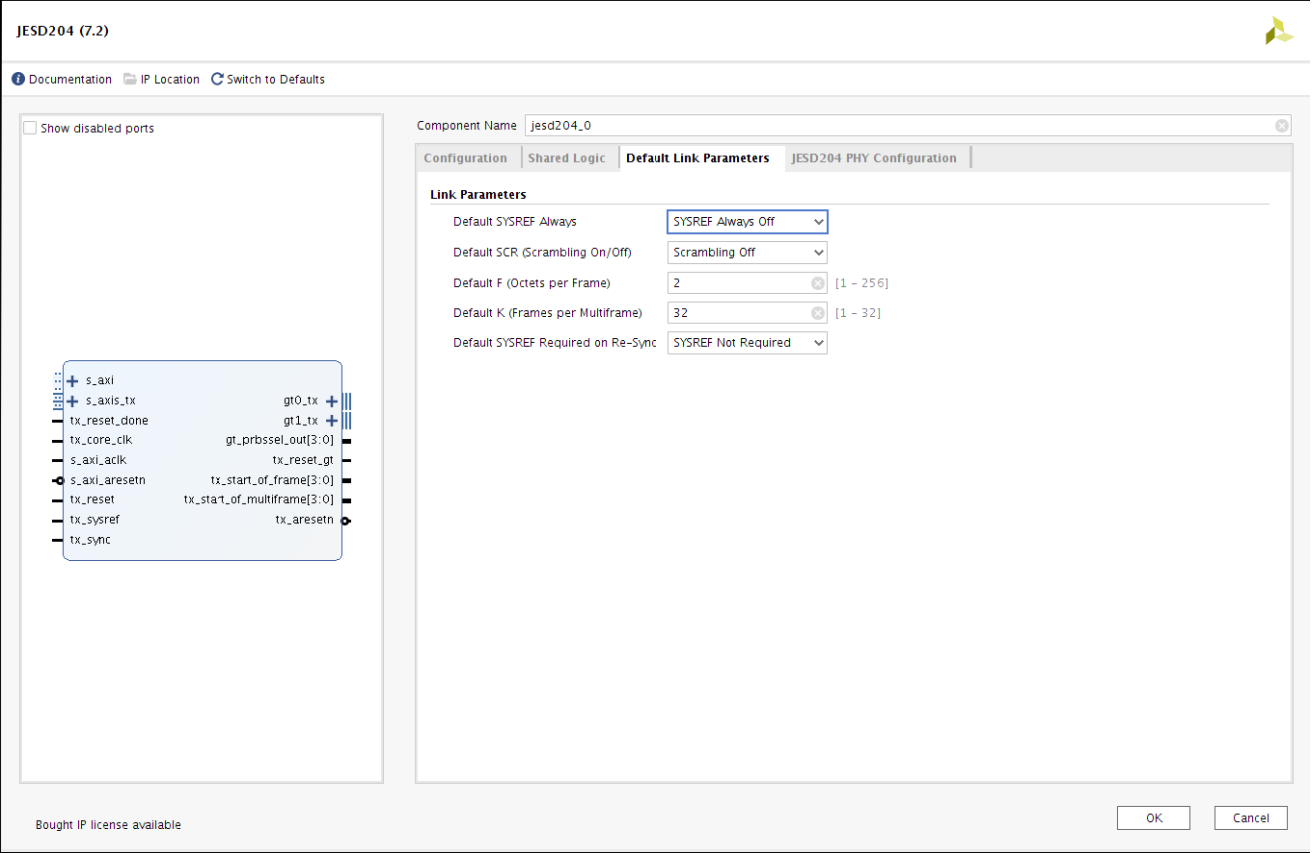
其中横向看去，OCTET代表字节，NIBBLE代表半字节，DA和DB分别代表两个链路的数据。而0-3则对应了该链路中的Lane数，每一条Lane在物理连接中对应一个FPGA的高速GT口。同时因为ADCDJ3200为12bit分辨率的ADC，在进行数据传输时，无法正好占用整字节数（每帧数据八个字节），因此在每帧的最后一个字节当中，会出现半字节填充。因此综上所述，得出通道速率的计算方式：

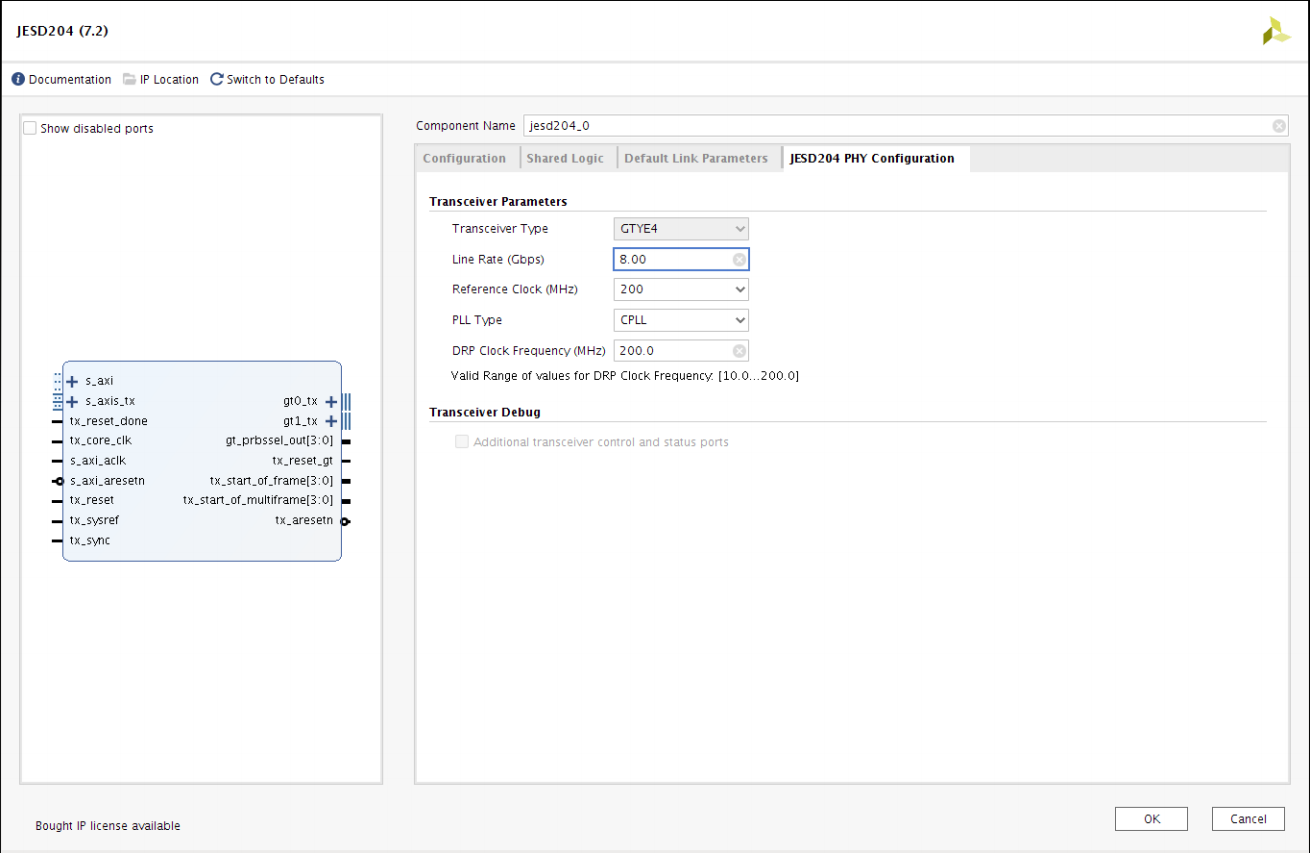
其中，M代表每条链路中转换器的个数，N’代表单个信息单位中的数据位数（包括半字节填充），Fs为器件采样时钟（器件工作时钟），L代表Lane数量。因此对应本项目的各个指标计算后可得到Lane Rate为12.8Gb/s。

同时由于在FPGA中，204B链路数据会进行1：40串并转换，因此核时钟工作频率为线速率的1/40。即在本项目中，FPGA作为数据接收端，是在320MHz的时钟域下对数据进行接收。因此本项目的主时钟域必须随之设置为320MHz，在此时钟下对数据进行接收和其他处理计算。但是与此同时，如此高频的工作时钟往往会产生严重的时序问题。频率为320MHz的时钟信号对应的周期仅有3.125ns,因此在进行时序电路设计时，高频的时钟信号限制了同一时钟沿下可以进行的操作数。因此对整体电路进行降速处理很有必要（跨时钟域处理）。

1. **IP核配置**







关键参数：

Lane Per Link：8

AXI-Lite Clock：200MHz

Default F:8（每帧包含的字节数）

Default K:32

Default SYSREF Required On Re-Sync：Not Required（每次掉链之后是否需要重新捕获SYSREF的上升沿以重建链路，此处设置为Not Required表示无需等待SYSREF上升沿，立刻重建链路）

Transceiver Type：GTHE3（XCKU035对应的GT口标准，其204B标准协议可以达到12.5Gb/s。在非标准情况下，通过双边协商可以超频达到15Gb/s）

Line Rate：12.8Gb/s

Reference Clock：320MHz

PLL Type:QPLL0(QPLL和CPLL的区别，在于两者支持的线速率不同，对于CPLL来说，支持的线速率位1.6GHz到3.3GHZ之间，而对于QPLL来说，GTX支持的线速率分两档，Lower Baud支持5.93GHz~8.0GHz，Upper Baud支持9.8GHz~12.5GHz，对于GTH则不分档位，支持的线速率为8.0GHz~13.1GHz)

DRP Clock:200MHz(200MHz为Ultral系列FPGA的默认DRP时钟频率)

1. **建链过程，子类选择以及确定性延迟原理**

对于204B的子类描述，主要分为以下三种：

Subclass0:No support for deterministic latency(backward compatible with JESD204A);

Subclass1:’SYSREF’ signal is used to align LMFCs within TX and RX devices(>500MSPS);

Subclass2:’SYNC’ signal is used to align LMFCs.No ‘SYSREF’ signal exists(≤500MSPS);

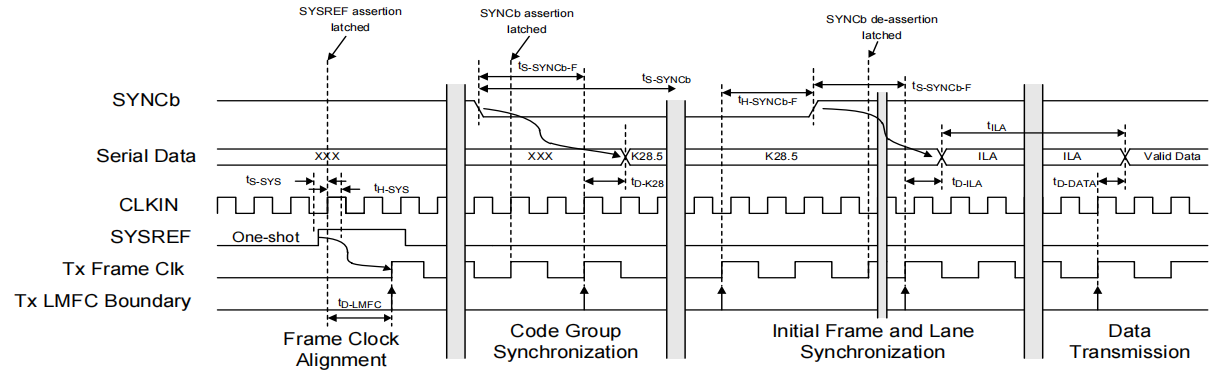
在本项目中，对于确定性延迟的建立（链路的建立）使用的是子类一的标准。

204B建链的步骤主要如下：

①码组同步：Code Group Synchronization（CGS）

②帧同步：Initial Frame Synchronization

③Lane同步：Initial Lane Synchronization



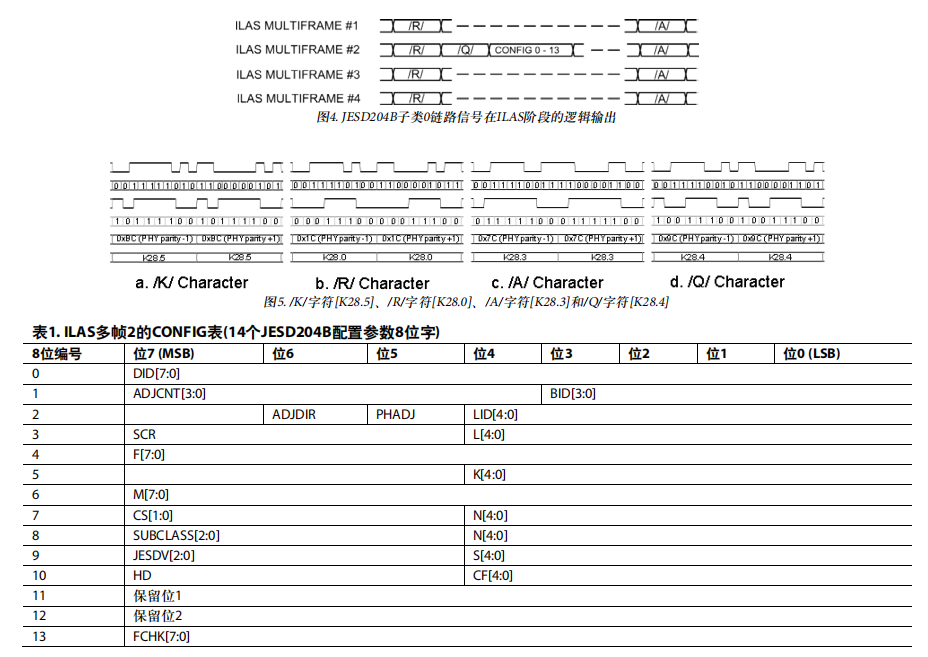
204B建链全过程由上图可以体现。

·SYNCb信号由RX端发送，当TX端检测到SYNCb信号拉低时，则会开始发送K28.5码进行码组同步的过程。

·当RX端接收到连续的4个K码后，便会将SYNCb信号拉高，标志着码组同步的成功。

·码组同步成功后，TX端开始发送ILAS序列用于初始化Lane，其中ILAS序列具有以下特征：

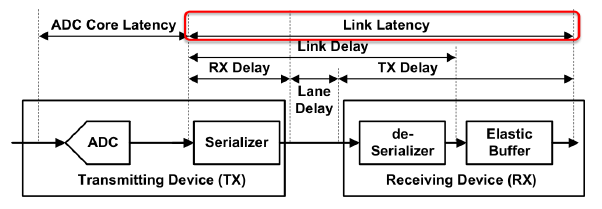
1. ILAS序列是精确的四个多帧长度，（在本项目中，每个多帧包含了8帧的数据。每帧包含8个字节数据，其中每帧的末尾包含半字节填充）
2. ILAS序列中**每一个多帧**的**第一个字节**总是以K28.0（or/R/）0x1C开始，最后一个字节总是以K28.3（or/A/）0x7C结束。而**第二个多帧**的**第二个字节**总是以K28.4=0x9C来表示JESD配置数据的开始（配置数据是14个8bit链路配置参数，这些参数随着AXI总线传输至JESD204B内部寄存器，对链路进行初始化配置）。同时非配置信息里面的数据发送的都是累加数据（斜坡数据串）。



·Lane初始化成功以后，链路完全建立，开始传输用户数据。

**确定性延迟实现：**

确定性延迟是204B链路建立中至关重要的一环，为什么要实现确定性延迟？首先从204B协议对于确定性延迟的定义说起，确定性延迟在该协议中被定义为：帧样本到达串行发射器（TX）与串行接收器（RX）输出帧样本的时间差。

 204B的确定性延迟由固定延迟和可变性延迟所决定，其中Link Latency包含了发送端延迟（TX Delay），走线延迟（Lane Delay），接收端延迟（RX Delay）等部分，这段总延迟时间是不确定的。对于TX端和RX端而言，数据链路层，串化器（解串器）的具体实现电路不同会导致不同的延迟，内部对LMFC信号的同步，对数据进行缓冲的不同也会造成不同的延迟。对于PCB而言，数据通道的传播延迟，时钟信号和SYSREF信号的延迟都会影响链路的延迟。因此，必须针对上述的一切可变量制定产生确定性延迟的协议标准，也就是说，当链路达成确定性延迟时，可以让链路的延迟不受上述各种因素的影响，在多次上电时都为同一个确定值。在具有多个器件的场合中，只要所有链路都达成相同的确定性延迟，则可以保证各器件之间的多片同步。

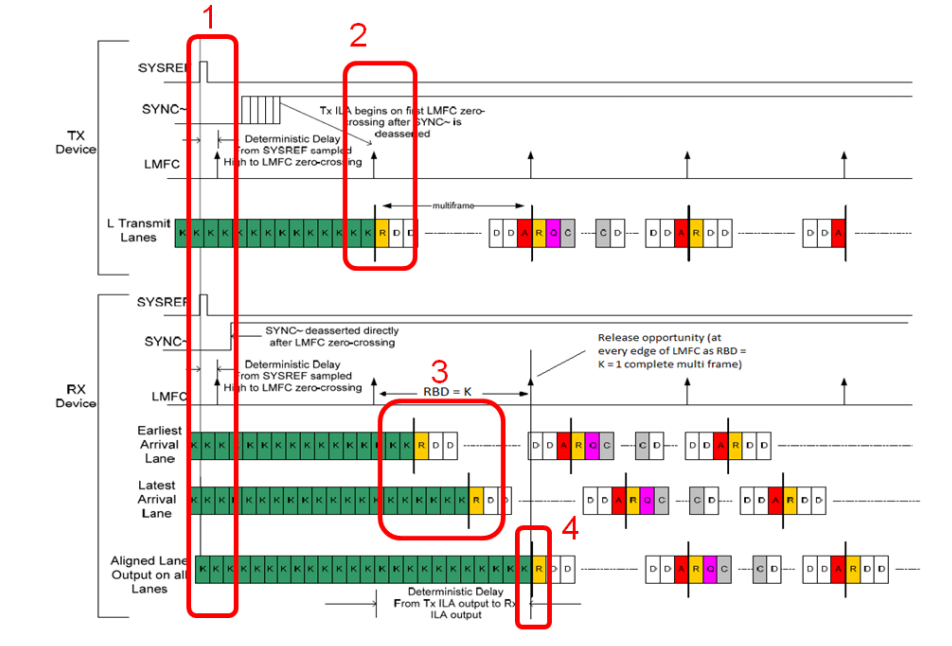
在讨论子类1的确定性延迟建立过程之前，必须先讨论两个关键参数的计算方式：

**LMFC(Local multi frame clock)**：本地多帧时钟，根据204B核的指导手册，可以得到如下算式来计算LMFC的值：

因此本项目的LMFC设置为50MHz。

**SYSREF(Subclass1 同步信号)：**SYSREF应当设置为LMFC的整数倍分频信号，最低分频为1分频。在本项目中，SYSREF被设置为2.5MHz。

在设定好这两个参数的值后，便可以开始研究确定性延迟是怎么建立的了。建立过程如下图所示：



·在捕获到SYSREF信号上升沿后，所有器件的本地多帧时钟（LMFC）对齐。对齐方法可以通过配置SYSREF Handling 寄存器来实现（参考pg066\_table 2-19）。其中，该寄存器的[11:8]位可以用来配置SYSREF delay值。简而言之，可以通过配置SYSREF delay来改变检测到第一个SYSREF上升沿到第一个本地多帧时钟对齐的时间。从而使得TX和RX端的本地多帧时钟实现固定相位对齐（默认为0000）。

·实现LMFC对齐之后，SYNC拉高，检测到SYNC拉高以后，TX端发送K码，持续一个多帧时钟周期。并且在下一LMFC的边缘发送ILAS序列以明确数据的开始和结束。

·接收端接收每条Lane上的ILAS序列，并分别存入弹性缓冲区，通过调节弹性缓冲区来补偿每条Lane上的延迟，使得每条Lane上的数据对齐输出。

·弹性缓冲区的设置与K值有关，在实际应用中，不可一味的将RBD设置为K值。应当使用寻优方法，找寻最佳RBD的值，满足弹性缓冲区的裕量设置。否则在某些情况下，会产生不确定性延迟。例如当最先抵达的Lane和最后抵达的Lane之间的延迟超过一个多帧时钟周期时，当Link延迟发生变化，便会导致确定性延迟发生变化，产生不确定性延迟：

假设：

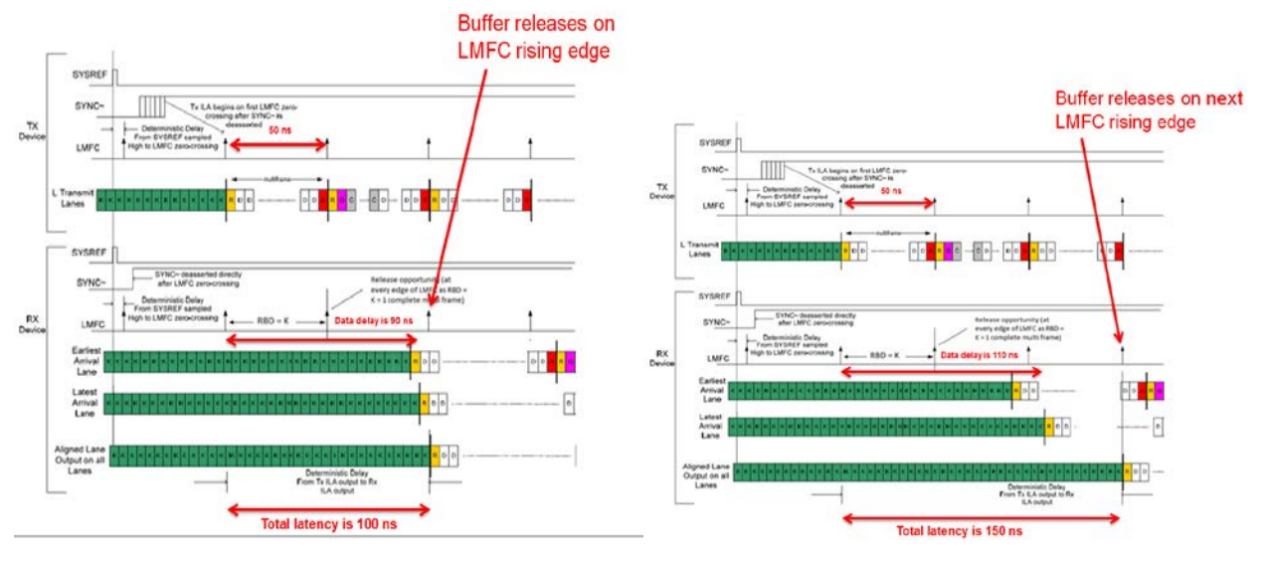
①The LMFC period is 50ns

②The link delay is 100ns+/-10ns

③Min link delay = 90ns

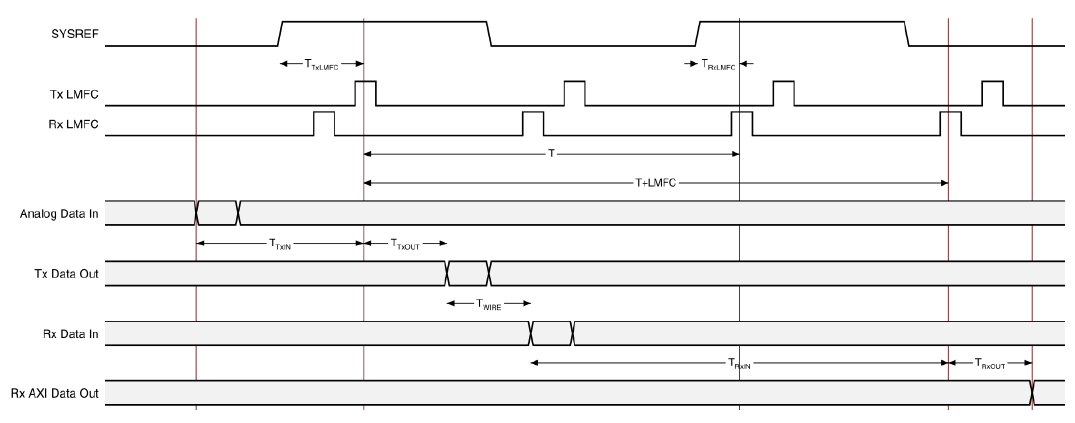
④Max link delay = 110ns

若设置RBD=K。



可以看到如果设置 K=32 在两种情况下会导致延迟从 100ns变化到 150ns 变化了一个多帧的时间。从而导致了延迟的不确定。发生延迟不确定的原因是Lane上的最短和最长延迟跨越了一个帧的边缘。

·下面讲如何对合适的弹性缓冲区释放点寻优：



总体链路延迟分为三个部分：Tx Delay，Wire Delay，RX Delay。而Tx Delay可以细分为：模拟采样时刻到LMFC上升沿的固定延迟TTXIN，LMFC上升沿到数据最终到达物理层输出端口的延迟TXOUT（不定延迟）和SYSREF上升沿到LMFC上升沿的固定延迟TXLMFC。接收端延迟可以细分为从物理层信号输入到接收端LMFC上升沿的延迟TRXIN（不定延迟），从LMFC上升沿到数据从IP核端口输出的固定延迟TRXOUT和SYSREF上升沿到LMFC上升沿的固定延迟RXLMFC。

实现确定性延迟要求在所有链路的所有通道中，延迟量最小的通道和延迟量最大的通道能够在同一LMFC周期内接收到数据，即在第N个LMFC上升沿都没有接收到数据，而在第N+1个LMFC上升沿都接收到数据并存放于弹性缓冲区内部，每次都能在第N+1个LMFC上升沿统一释放所有数据，因此存在如下不等式：

