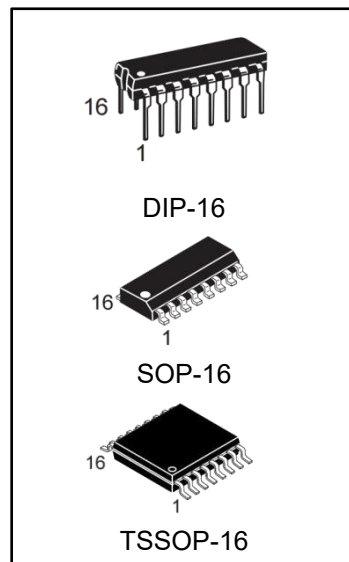


## 74HC165 8 位并入串出移位寄存器

### 特点

- 异步 8 位并行读取
- 同步串行输入
- 温度范围为-40 °C ~ +85 °C
- 兼容 JEDEC 标准 no.7A
- 封装形式：DIP16/SOP16/TSSOP16



### 产品订购信息

产品名称	封装	打印名称	包装	包装数量
74HC165N	DIP-16	74HC165	管装	1000 只/盒
74HC165M/TR	SOP-16	74HC165	编带	2500 只/盘
74HC165MT/TR	TSSOP-16	HC165	编带	2500 只/盘

## 概述

74HC165 是一款高速硅栅 CMOS 器件, 遵循 JEDEC 标准的 no.7A , 引脚兼容低功耗肖特基 TTL (LSTTL) 系列。

该芯片是一款 8 位并行输入转串行输出的移位寄存器电路, 并且串行输出有两个互斥的输出 Q7 可用来扩展串并转换位数。

当 PL 端输入端控制信号为低, 即  $PL=0$  时, 从端口 D0-D7 输入的并行数据异步加载于寄存器组中。

当 PL 端输入端控制信号为高, 即  $PL=1$  时, 数据从 DS 端口串行输入, 并且在每个时钟上升沿有效时, 将数据准确的传输到下一个寄存器中 ( $Q0 \rightarrow Q1 \rightarrow Q2$ , 等等)。这样设计的优点是, 通过将电路的 Q7 输出端级联到另一个电路的 DS 输入端, 可以实现串并转换位数的扩展。

## 功能框图

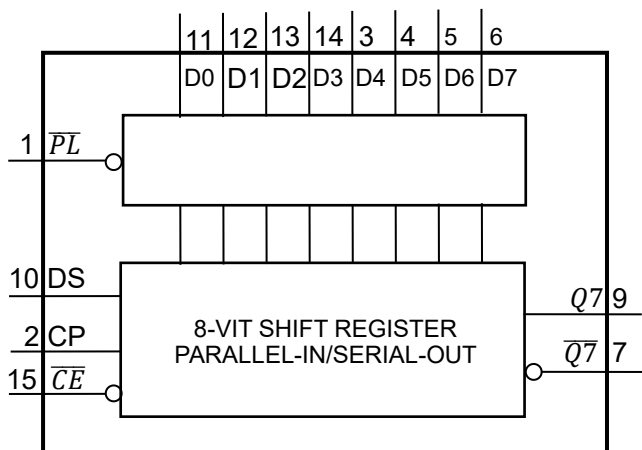


图 1、整体功能框图

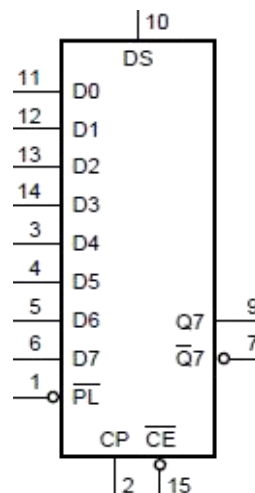


图 2、逻辑符号

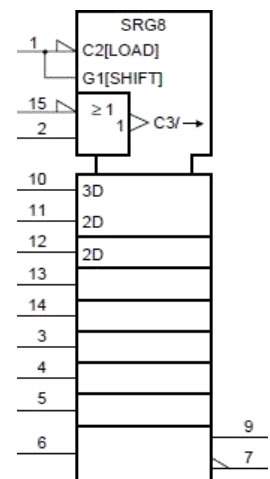


图 3、逻辑图

## 引脚排列图

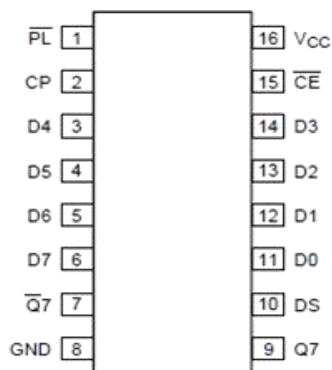


图 4、引脚图

## 引脚说明及结构原理图

引脚	符 号	功 能	引脚	符 号	功 能
1	$\overline{PL}$	异步并行读取输入 (低电平有效)	9	Q7	末级串行输出
2	CP	时钟输入 (低到高边沿触发)	10	DS	串行数据输入
3	D4	并行数据输入	11	D0	并行数据输入
4	D5	并行数据输入	12	D1	并行数据输入
5	D6	并行数据输入	13	D2	并行数据输入
6	D7	并行数据输入	14	D3	并行数据输入
7	$\overline{Q7}$	末级互斥输出	15	$\overline{CE}$	时钟使能输入 (低电平有效)
8	GND	地	16	V <sub>CC</sub>	电源

## 功能说明 (真值表、时序图)

工作模式	输入					Qn 寄存器		输出	
	$\overline{PL}$	$\overline{CE}$	CP	DS	D0~D7	Q0	Q1~Q6	Q7	$\overline{Q7}$
并行加载	L	X	X	X	L	L	L→L	L	H
	L	X	X	X	H	H	H→H	H	L
串行移位	H	L	↑	l	X	L	q0~q5	q6	$\overline{q6}$
	H	L	↑	h	X	H	q0~q5	q6	$\overline{q6}$
	H	↑	L	l	X	L	q0~q5	q6	$\overline{q6}$
	H	↑	L	h	X	H	q0~q5	q6	$\overline{q6}$
保持不变	H	H	X	X	X	q0	q1~q6	q7	$\overline{q7}$
	H	X	H	X	X	q0	q1~q6	q7	$\overline{q7}$

注：H 为高电平，L 为低电平，X 为忽略不计，↑为上升沿

h 为建立时间阶段到上升沿的高电平，l 为建立时间阶段到上升沿的低电平

q 为建立时间阶段到上升沿的输出状态

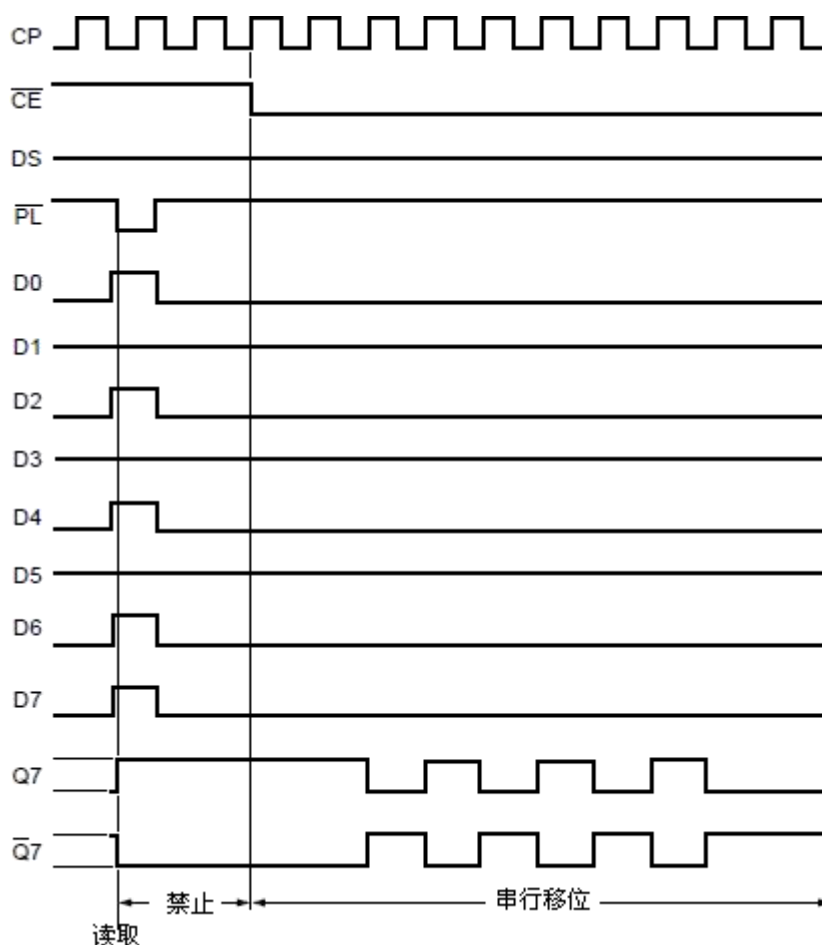


图 5 时序图

## 极限参数

参数名称	符号	条件		额定值	单位
电源电压	$V_{CC}$			-0.5~+7	V
电源电流	$I_{CC}$			50	mA
输出电流	$I_O$	$-0.5\text{ V} < V_O < V_{CC} + 0.5\text{ V}$		±25	mA
总功耗	$P_{tot}$	$-40\sim+85^{\circ}\text{C}$	DIP16	750	mW
			SOP16	500	
			TSSOP16	500	
工作环境温度	$T_{amb}$			-40 ~ +85	$^{\circ}\text{C}$
贮存温度	$T_{stg}$			-65 ~ +150	$^{\circ}\text{C}$
焊接温度	$T_L$	10 秒	DIP	245	$^{\circ}\text{C}$
			SOP	250	

## 推荐使用条件

参数名称	符号	最小	典型	最大	单位
电源电压	$V_{CC}$	2.0	5.0	6.0	V
输入电压	$V_I$	0	-	$V_{CC}$	V
输出电压	$V_O$	0	-	$V_{CC}$	V
环境温度	$T_{amb}$	-40	-	+125	$^{\circ}\text{C}$

## 直流参数

参数名称	符号	测试条件	25 $^{\circ}\text{C}$			-40 ~ +80 $^{\circ}\text{C}$		单位
			最小	典型	最大	最小	最大	
高电平 输入电压	$V_{IH}$	$V_{CC}=2.0\text{V}$	1.5	1.2	-	1.5	-	V
		$V_{CC}=4.5\text{V}$	3.15	2.4	-	3.15	-	V
		$V_{CC}=6.0\text{V}$	4.2	3.2	-	4.2	-	V
低电平 输入电压	$V_{IL}$	$V_{CC}=2.0\text{V}$	-	0.8	0.5	-	0.5	V
		$V_{CC}=4.5\text{V}$	-	2.1	1.35	-	1.35	V
		$V_{CC}=6.0\text{V}$	-	2.8	1.8	-	1.8	V
高电平 输出电压	$V_{OH}$	$V_I=V_{IH}$ 或 $V_{IL}$						
		$I_O = -20\mu\text{A};$ $V_{CC}= 2.0\text{ V}$	1.9	2.0	-	1.9	-	V
		$I_O = -20\mu\text{A};$ $V_{CC}= 4.5\text{ V}$	4.4	4.5	-	4.4	-	V
		$I_O = -20\mu\text{A}$ ; $V_{CC}= 6.0\text{ V}$	5.9	6.0	-	5.9	-	V
		$I_O = -4.0\text{mA};$ $V_{CC}= 4.5\text{ V}$	3.98	4.32	-	3.84	-	V
		$I_O = -5.2\text{mA};$ $V_{CC}= 6.0\text{ V}$	5.48	5.81	-	5.34	-	V

低电平 输出电压	$V_{OL}$	$V_I = V_{IH}$ 或 $V_{IL}$						
		$I_O = 20\mu A$ ; $V_{CC} = 2.0 V$	-	0	0.1	-	0.1	V
		$I_O = 20\mu A$ ; $V_{CC} = 4.5 V$	-	0	0.1	-	0.1	V
		$I_O = 20\mu A$ ; $V_{CC} = 6.0 V$	-	0	0.1	-	0.1	V
		$I_O = 4.0 mA$ ; $V_{CC} = 4.5 V$	-	0.15	0.26	-	0.33	V
		$I_O = 5.2 mA$ ; $V_{CC} = 6.0 V$	-	0.16	0.26	-	0.33	V
输入 漏电流	$I_I$	$V_I = V_{CC}$ 或 $GND$ ; $V_{CC} = 6.0 V$	-	-	$\pm 0.1$	-	$\pm 1$	$\mu A$
电源电流	$I_{CC}$	$V_I = V_{CC}$ 或 $GND$ ; $I_O = 0 A$ ; $V_{CC} = 6.0 V$	-	-	8.0	-	80	$\mu A$
输入电容	$C_I$		-	3.5	-	-	-	pF

### 交流参数 (除非另有规定, $C_L = 50 pF$ )

参数名称	符号	测试条件	25℃			-40 ~ +80℃		单位
			最小	典型	最大	最小	最大	
传输延时 $\overline{CE}, CP$ 至 $Q7, \overline{Q7}$ (图6)	$t_{PHL}/t_{PLH}$	$V_{CC} = 2.0\text{ V}$	-	52	165	-	205	ns
		$V_{CC} = 4.5\text{ V}$	-	19	33	-	41	
		$V_{CC} = 6.0\text{ V}$	-	15	28	-	35	
		$V_{CC} = 5.0\text{ V}$ $C_L = 15\text{ pF}$	-	16	-	-	-	
传输延时 $PL$ 至 $Q7, \overline{Q7}$ (图7)		$V_{CC} = 2.0\text{ V}$	-	50	165	-	205	
		$V_{CC} = 4.5\text{ V}$	-	18	33	-	41	
		$V_{CC} = 6.0\text{ V}$	-	14	28	-	35	
		$V_{CC} = 5.0\text{ V}$ $C_L = 15\text{ pF}$	-	15	-	-	-	
传输延时 $D7$ 至 $Q7, \overline{Q7}$ (图8)		$V_{CC} = 2.0\text{ V}$	-	36	120	-	150	
		$V_{CC} = 4.5\text{ V}$	-	13	24	-	30	
		$V_{CC} = 6.0\text{ V}$	-	10	20	-	26	
		$V_{CC} = 5.0\text{ V}$ $C_L = 15\text{ pF}$	-	11	-	-	-	
传输时间 $Q7, \overline{Q7}$ 输出 (图6)	$t_{THL}/t_{TLH}$	$V_{CC} = 2.0\text{ V}$	-	19	75	-	95	ns
		$V_{CC} = 4.5\text{ V}$	-	7	15	-	19	
		$V_{CC} = 6.0\text{ V}$	-	6	13	-	16	
时钟脉宽 $CP$ 输入高或低 (图 6)	$t_w$	$V_{CC} = 2.0\text{ V}$	80	17	-	100	-	ns
		$V_{CC} = 4.5\text{ V}$	16	6	-	20	-	
		$V_{CC} = 6.0\text{ V}$	14	5	-	17	-	
$V_{CC} = 2.0\text{ V}$		80	14	-	100	-		
$V_{CC} = 4.5\text{ V}$		16	5	-	20	-		
时钟脉宽 $\overline{PL}$ 输入低 (图7)		$V_{CC} = 6.0\text{ V}$	14	4	-	17	-	

复位时间 $\overline{PL}$ CP, $\overline{CE}$ (图 7)	$t_{rec}$	$V_{CC} = 2.0\text{ V}$	100	22	-	125	-	ns
		$V_{CC} = 4.5\text{ V}$	20	8	-	25	-	
		$V_{CC} = 6.0\text{ V}$	17	6	-	21	-	
建立时间 DS, 至 $\overline{CE}$ CP (图9)		$V_{CC} = 2.0\text{ V}$	80	11	-	100	-	ns
		$V_{CC} = 4.5\text{ V}$	16	4	-	20	-	
		$V_{CC} = 6.0\text{ V}$	14	3	-	17	-	
建立时间 $\overline{CE}$ 至 CP, CP 至 $\overline{CE}$ (图9)		$V_{CC} = 2.0\text{ V}$	80	17	-	100	-	ns
		$V_{CC} = 4.5\text{ V}$	16	6	-	20	-	
		$V_{CC} = 6.0\text{ V}$	14	5	-	17	-	
建立时间 Dn 至 $\overline{PL}$ (图10)	$t_{su}$	$V_{CC} = 2.0\text{ V}$	80	22	-	100	-	ns
		$V_{CC} = 4.5\text{ V}$	16	8	-	20	-	
		$V_{CC} = 6.0\text{ V}$	14	6	-	17	-	
保持时间 DS 至 CP, 和 Dn 至 (图 9)		$V_{CC} = 2.0\text{ V}$	5	6	-	5	-	ns
		$V_{CC} = 4.5\text{ V}$	5	2	-	5	-	
		$V_{CC} = 6.0\text{ V}$	5	2	-	5	-	
保持时间 $\overline{CE}$ 至 CP 和 CP 至 (图9)	$t_h$	$V_{CC} = 2.0\text{ V}$	5	-17	-	5	-	
		$V_{CC} = 4.5\text{ V}$	5	-6	-	5	-	
		$V_{CC} = 6.0\text{ V}$	5	-5	-	5	-	
最大频率 CP 输入 (图 6)	$f_{max}$	$V_{CC} = 2.0\text{ V}$	6	17	-	5	-	MHz
		$V_{CC} = 4.5\text{ V}$	30	51	-	24	-	
		$V_{CC} = 6.0\text{ V}$	35	61	-	28	-	
		$V_{CC} = 5.0\text{ V}$ $C_L = 15\text{ pF}$	-	56	-	-	-	
电源功耗电容	$C_{PD}$	$V_I = \text{GND}$ 至 $V_{CC}$	-	35	-	-	-	pF

## 波形图

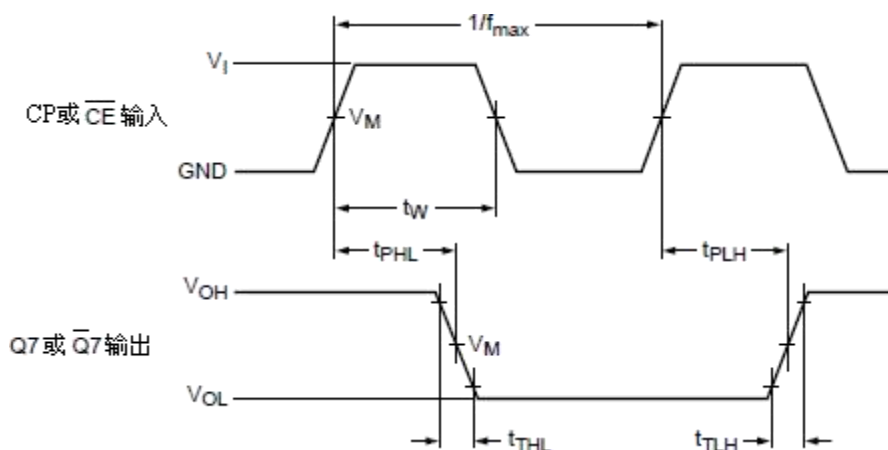


图 6

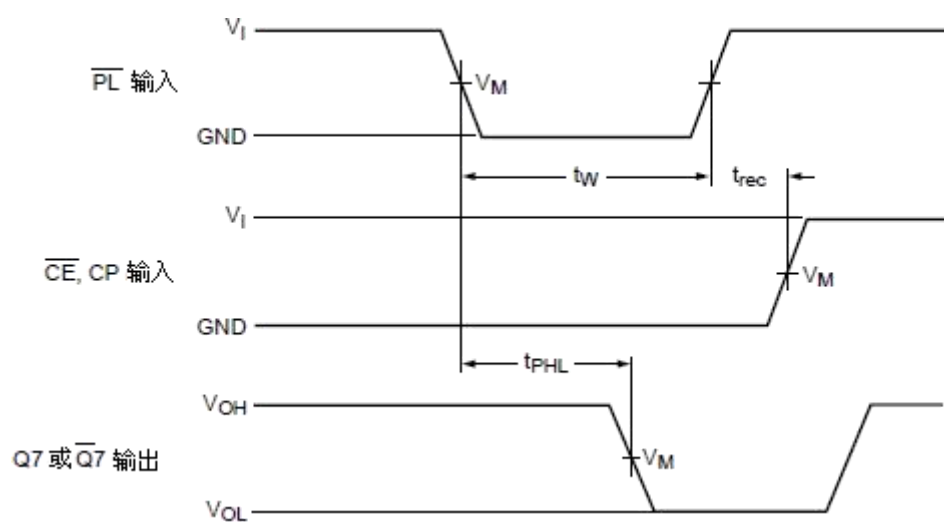


图 7

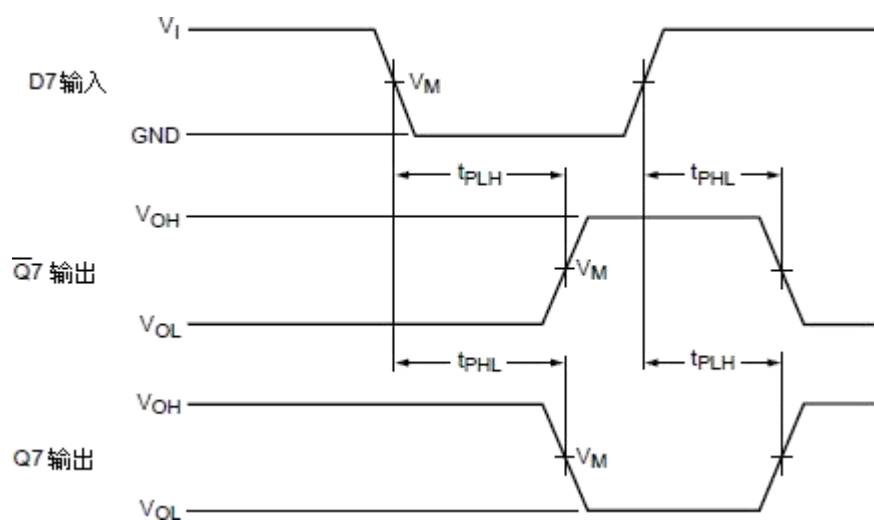


图 8



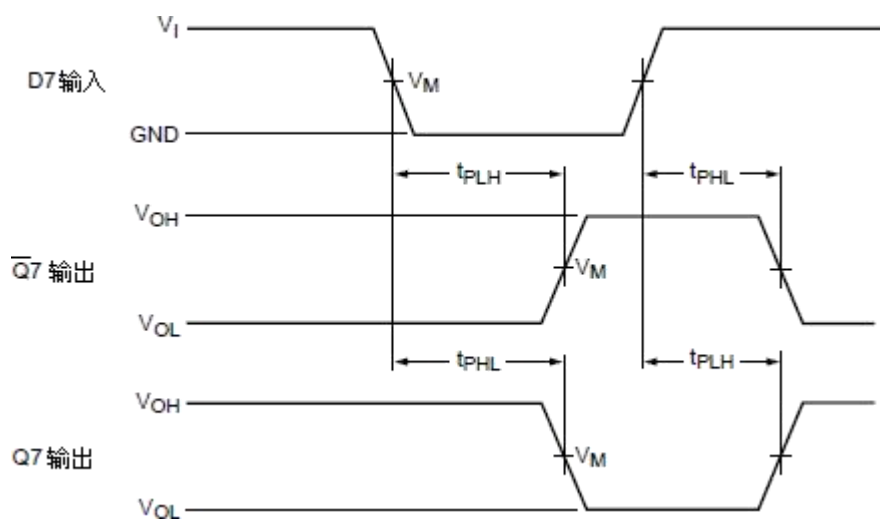


图 9

注:(1) 当CP 为低时,  $\overline{CE}$ 只能从高变为低

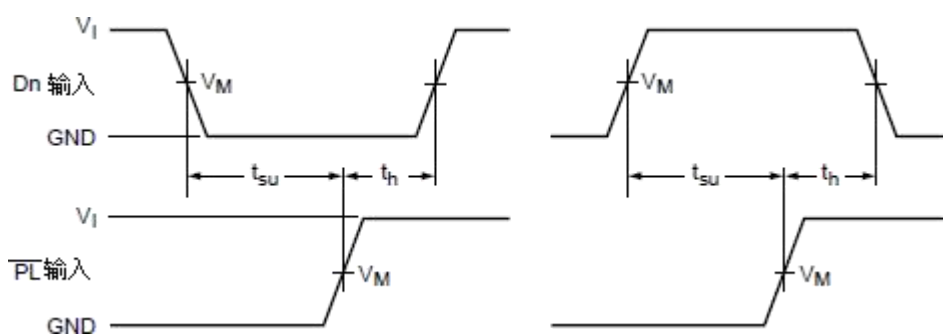


图 10

## 测试线路

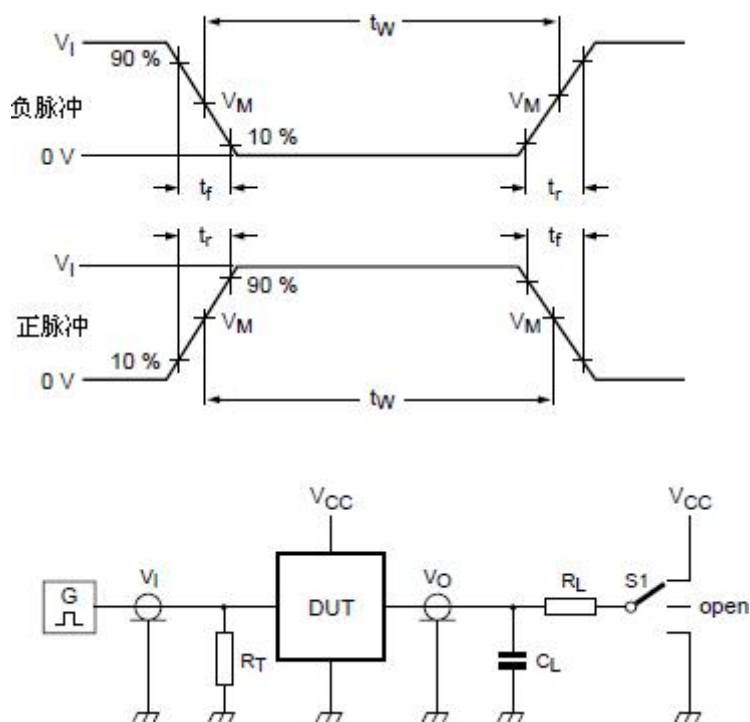


图 11 测试转换时间

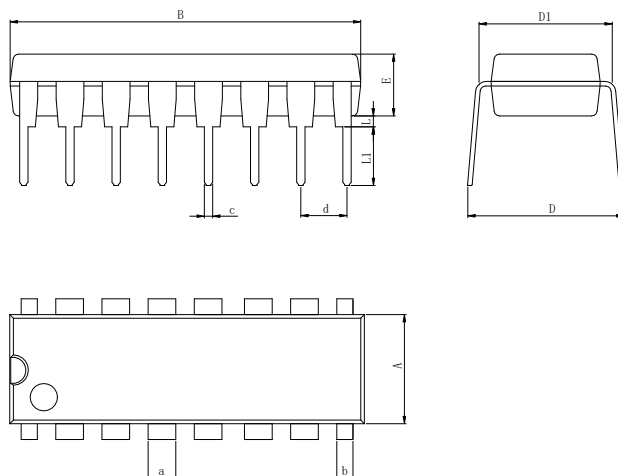
注：  $V_I = V_{CC}$ ,  $V_M = 0.5V_{CC}$ ,  $t_r = t_f = 6\text{ns}$ ,  $C_L = 15\text{pF}, 50\text{pF}$ ,  $R_L = 1\text{K}$ ,  $S1 = \text{open}$ ;

$R_T$  为终端电阻要和脉冲发生器的输出阻抗  $Z_0$  匹配;

$S1$  为转换开关。

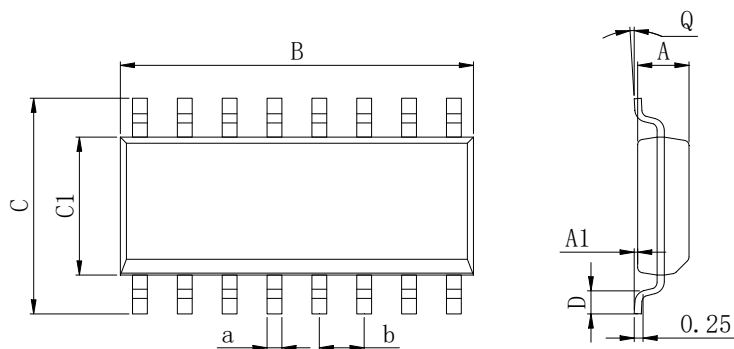
## 封装外形尺寸

### DIP16



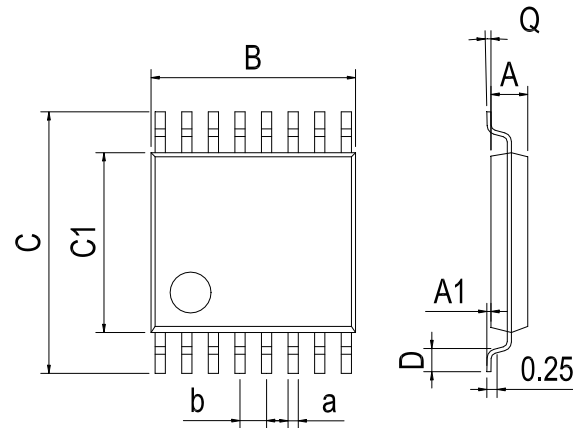
Dimensions In Millimeters(DIP16)											
Symbol:	A	B	D	D1	E	L	L1	a	b	c	d
Min:	6.10	18.94	8.40	7.42	3.10	0.50	3.00	1.50	0.85	0.40	2.54 BSC
Max:	6.68	19.56	9.00	7.82	3.55	0.70	3.60	1.55	0.90	0.50	

### SOP16



Dimensions In Millimeters(SOP16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	9.80	5.80	3.80	0.40	0	0.35	1.27 BSC
Max:	1.55	0.20	10.0	6.20	4.00	0.80	8	0.45	

TSSOP16



Dimensions In Millimeters(TSSOP16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	0.85	0.05	4.90	6.20	4.30	0.40	0°	0.20	0.65 BSC
Max:	0.95	0.20	5.10	6.60	4.50	0.80	8°	0.25	

## 修订历史

日期	修改内容	页码
2020-3-4	新修订	1-14
2023-6-28	修改封装尺寸图 TSSOP-16	12

**重要声明:**

华冠半导体保留未经通知更改所提供的产品和服务。客户在订货前应获取最新的相关信息，并核实这些信息是否最新且完整的。华冠半导体对篡改过的文件不承担任何责任或义务。

客户在使用华冠半导体产品进行系统设计和整机制造时有责任遵守安全标准并采取安全措施。您将自行承担以下全部责任：针对您的应用选择合适的华冠半导体产品；设计、验证并测试您的应用；确保您的应用满足相应标准以及任何其他安全、安保或其他要求。以避免潜在风险可能导致人身伤害或财产损失情况的发生。

华冠半导体产品未获得生命支持、军事、航空航天等领域应用之许可，华冠半导体将不承担产品在这些领域应用造成的后果。因使用方超出该产品适用领域使用所产生的一切问题和责任、损失由使用方自行承担，与华冠半导体无关，使用方不得以本协议条款向华冠半导体主张任何赔偿责任。

华冠半导体所生产半导体产品的性能提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，测试和其他质量控制技术的使用只限于华冠半导体的质量保证范围内。每个器件并非所有参数均需要检测。

华冠半导体的文档资料，授权您仅可将这些资源用于研发本资料所述的产品的应用。您无权使用任何其他华冠半导体知识产权或任何第三方知识产权。严禁对这些资源进行其他复制或展示，您应全额赔偿因在这些资源的使用中对华冠半导体及其代理造成的任何索赔、损害、成本、损失和债务，华冠半导体对此概不负责。