

实验四 模型机时序部件的实现

班级 信安 2101 班 姓名 孙照海 学号 202109070105

一、实验目的

1. 了解模型机中 SM 的作用
2. 熟悉指令寄存器、状态寄存器、指令计数器、寄存器的工作原理
3. 学会使用 VERILOG 语言设计时序电路

二、实验内容

1. 用 VERILOG 语言设计 SM;
2. 用 VERILOG 语言设计一个 8 位的指令寄存器 IR;
3. 用 VERILOG 语言设计一个 2 位的状态寄存器 PSW;
4. 用 VERILOG 语言设计一个 8 位的指令计数器 PC;
5. 用 VERILOG 语言设计 3 个 8 位寄存器组成的寄存器组, 实现读写操作;
6. 用 LPM_RAM_IO 定制一个 256*8 的 RAM, 实现对 RAM 的读写操作。

三、实验过程

1、SM

A) 创建工程 (选择的芯片为 family=Cyclone II; name=EP2C5T144C8)

步骤: 左上角 file->New Project Wizard->选择工程位置和工程名->选择芯片 Cyclone II,

available device 中选择 EP2C5T144C8->点击 next->最后点击 finish 完成创建工程

工程创建图:

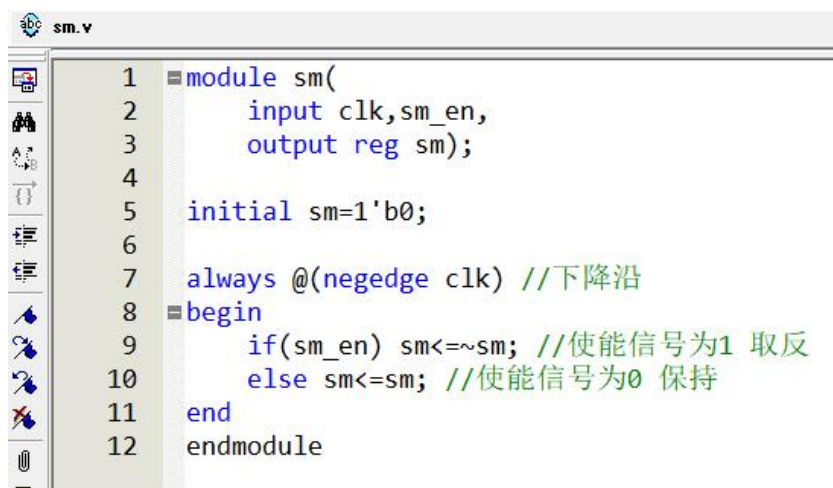


B) 编写源代码

根据实验指导和要求实现的功能写出对应的 Verilog 代码。

步骤：左上角 file->new->Verilog hdl file->编写代码（模块名需与工程名一致）->编译成功后保存到工程文件中。

代码截图：



C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

确定源代码文件为当前工程文件，点击【processing】-【start compilation】进行文件编译，编译成功，保存文件。

无错误。

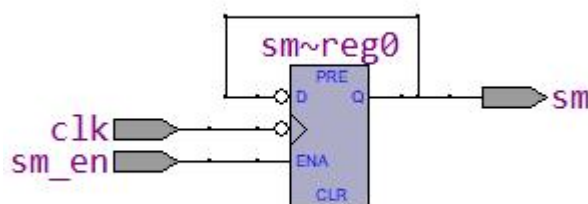
警告信息：

Type	Message
	Warning: Feature LogicLock is not available with your current license
	Warning: No exact pin location assignment(s) for 3 pins of 3 total pins
	Warning: Found 1 output pins without output pin load capacitance assignment
	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
	Warning: Found pins functioning as undefined clocks and/or memory enables

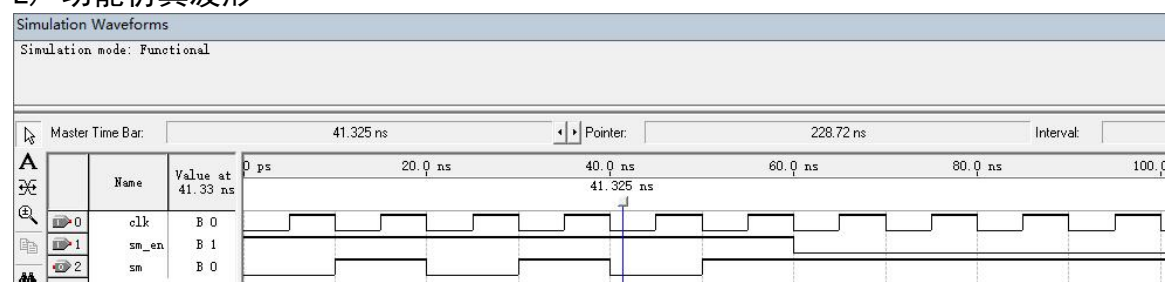
资源消耗：

Flow Status	Successful - Sat Nov 26 01:35:01 2022
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	sm
Top-level Entity Name	sm
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	1 / 4,608 (< 1 %)
Total combinational functions	1 / 4,608 (< 1 %)
Dedicated logic registers	1 / 4,608 (< 1 %)
Total registers	1
Total pins	3 / 89 (3 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

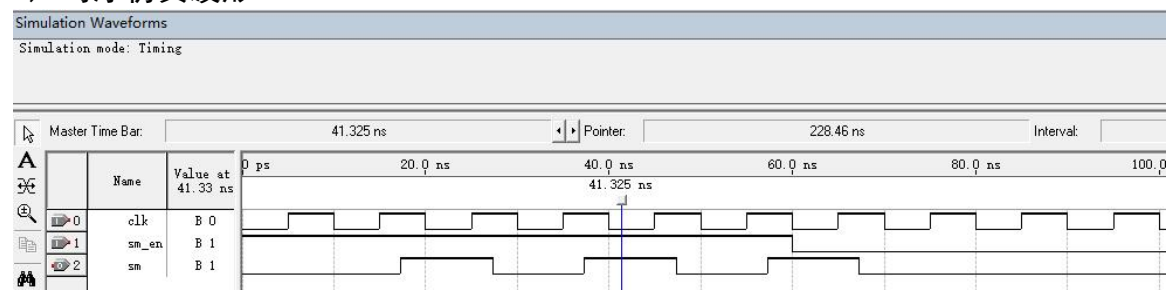
D) RTL 视图



E) 功能仿真波形



F) 时序仿真波形



G) 结果分析及结论

分析: 对于功能仿真, 可以看到当 sm_en 信号为 1 有效时, 输出 sm 在时钟的下降沿发生翻转, 符合功能设计。当 sm_en 信号为 0 时, 输出信号 sm 保持不变, 正确。

对于时序仿真, 其输出结果和功能仿真类似, 但存在 7ns 左右的延迟

结论: 元件设计符合设计要求, 元件内部存在 7ns 左右的延迟

2、指令寄存器 IR

A) 创建工程 (选择的芯片为 family=Cyclone II; name=EP2C5T144C8)

步骤: 左上角 file->New Project Wizard->选择工程位置和工程名->选择芯片 Cyclone II, available device 中选择 EP2C5T144C8->点击 next->最后点击 finish 完成创建工程

工程创建图:

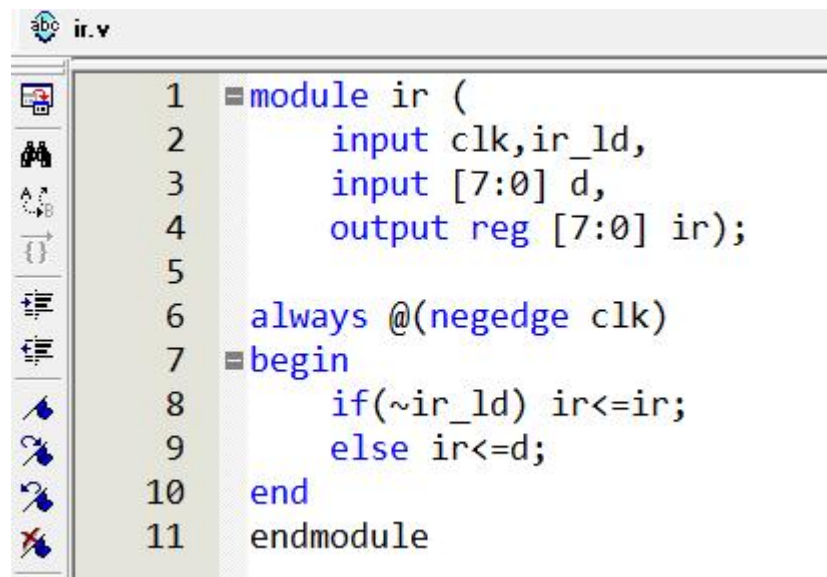


B) 编写源代码

根据实验指导和要求实现的功能写出对应的 Verilog 代码。

步骤：左上角 file->new->Verilog hdl file->编写代码（模块名需与工程名一致）->编译成功后保存到工程文件中。

代码截图：



```

1  module ir (
2      input clk,ir_ld,
3      input [7:0] d,
4      output reg [7:0] ir);
5
6  always @(negedge clk)
7  begin
8      if(~ir_ld) ir<=ir;
9      else ir<=d;
10 end
11 endmodule

```

C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

确定源代码文件为当前工程文件，点击【processing】-【start compilation】进行文件编译，编译成功，保存文件。

无错误。

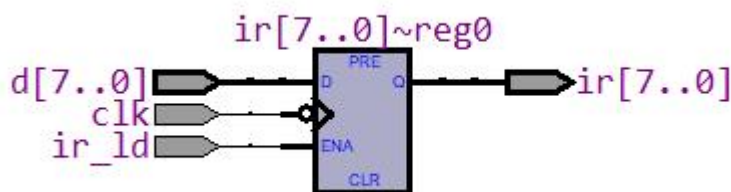
警告信息：

Type	Message
Warning	Warning: Feature LogicLock is not available with your current license
Warning	Warning: No exact pin location assignment(s) for 18 pins of 18 total pins
Warning	Warning: Found 8 output pins without output pin load capacitance assignment
Warning	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
Warning	Warning: Found pins functioning as undefined clocks and/or memory enables

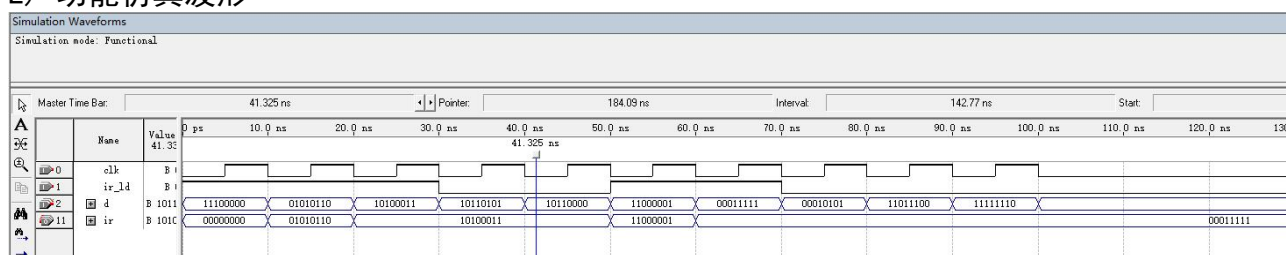
资源消耗：

Flow Status	Successful - Sat Nov 26 01:50:29 2022
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	ir
Top-level Entity Name	ir
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	8 / 4,608 (< 1 %)
Total combinational functions	0 / 4,608 (0 %)
Dedicated logic registers	8 / 4,608 (< 1 %)
Total registers	8
Total pins	18 / 89 (20 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

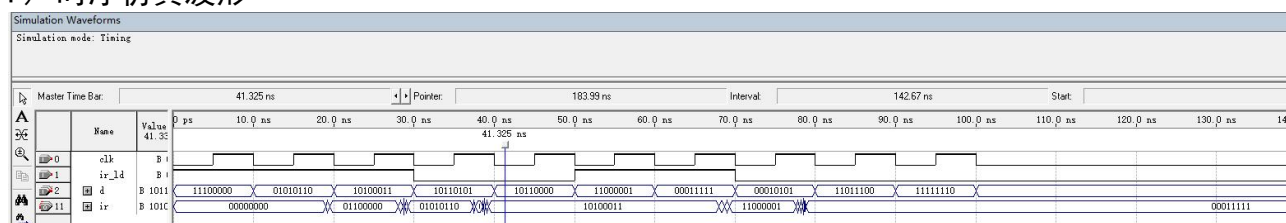
D) RTL 视图



E) 功能仿真波形



F) 时序仿真波形



G) 结果分析及结论

分析: 对于功能仿真, 在 0-30ns, ir_ld 为 1, 在时钟下降沿将输入写入输出, 当 ir_ld 为 0 时, 输出保持不变, 正确

对于时序仿真, 可以看到输出存在 9ns 左右的延迟, 同时部分时刻输入的变化导致冒险出现, 使得输出错误, 输出的变化情况大致与功能仿真相同

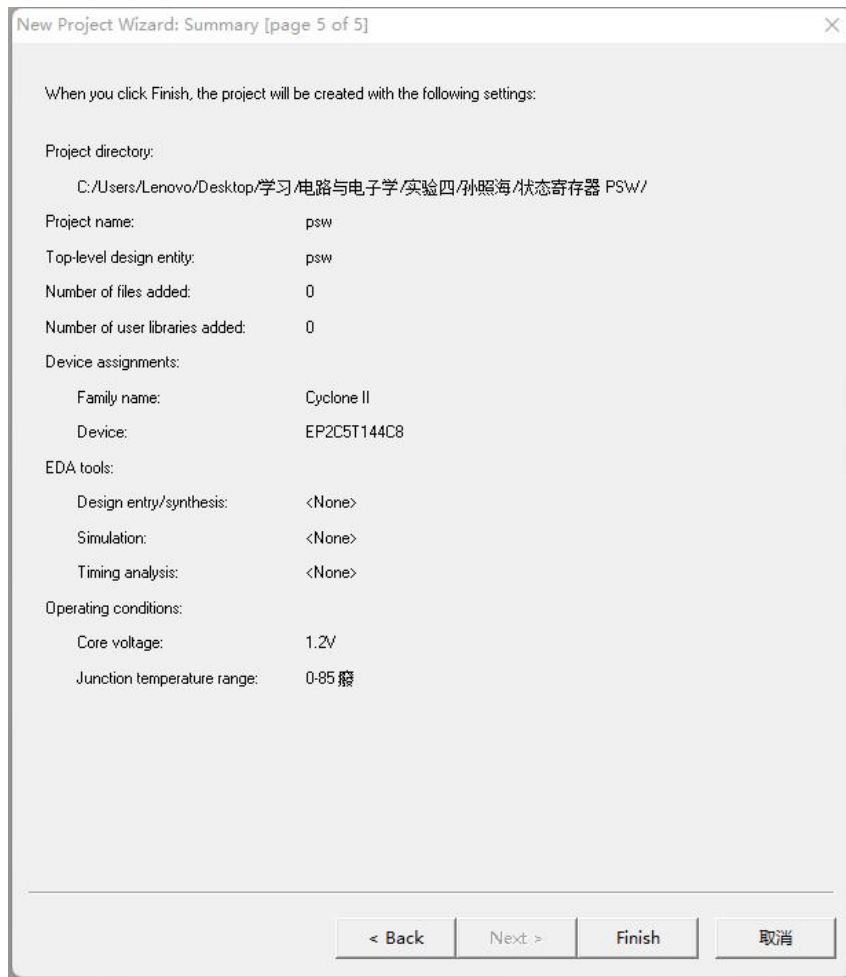
结论: 元件设计符合设计要求, 元件内部存在 9ns 左右的延迟

3、状态寄存器 PSW

A) 创建工程 (选择的芯片为 family=Cyclone II; name=EP2C5T144C8)

步骤: 左上角 file->New Project Wizard->选择工程位置和工程名->选择芯片 Cyclone II, available device 中选择 EP2C5T144C8->点击 next->最后点击 finish 完成创建工程

工程创建图:



B) 编写源代码

根据实验指导和要求实现的功能写出对应的 Verilog 代码。

步骤：左上角 file->new->Verilog hdl file->编写代码（模块名需与工程名一致）->编译成功后保存到工程文件中。

代码截图：

```
1 module psw (
2     input clk, cf_en, zf_en, cf, zf,
3     output reg c, z);
4
5     initial
6     begin
7         c=1'b0;
8         z=1'b0;
9     end
10
11     always @(negedge clk)
12     begin
13         if(cf_en) c<=cf;
14         else c<=c;
15         if(zf_en) z<=zf;
16         else z<=z;
17     end
18 endmodule
```


C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

确定源代码文件为当前工程文件，点击【processing】-【start compilation】进行文件编译，编译成功，保存文件。

无错误。

警告信息：

Type	Message
Warning	Warning: Feature LogicLock is not available with your current license
Warning	Warning: No exact pin location assignment(s) for 7 pins of 7 total pins
Warning	Warning: Found 2 output pins without output pin load capacitance assignment
Warning	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
Warning	Warning: Found pins functioning as undefined clocks and/or memory enables

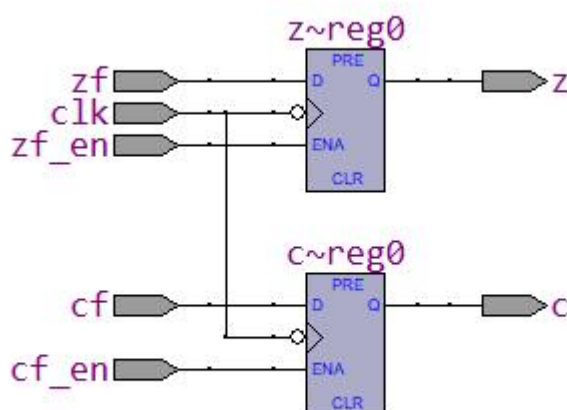
资源消耗：

```

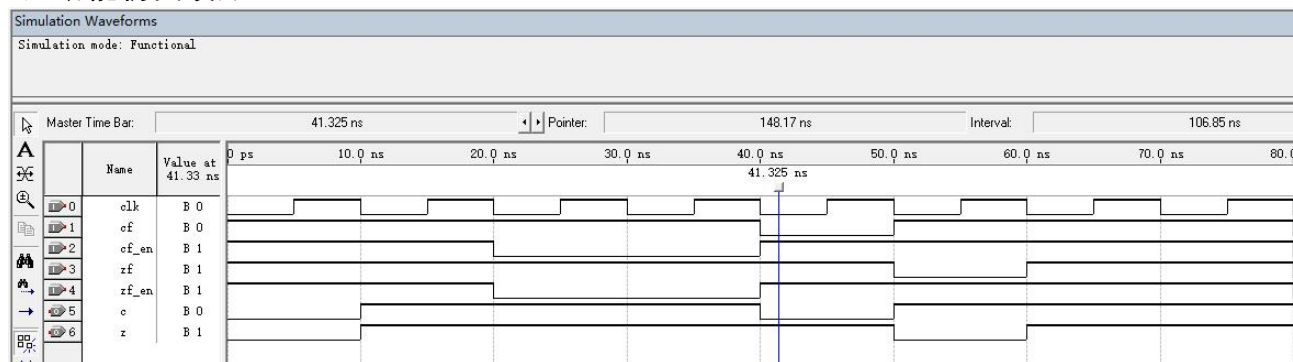
Flow Status                Successful - Sat Nov 26 02:09:32 2022
Quartus II Version         9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name              psw
Top-level Entity Name      psw
Family                    Cyclone II
Device                    EP2C5T144C8
Timing Models              Final
Met timing requirements    Yes
Total logic elements       2 / 4,608 ( < 1 % )
    Total combinational functions 2 / 4,608 ( < 1 % )
    Dedicated logic registers  2 / 4,608 ( < 1 % )
Total registers           2
Total pins                 7 / 89 ( 8 % )
Total virtual pins        0
Total memory bits         0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements 0 / 26 ( 0 % )
Total PLLs                 0 / 2 ( 0 % )

```

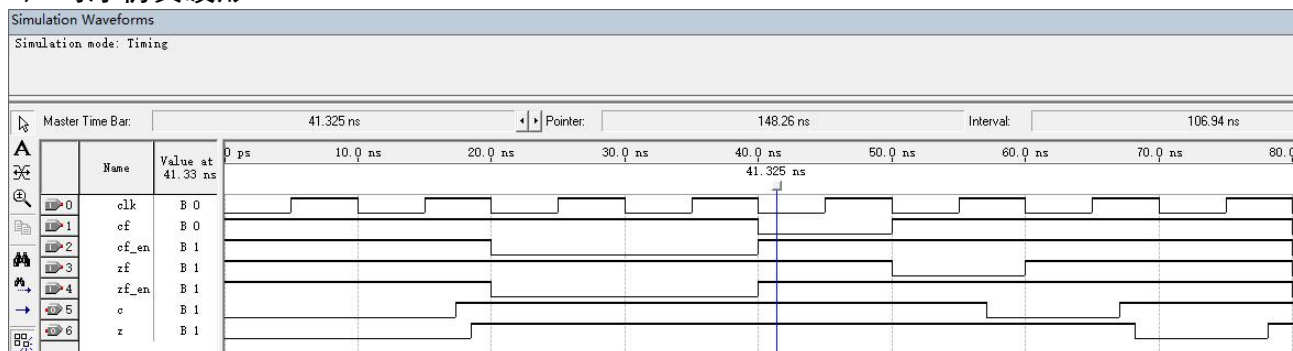
D) RTL 视图



E) 功能仿真波形



F) 时序仿真波形



G) 结果分析及结论

分析：对于功能仿真，0-20ns，cf_en 和 zf_en 为 1，在时钟下降沿，将 cf 和 zf 的值写入输出 c，z 中，20-40ns，cf_en 和 zf_en 为 0，输出 c 和 z 保持不变，正确

对于时序仿真，其中输出 c 有 7ns 左右延迟，z 有 8ns 左右延迟，其输出变化与功能仿真大致相同

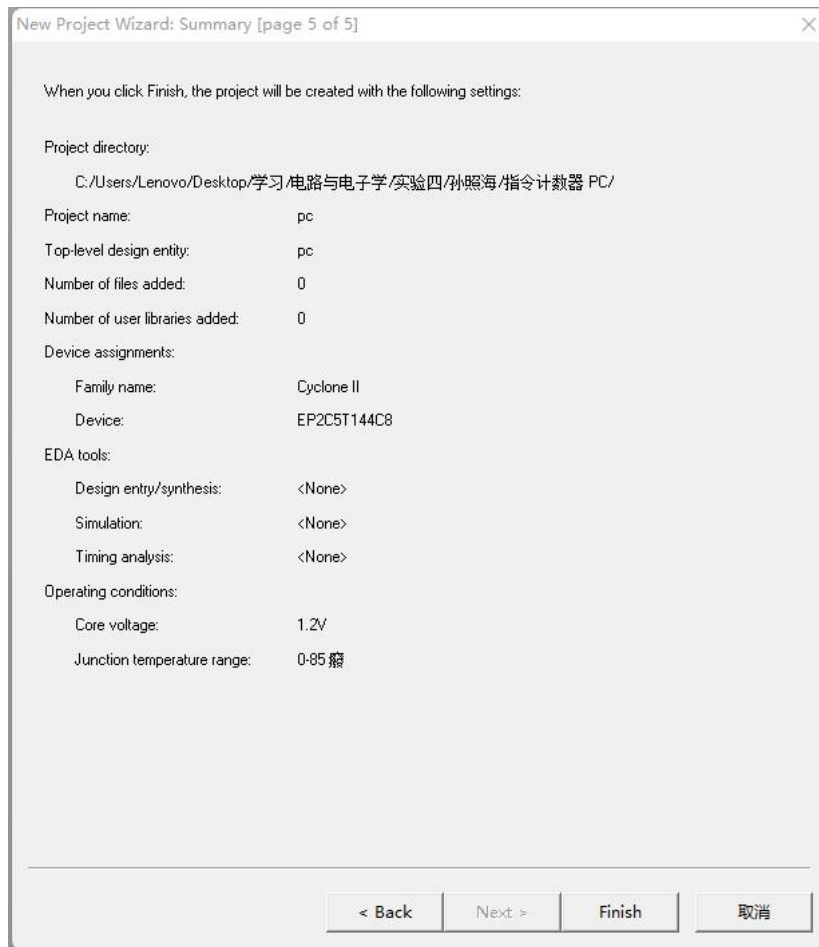
结论：元件设计符合要求，输出 c 有 7ns 延迟，输出 z 有 8ns 延迟

4、指令计数器 PC

A) 创建工程（选择的芯片为 family=Cyclone II；name=EP2C5T144C8）

步骤：左上角 file->New Project Wizard->选择工程位置和工程名->选择芯片 Cyclone II，available device 中选择 EP2C5T144C8->点击 next->最后点击 finish 完成创建工程

工程创建图：

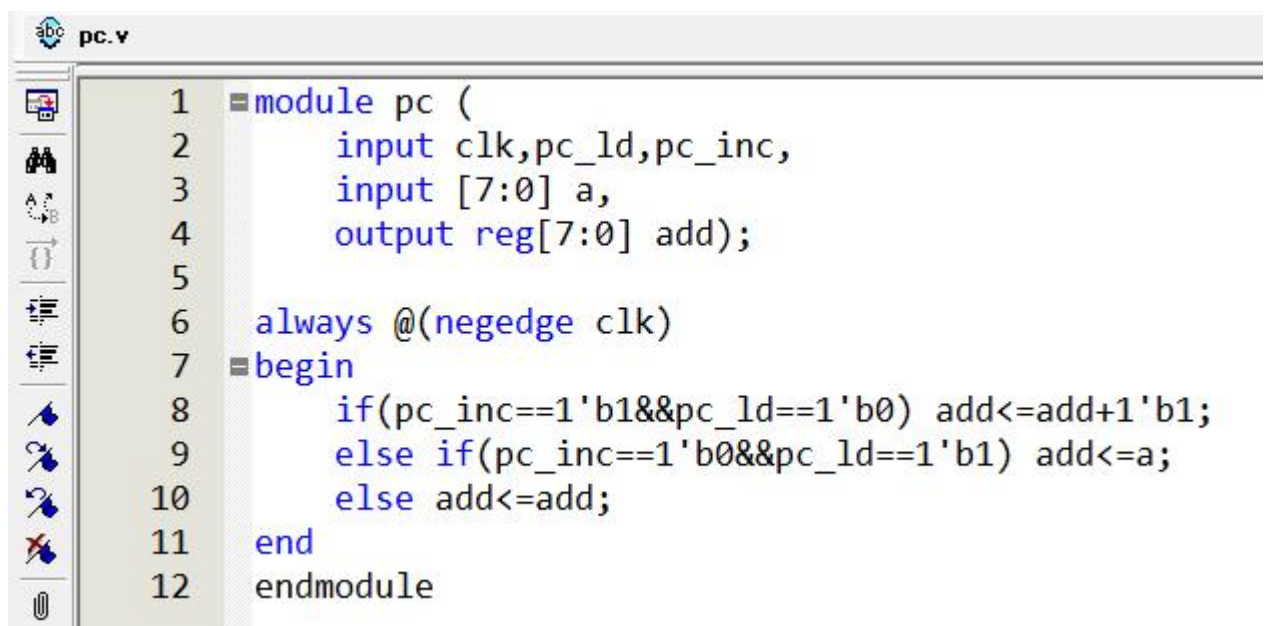


B) 编写源代码

根据实验指导和要求实现的功能写出对应的 Verilog 代码。

步骤：左上角 file->new->Verilog hdl file->编写代码（模块名需与工程名一致）->编译成功后保存到工程文件中。

代码截图：








C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

确定源代码文件为当前工程文件，点击【processing】-【start compilation】进行文件编译，编译成功，保存文件。

无错误。

警告信息：

Type	Message
	Warning: Feature LogicLock is not available with your current license
	Warning: No exact pin location assignment(s) for 19 pins of 19 total pins
	Warning: Found 8 output pins without output pin load capacitance assignment
	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
	Warning: Found pins functioning as undefined clocks and/or memory enables

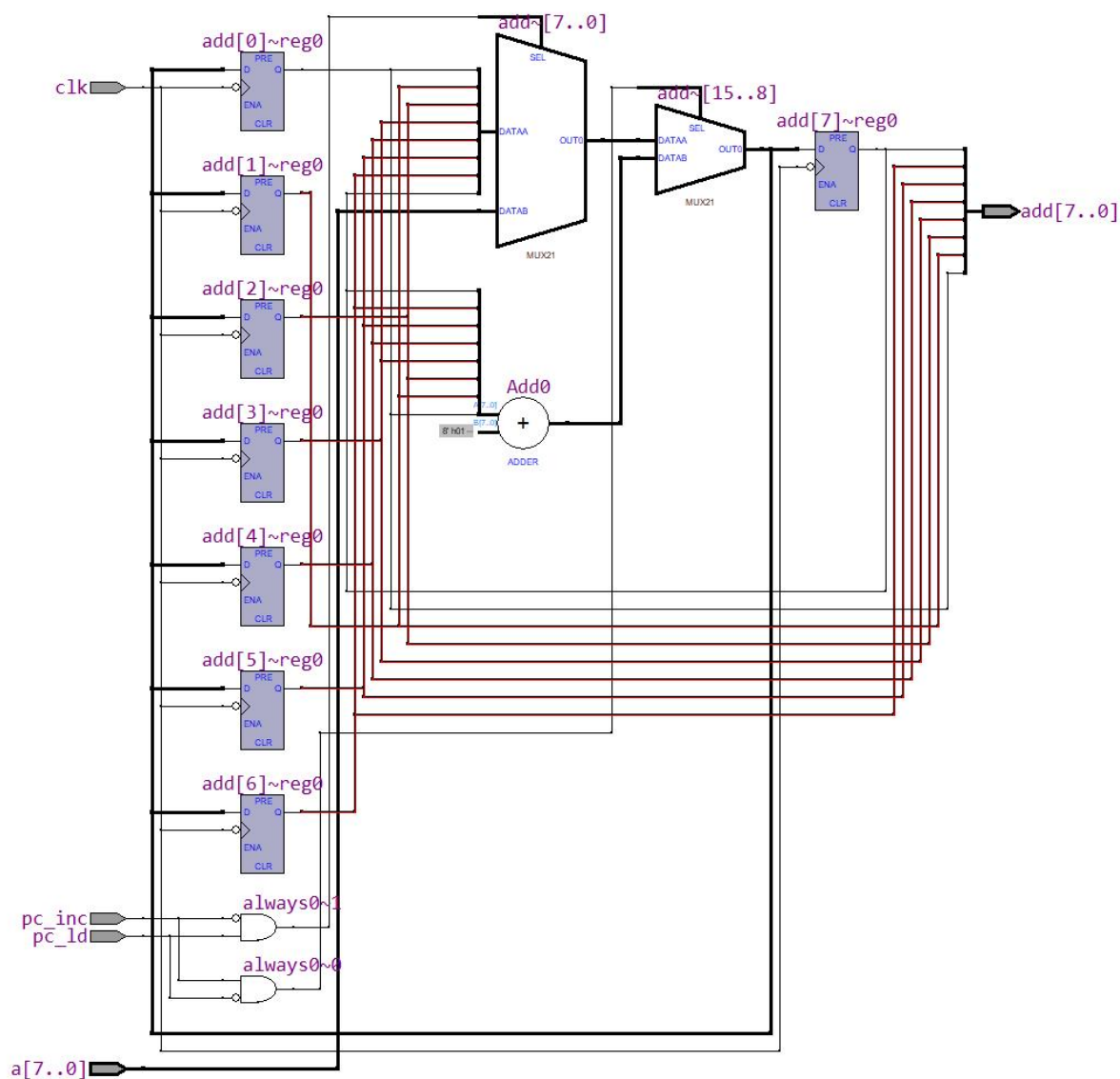
资源消耗：

```

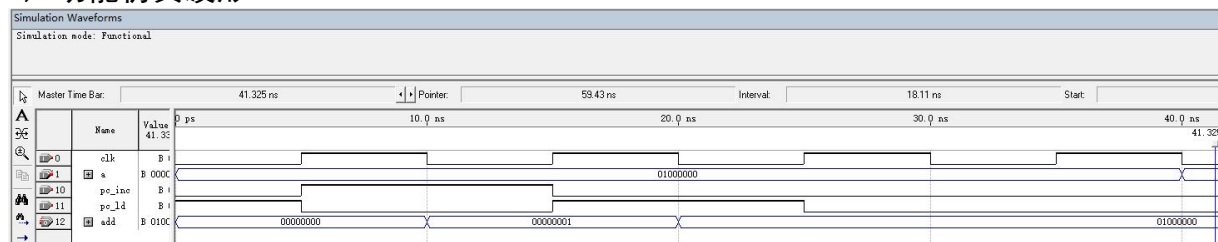
Flow Status                Successful - Sat Nov 26 13:49:32 2022
Quartus II Version         9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name              pc
Top-level Entity Name      pc
Family                     Cyclone II
Device                     EP2C5T144C8
Timing Models              Final
Met timing requirements     Yes
Total logic elements        10 / 4,608 ( < 1 % )
    Total combinational functions  10 / 4,608 ( < 1 % )
    Dedicated logic registers      8 / 4,608 ( < 1 % )
Total registers            8
Total pins                 19 / 89 ( 21 % )
Total virtual pins         0
Total memory bits          0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements  0 / 26 ( 0 % )
Total PLLs                 0 / 2 ( 0 % )

```

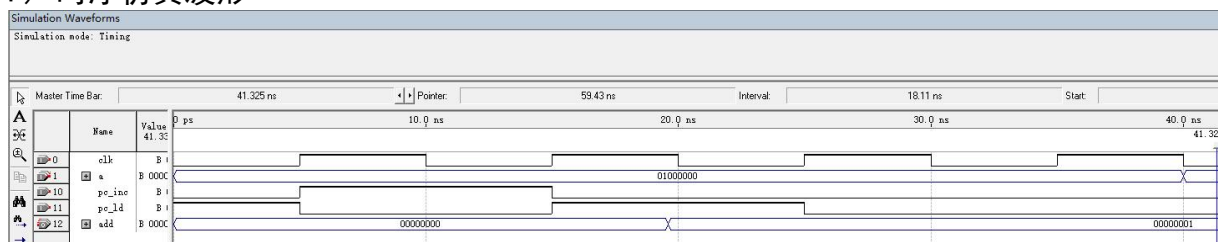
D) RTL 视图



E) 功能仿真波形



F) 时序仿真波形



G) 结果分析及结论

分析: 对于功能仿真, 5-15ns, pc_inc 为 1, pc_ld 为 0, 执行地址加 1 操作, 15ns-25ns, pc_inc 为 0, pc_ld 为 1, 执行写入操作, 将输入写入到输出中, 25-40ns, pc_inc 为 0, pc_ld 为 0, 数据保持不变, 正确

对于时序仿真, 存在 9ns 左右的延迟, 输出结果大致与功能仿真相同

结论: 元件设计符合要求, 元件存在 9ns 左右的延迟

5、通用寄存器组

A) 创建工程 (选择的芯片为 family=Cyclone II; name=EP2C5T144C8)

步骤: 左上角 file->New Project Wizard->选择工程位置和工程名->选择芯片 Cyclone II, available device 中选择 EP2C5T144C8->点击 next->最后点击 finish 完成创建工程

工程创建图:

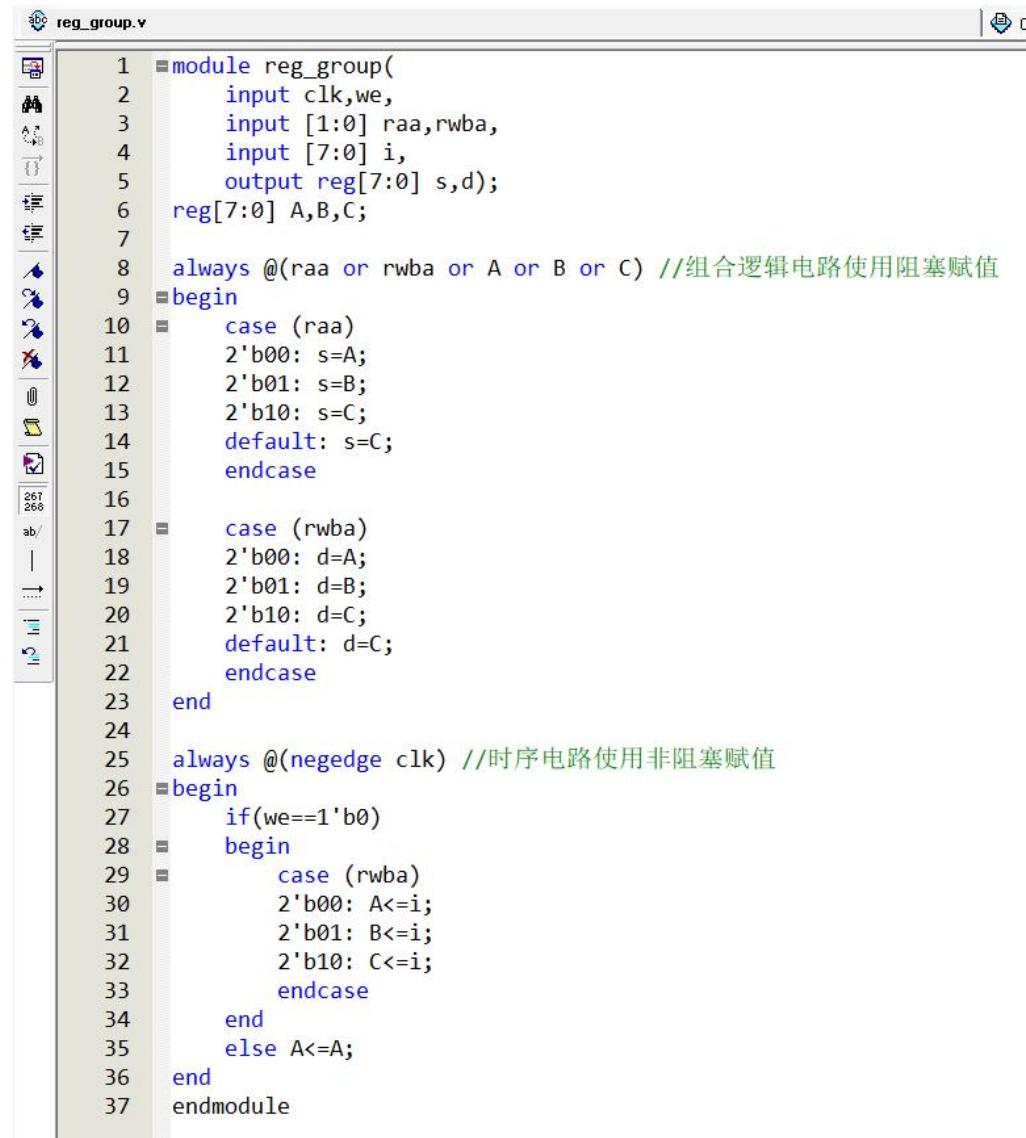


B) 编写源代码

根据实验指导和要求实现的功能写出对应的 Verilog 代码。

步骤：左上角 file->new->Verilog hdl file->编写代码（模块名需与工程名一致）->编译成功后保存到工程文件中。

代码截图：








```
1 module reg_group(  
2     input clk,we,  
3     input [1:0] raa,rwba,  
4     input [7:0] i,  
5     output reg[7:0] s,d);  
6     reg[7:0] A,B,C;  
7  
8     always @(raa or rwba or A or B or C) //组合逻辑电路使用阻塞赋值  
9     begin  
10        case (raa)  
11            2'b00: s=A;  
12            2'b01: s=B;  
13            2'b10: s=C;  
14            default: s=C;  
15        endcase  
16  
17        case (rwba)  
18            2'b00: d=A;  
19            2'b01: d=B;  
20            2'b10: d=C;  
21            default: d=C;  
22        endcase  
23    end  
24  
25    always @(negedge clk) //时序电路使用非阻塞赋值  
26    begin  
27        if(we==1'b0)  
28            begin  
29                case (rwba)  
30                    2'b00: A<=i;  
31                    2'b01: B<=i;  
32                    2'b10: C<=i;  
33                endcase  
34            end  
35        else A<=A;  
36    end  
37 endmodule
```

C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

确定源代码文件为当前工程文件，点击【processing】-【start compilation】进行文件编译，编译成功，保存文件。

无错误。

警告信息：

Type	Message
	Warning: Feature LogicLock is not available with your current license
	Warning: No exact pin location assignment(s) for 30 pins of 30 total pins
	Warning: Found 16 output pins without output pin load capacitance assignment
	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
	Warning: Found pins functioning as undefined clocks and/or memory enables

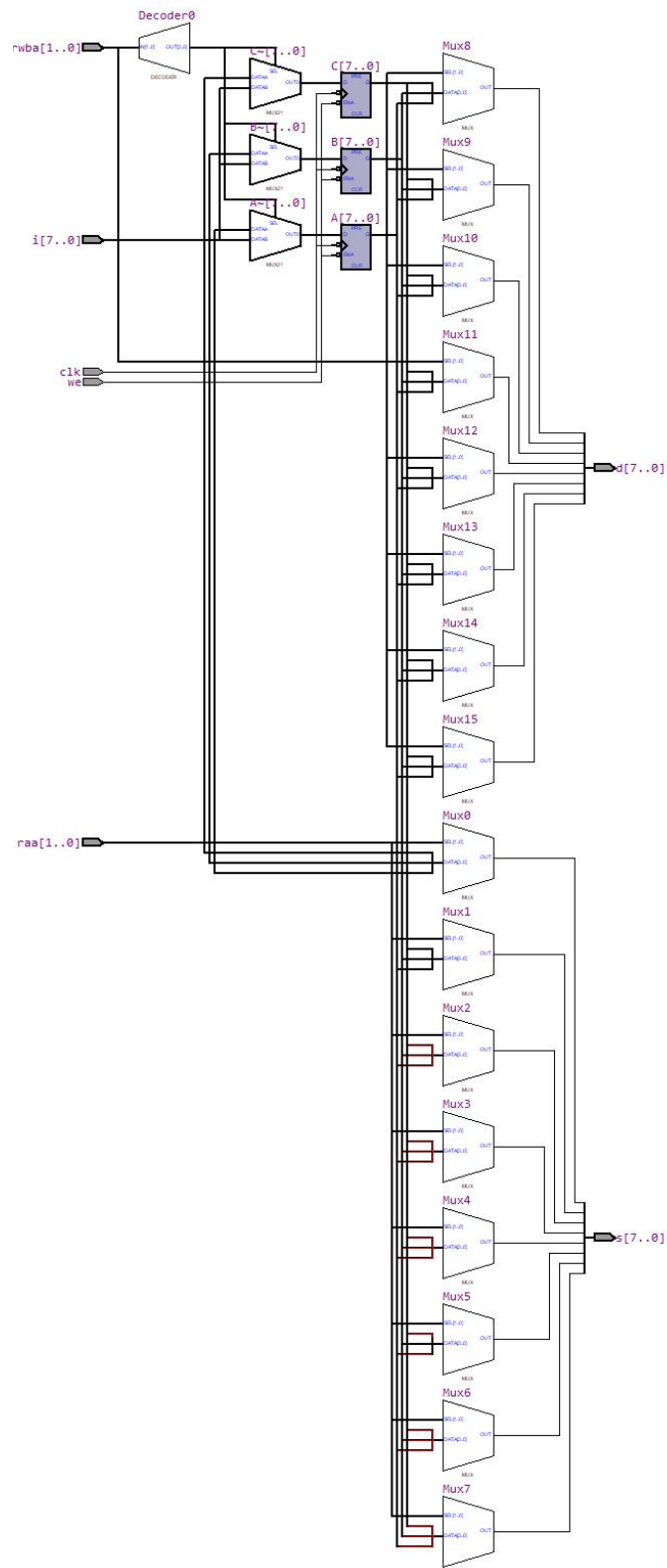
资源消耗：

```

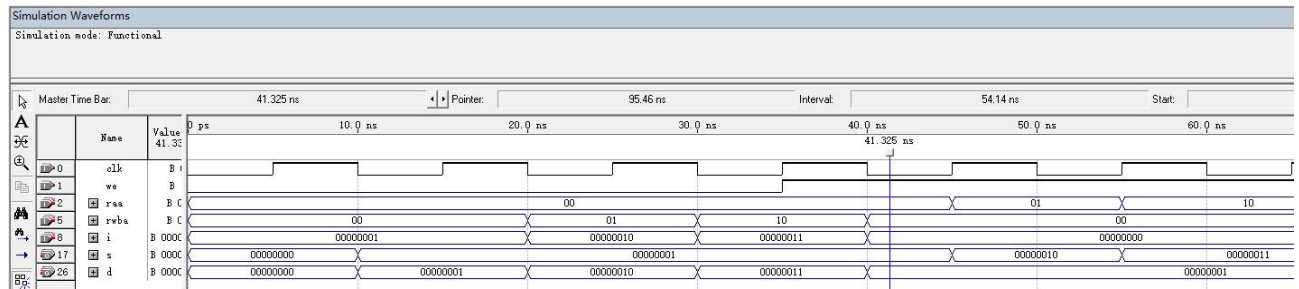
Flow Status                Successful - Sat Nov 26 14:14:51 2022
Quartus II Version         9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name              reg_group
Top-level Entity Name      reg_group
Family                    Cyclone II
Device                     EP2C5T144C8
Timing Models              Final
Met timing requirements    Yes
Total logic elements       35 / 4,608 ( < 1 % )
    Total combinational functions 35 / 4,608 ( < 1 % )
    Dedicated logic registers  24 / 4,608 ( < 1 % )
Total registers            24
Total pins                 30 / 89 ( 34 % )
Total virtual pins         0
Total memory bits          0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements 0 / 26 ( 0 % )
Total PLLs                 0 / 2 ( 0 % )

```

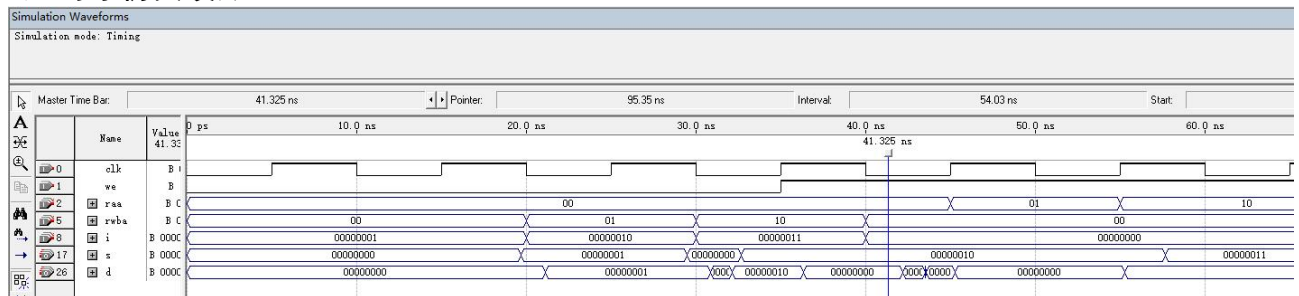

D) RTL 视图



E) 功能仿真波形



F) 时序仿真波形



G) 时序分析

操作方法是：编译后，在 compilation report 中选择【timing analysis】-【summary】

Timing Analyzer Summary									
	Type	Slack	Required Time	Actual Time	From	To	From Clock	To Clock	Failed Paths
1	Worst-case tsu	N/A	None	7.110 ns	rwba[1]	C[7]	--	clk	0
2	Worst-case tco	N/A	None	13.487 ns	B[1]	d[1]	clk	--	0
3	Worst-case tpd	N/A	None	16.353 ns	rwba[0]	d[1]	--	--	0
4	Worst-case th	N/A	None	0.479 ns	i[0]	B[0]	--	clk	0
5	Total number of failed paths								0

H) 结果分析及结论

分析：对于功能仿真，在 0-35ns, we 为 0, 进行写入操作，在每个下降沿，当 rwba=00,01,10 时，将输入 i 分别写入寄存器 A,B,C 中，而在 35-65ns, we 为 1, 进行读取操作，在每个下降沿，根据 raa 和 rwba 的值 s, d 输出对应寄存器的值，当 raa=00, s 输出 A 的值，raa=01, s 输出 B 的值，raa=10, s 输出 C 的值，正确

对于时序仿真，输出 s 存在 9ns 左右的延迟，输出 d 存在 10ns 左右延迟，其余输出结果大致与功能仿真相同

对于时序分析，可以得到时钟输出延迟 tco 为 13.487ns，建立时间 tsu 为 7.110ns，保持时间 th 为 0.479ns，电路延迟时间 tpd 为 16.353ns

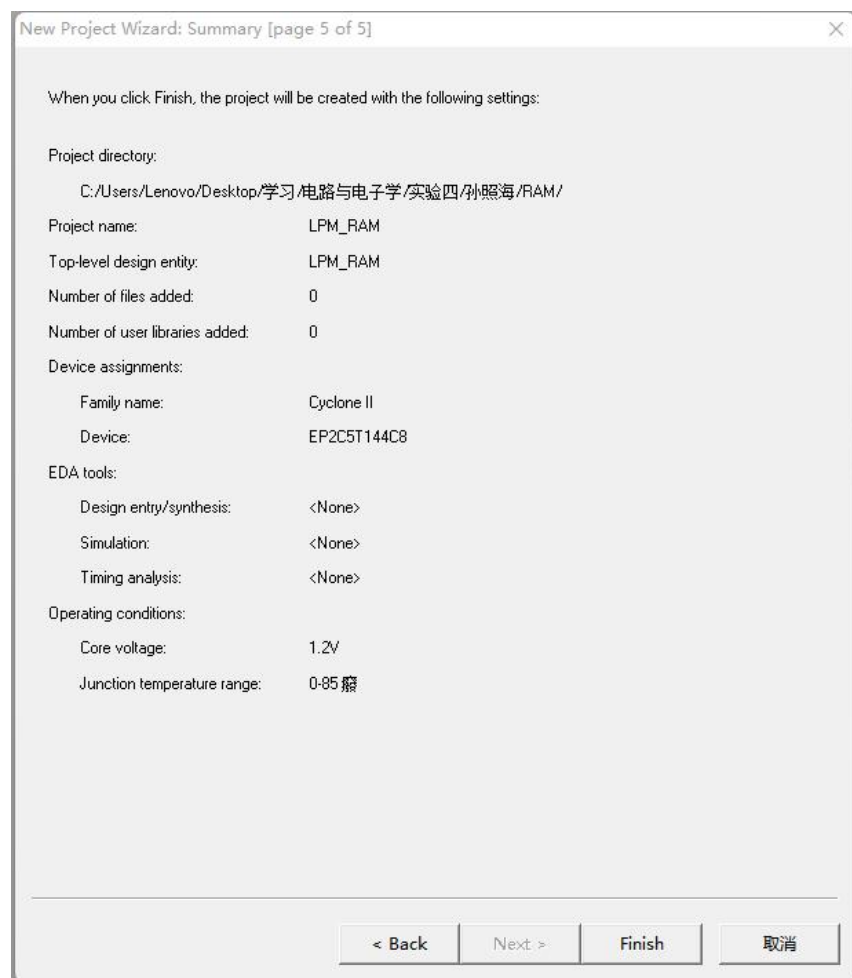
结论：元件设计符合要求，输出 s 存在 9ns 左右的延迟，输出 d 存在 10ns 左右延迟

6、RAM 的使用

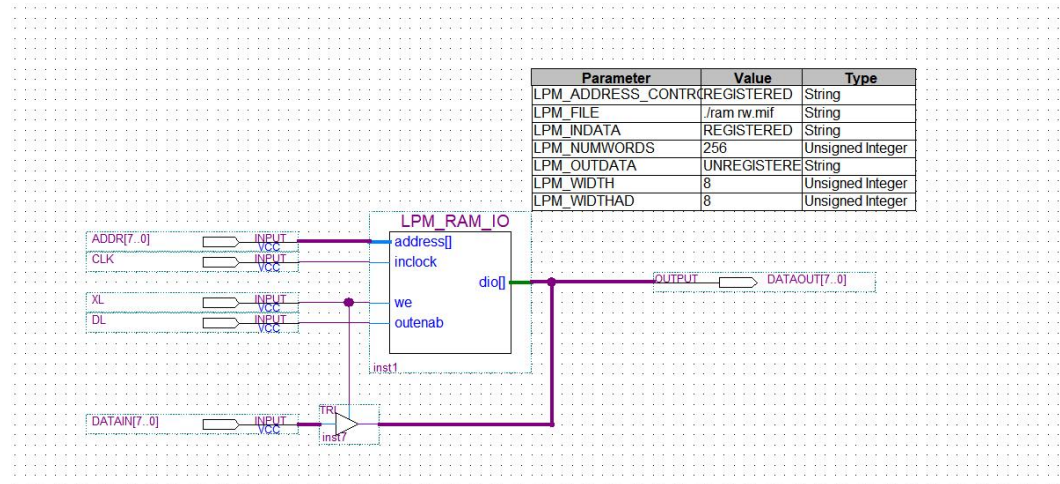
A) 创建工程（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）

步骤：左上角 file->New Project Wizard->选择工程位置和工程名->选择芯片 Cyclone II，available device 中选择 EP2C5T144C8->点击 next->最后点击 finish 完成创建工程

工程创建图：



B) 电路图



C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

确定源代码文件为当前工程文件，点击【processing】-【start compilation】进行文件编译，编译成功，保存文件。

无错误。

警告信息：

Type	Message
Warning	Warning: Assertion warning: altram does not support Cyclone II device family -- attempting best-case memory conversions, but power-up states and read during write behavior will be different for Cyclone II devices
Warning	Warning: Tri-state node(s) do not directly drive top-level pin(s)
Warning	Warning: Feature LogicLock is not available with your current license
Warning	Warning: No exact pin location assignment(s) for 27 pins of 27 total pins
Warning	Warning: Found 8 output pins without output pin load capacitance assignment
Warning	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
Warning	Warning: Found pins functioning as undefined clocks and/or memory enables

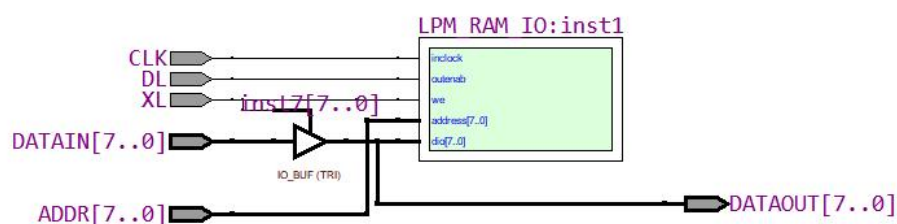
资源消耗：

```

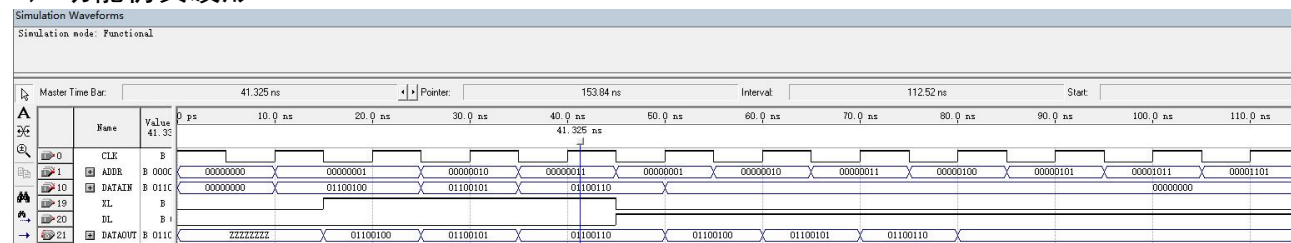
Flow Status                               Successful - Thu Dec 01 00:46:51 2022
Quartus II Version                         9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name                             LPM_RAM
Top-level Entity Name                     LPM_RAM
Family                                    Cyclone II
Device                                    EP2C5T144C8
Timing Models                             Final
Met timing requirements                   Yes
Total logic elements                      10 / 4,608 ( < 1 % )
    Total combinational functions         10 / 4,608 ( < 1 % )
    Dedicated logic registers             0 / 4,608 ( 0 % )
Total registers                           0
Total pins                                27 / 89 ( 30 % )
Total virtual pins                        0
Total memory bits                         2,048 / 119,808 ( 2 % )
Embedded Multiplier 9-bit elements        0 / 26 ( 0 % )
Total PLLs                                0 / 2 ( 0 % )

```

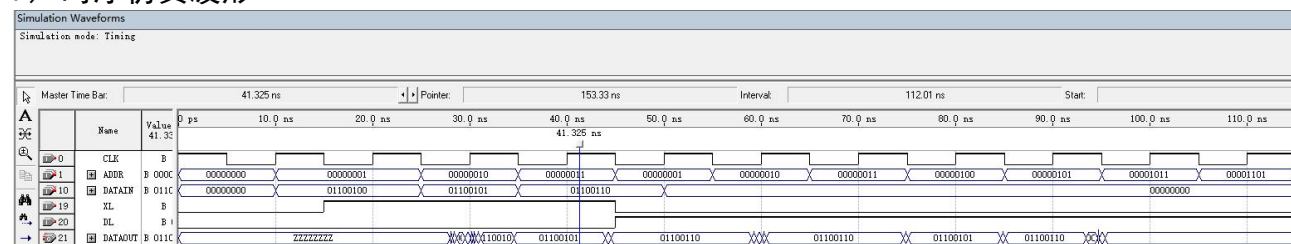
D) RTL 视图



E) 功能仿真波形



F) 时序仿真波形



G) 结果分析及结论:

分析: 对功能仿真, 0-15ns, xl 和 dl 都为 0, 输出为高阻态。15-45ns, xl 为 1, dl 为 0, 进行写入操作, 对于三个上升沿, 分别将输入信号 100,101,102 分别写入地址 1,2,3 中。45-115ns, xl 为 0, dl 为 1, 进行读操作, 对于每个上升沿, 分别将 1,2,3,4,5,11,13 地址中的指令读出并输出, 其中 4,5,11,13 地址中的指令已提前存入对应的 mif 文件中, 仿真正确。

对于时序仿真, 输出存在 11ns 左右的延迟, 同时由于输入的改变导致某些位置出现冒险。

结论: 元件设计符合要求, 输出存在 11ns 左右延迟。

四、思考题

1. 时钟周期的上升沿实现对 RAM 的读写操作, 为何 PC、SM、IR、PSW 以及寄存器组的操作是下降沿完成?

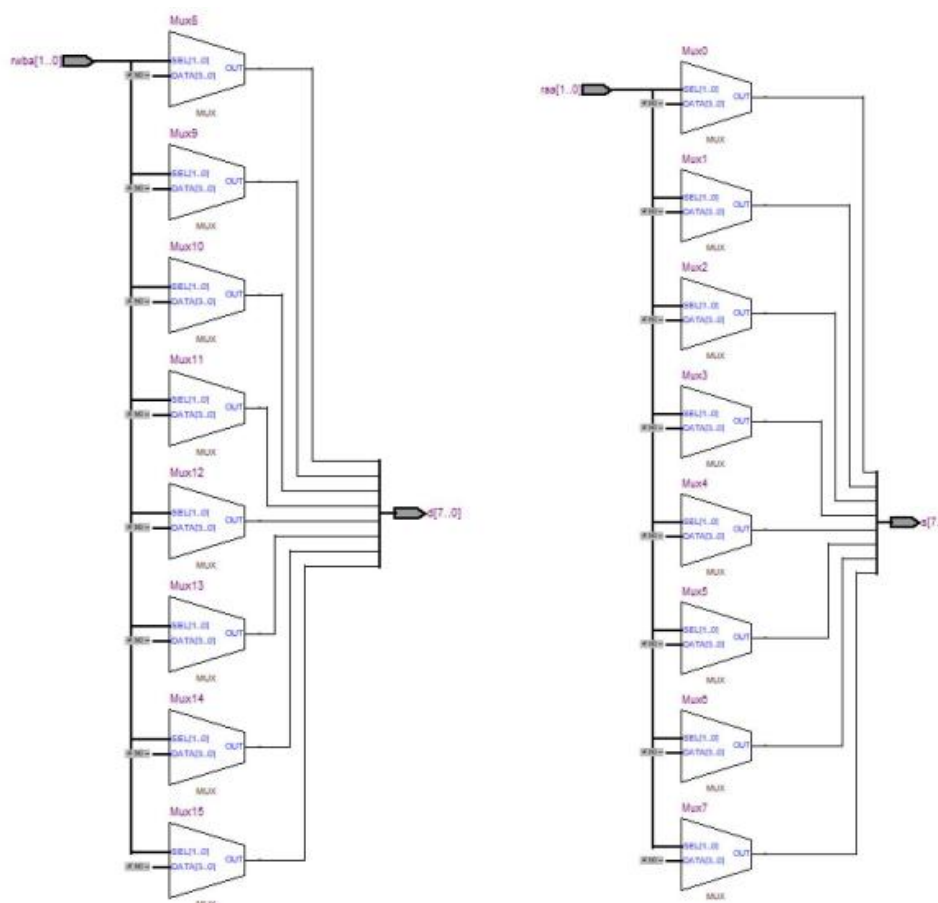
答: 因为我们既要保证取址操作在一个周期内完成, 同时要保证 RAM 为优先级较高, 所以需要放在不同的跳变沿执行。若放在同一时间, 可能会使数据处理来不及, 导致出错。

2. 采用 VERILOG 语言描述时序部件应该采用阻塞赋值语句还是非阻塞赋值语句?

答: 使用非阻塞赋值。

3、通用寄存器组只有 WE 的控制信号，实现通用寄存器组读操作的电路是组合电路还是时序电路？请大致画出对寄存器组进行读操作的电路部分。

答：是组合电路。电路图为：



五、实验总结、必得体会及建议

1、从需要掌握的理论、遇到的困难、解决的办法以及经验教训等方面进行总结。通过此次实验我学会了如何用 Verilog 编写时序逻辑元件以及使用 quartus 软件画电路图并进行仿真。刚开始不懂何时使用阻塞赋值还是非阻塞赋值，但是通过询问同学和上网查询资料后得以解决。以后遇到类似问题时可以先在老师 ppt 上寻找答案，并根据写过的组合电路进行类比来解决问题。

2、对本实验内容、过程和方法的改进建议（可选项）。

无