

实验三 模型机中组合部件的实现（二）

一、实验目的

1. 了解简易模型机的内部结构和工作原理。
2. 分析模型机的功能，设计 8 重 3-1 多路复用器。
2. 分析模型机的功能，设计移位逻辑。
3. 分析模型机的工作原理，设计模型机控制信号产生逻辑。

二、实验背景

1. 简易模型机结构

计算机的工作过程可以看作是许多不同的数据流和控制流在机器各部分之间的流动，数据流所经过的路径称作机器的数据通路。数据通路不同，指令执行所经过的操作过程就不同，机器的结构也就不一样。本模型机的结构如图 1 所示：

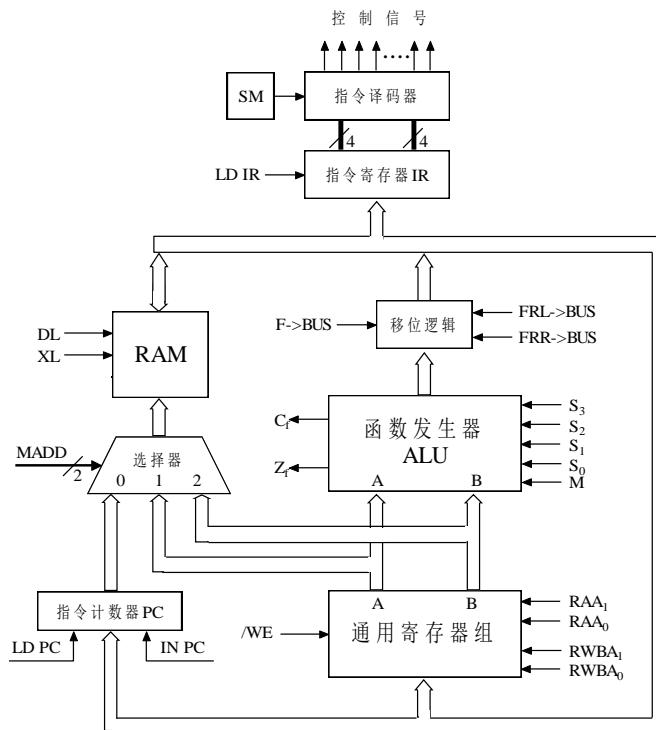


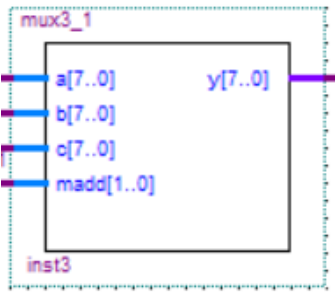
图 1 模型机的结构

2. 8 重 3-1 多路复用器，又名多路选择器

多路复用器是一个组合电路，它可以从多个输入中选择一个输入，并将信息直接传输到输出。选择哪一条输入线由一组输入变量控制，它们被称为选择输入。

通常， 2^n 条输入线要 n 个选择输入，选择输入的位组合决定选择哪个输入线。

8 重 3-1 多路复用器有 3 个输入 1 个输出，每个输入和输出都是 8 位，所以称之为 8 重，MADD 选择将哪个输入传至输出，8 重 3-1 多路复用器的引脚如图所示：



引脚之间的相互关系如下表所示：

表 1 3-1 多路复用器功能表

MADD	Y
00	a
01	b
10	c

3 . 移位逻辑

移位指令：

RSR R1

RSL R1

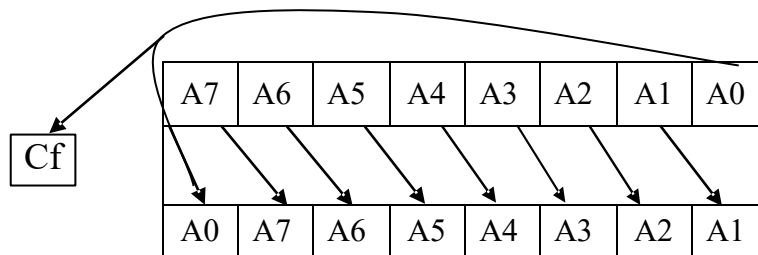
这类指令的执行过程为：

由R1的编码通过RWBA1、RWBA0从通用寄存器组B口读出R1的内容，在S3~S0和M的控制下通过ALU，经移位逻辑循环右移或循环左移后送入总线BUS；再由/WE控制和R1的编码选择RWBA1、RWBA0，将BUS上的数据写入通用寄存器R1。

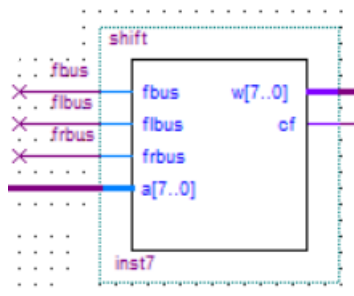
指令具体功能如下：

汇编符号	功能	编码
RSR R1	(R1) 循环右移一位→ R1	1010 R1 00
RSL R1	(R1) 循环左移一位→ R1	1010 R1 11

移位逻辑需要实现RSR、RSL操作，还在MOVA、MOVB、ADD、SUB、AND、NOT、OUT指令执行时，将数据传输至BUS总线。RSR循环移位操作如下：



移位逻辑的输入输出引脚如下图所示：



引脚之间的相互关系如下表所示：

表 2 移位逻辑功能表

F_BUS	FL_BUS	FR_BUS	W	C _f
1	0	0	$w \leftarrow a$	不影响
0	1	0	$w \leftarrow a[6:0], a[7]$	$a[7]$
0	0	1	$w \leftarrow a[0], a[7:1]$	$a[0]$
0	0	0	8'hZZ	不影响

4. 控制信号产生逻辑

控制信号产生逻辑接收指令译码器的输出，在 SM、IR[7..0]以及状态位 Cf 和 Zf 的配合下产生每个模块所需要的控制信号。

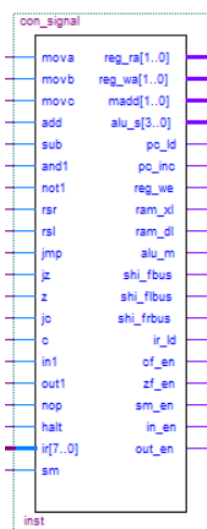
表 3 控制信号的功能表

序号	信号	输出引脚名	功能
1	LD PC	pc_ld	当 LD PC=1 时，将 BUS 上的数据写入 PC
2	IN PC	pc_inc	当 IN PC=1 时，PC 进行自加 1 操作
3	MADD	madd[1:0]	选择 RAM 地址来源。00：指令计数器 PC，01：A 口，10：B 口
4	XL	ram_xl	对存储器 RAM 进行写操作
5	DL	ram_dl	对存储器 RAM 进行读操作
6	LD IR	ir_ld	允许把 BUS 上的数据写入指令寄存器 IR
7	RAA1 RAA0	reg_ra[1:0]	选择寄存器 A、B、C 中的一个作为源寄存器
8	RWBA1 RWBA0	reg_wa[1:0]	选择寄存器 A、B、C 中的一个作为目的寄存器

9	/WE	reg_we	允许把 BUS 上的数据写入通用寄存器组，低电平有效
10	M	alu_m	M=1, ALU 进行算术逻辑运算；M=0, ALU 进行数据传输
11	S3~S0	alu_s[3:0]	控制 ALU 执行不同的操作
12	F→BUS	shi_fbus	将移位逻辑的输入数据直接传至输出
13	FL→BUS	shi_flbus	移位逻辑的输入数据循环左移一位传至输出且 D7 送至 C _f
14	FR→BUS	shi_frbus	移位逻辑的输入数据循环右移一位传至输出且 D0 送至 C _f
15	CF_EN	cf_en	允许 C _f 保存的使能信号
16	ZF_EN	zf_en	允许 Z _f 保存的使能信号
17	SM_EN	sm_en	允许 SM 翻转的使能信号
18	IN_EN	in_en	执行 IN 指令时，允许外部设备输入的使能信号
19	OUT_EN	out_en	执行 OUT 指令时，允许寄存器值输出到外部设备的使能信号

控制信号 SM_EN 功能还可参见实验四介绍的 SM 模块，控制信号 CF_EN、ZF_EN 功能可参见实验四介绍的状态寄存器 PSW 模块。

控制信号产生逻辑的输入输出引脚如下图所示：



三、实验内容

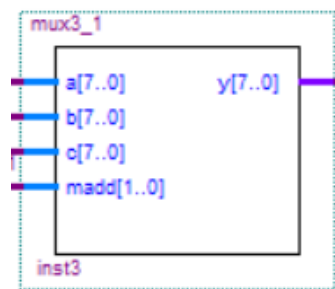
1. 用 VERILOG 语言设计模型机的 8 重 3-1 多路复用器；
2. 用 VERILOG 语言设计模型机的移位模块；
3. 用 VERILOG 语言设计模型机的控制信号产生逻辑。

四、实验要求

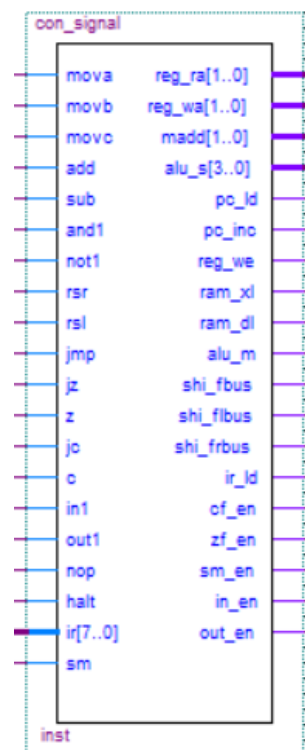
1. 完成学习通平台的实验作业。
2. 采用 VERILOG 语言设计逻辑电路，再利用波形编辑区进行仿真验证，以此验证电路的正确性。
3. 在 Tool 下用 netlist viewer 查看 RTL viewer，了解语句描述对应的 RTL 视图。
4. 最后撰写实验报告，提交至学习通平台，做得好的同学将在学习通平台

分享设计。

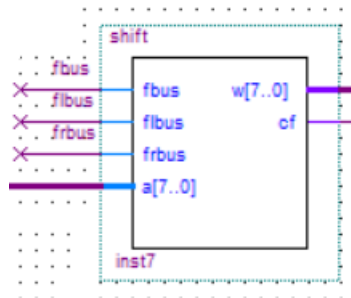
5. 8重3-1多路复用器的文件名为mux3_1.v，接口信号名称必须严格按照下图命名（区分大小写），文件名、接口信号名称不合要求将会判为0分。



6. 控制信号产生逻辑的文件名为con_signal.v，接口信号名称必须按照下图命名（区分大小写），文件名、接口信号名称不合要求将会判为0分。



7. 移位逻辑的文件名为shift.v，接口信号名称必须按照下图命名（区分大小写），文件名、接口信号名称不合要求将会判为0分。



五、思考题

1. 移位逻辑不工作时，输出应该为何值？为什么？
2. 移位逻辑的输出 Cf 应该如何处理？
3. 如何产生正确的控制信号以及具体的编程实现？