



CPU外部结构和总线时序

主讲： 乔瑞萍

西安交通大学信通学院
email: rpqiao@xjtu.edu.cn

2023-3-20



学习要求：

- 微处理器总线与系统总线 (见5.1.1)
 - 总线周期与时钟周期
 - CPU的复位
 - 总线的三态性与分时复用特性
 - 总线操作时序 (读、写)
 - 8086CPU中特殊的存储体结构 (见5.3)
- (见5.2)

重点难点 ➡



章节内容

- ◆ 5.1 CPU的引脚功能
- ◆ 5.2 总线操作时序
- ◆ 5.3 8086/8088的存储器结构（补充）



5.1 CPU的引脚功能

- ◆ 总线
- ◆ 8086/8088CPU引脚功能
- ◆ 8086CPU的工作模式
- ◆ 80386CPU引脚功能简介



5.1.1 总线

- ◆ CPU的外部是数量有限的输入输出引脚，这些引脚就是微处理器的外部总线，称为**微处理器级总线**。
- ◆ CPU通过外部总线沟通与外部部件和设备之间的联系。





总线及其功能

- **总线（BUS）**：是一簇由并行导线组成的传递信息的公共通路，各部件之间的信息可以**分时**地在此通路上传递。
- 在计算机系统中，总线及其信号必须完成以下**功能**：





总线及其功能

- ✓1) 和存储器之间交换信息;
- ✓2) 和I/O设备之间交换信息;
- ✓3) 为了系统工作而接受和输出必要的信号, 如输入时钟脉冲、复位信号、电源和接地等。

总线按功能分类

按功能分，这些总线可以分为三种：

总线	功能
数据总线DB	传送信息（指令或数据）
地址总线AB	指示欲传送信息的来源或目的地址
控制总线CB	管理总线上的活动



外部数据总线

- ◆ **外部数据总线**：用于CPU和存储器或I/O接口之间传送数据；
- ◆ DB的**条数**决定了CPU和存储器或I/O设备一次能交换数据的**位数**；
- ◆ **位数**是区分微处理器为多少位的依据。



地址总线和控制总线

◆ CPU通过外部AB:

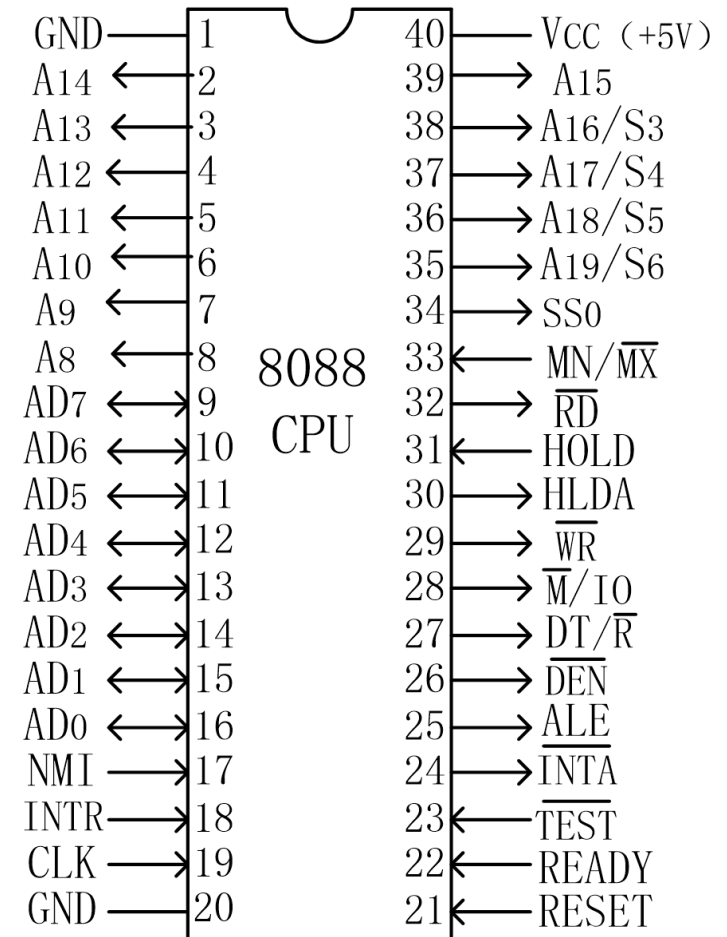
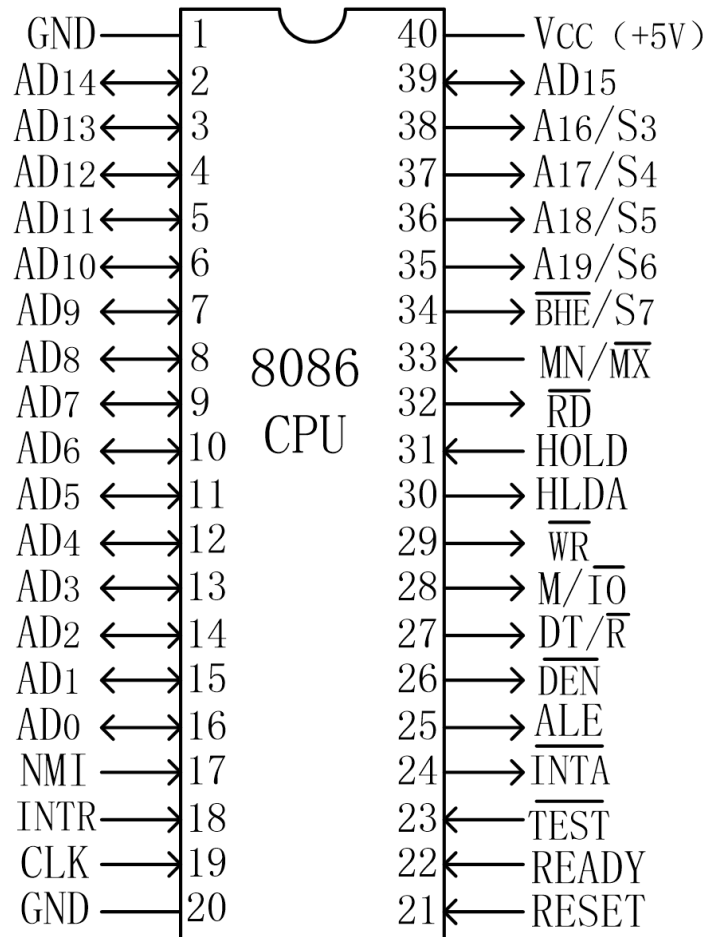
- 输出地址码用来选择某一存储器单元
- 某一称为I/O端口的寄存器。
 - 地址总线的条数即为二进制地址码的位数，它决定了可寻址地址空间的大小。

◆ 外部CB:

- 用来传送自CPU发出的或送到CPU的控制信息与状态信息。



5.1.2 8086/8088CPU引脚功能





8086CPU的引脚信号定义与功能

信号定义	输入/输出	功能说明
$AD_{15} \sim AD_0$	双向	地址总线的低16位与数据总线复用。总线周期的T1状态输出访问地址的低16位，其它状态输入/输出数据或高阻。
$A_{19}/S_6 \sim A_{16}/S_3$	输出	地址总线的高4位与状态线复用。总线周期的T1状态输出访问地址的高4位，其它T状态输出状态信息。 P198表5.1
\overline{BHE} / S_7	输出	高8位数据总线允许/状态复用引脚。在总线周期的T1状态，输出 \overline{BHE} ，总线周期的其它状态输出



续表

\overline{RD}	输出	读 信号，指出将要执行一个对内存或I/O端口的读操作。
\overline{WR}	输出	写 信号，指出将要执行一个对内存或I/O端口的写操作。
M/\overline{IO}	输出	存储器/输入输出 控制信号，区分进行存储器还是I/O访问。
ALE	输出	地址锁存 允许信号，在总线周期的T1状态输出高有效电平。
\overline{TEST}	输入	测试 信号，低电平有效，与WAIT指令结合使用，用来使处理器与外部硬件同步。



续表2

\overline{INTA}	输出	中断响应信号 输出，用来对外设的中断请求做出响应，通常与中断控制器8259A的相连。
$READY$	输入	准备就绪信号 ，在总线周期的 T_3 状态若 $READY$ 为低，插入 T_w 状态，直至 $READY$ 变为高，才进入 T_4 ，从而结束当前总线周期。
\overline{DEN}	输出	数据允许信号 ，常用作总线收发器的输出允许信号；在DMA方式时，被置为高阻状态。
DT / \overline{R}	输出	数据收发方向 控制信号，用于数据总线收发器的数据传送方向。为高电平时，数据发送；低电平时，数据接收。
$HOLD$	输入	保持请求 信号，请求使用总线信号，高电平有效
$HLDA$	输出	总线保持响应 信号，这是对 $HOLD$ 的应答信号



续表3

NMI	输入	非屏蔽中断信号输入端，上升沿有效
INTR	输入	可屏蔽中断信号输入端，高电平有效
CLK	输入	为CPU和总线控制逻辑电路提供定时信号，要求时钟信号占空比为30%。
RESET	输入	复位信号，高电平有效，要求高电平至少持续4个时钟周期。P200表5.2
GND	输入	电源地信号，8086/8088CPU有2个接地端
V_{CC}	输入	+5V电压供电
MN / \overline{MX}	输入	最小/最大模式选择控制信号





段寄存器状态线

表 5.1 S_4 、 S_3 的代码组合与当前段寄存器的关系

S_4S_3	当前使用的段寄存器
00	ES 段寄存器
01	SS 段寄存器
10	存储器寻址时，使用 CS 段寄存器。对 I/O 端口或中断矢量寻址时，不需要段寄存器
11	DS 段寄存器



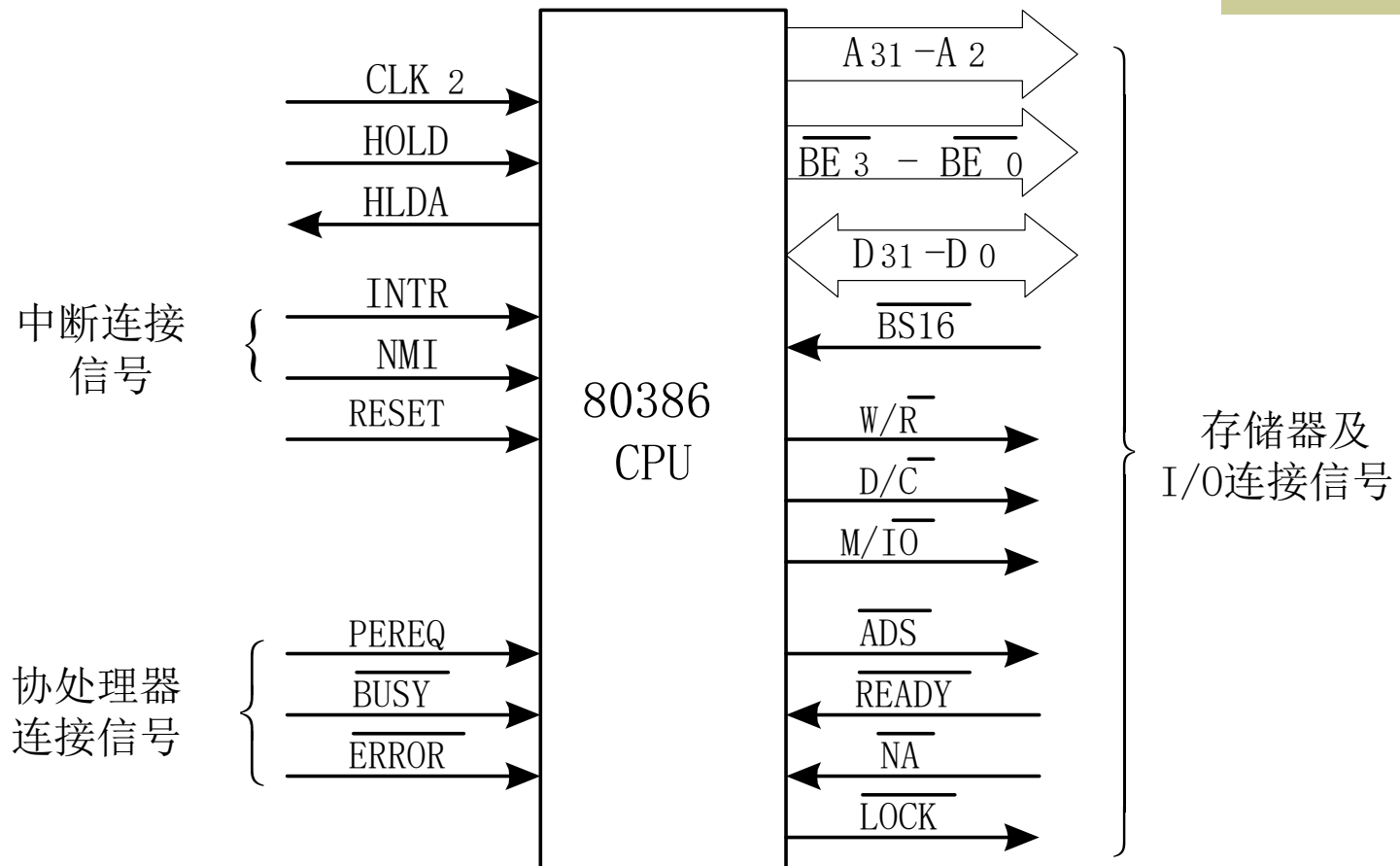


5.1.3 8086CPU的工作模式

- ◆ 8086/8088CPU工作模式:
- ◆ 最小模式:
 - 一个微处理器
 - CB都直接由8086/8088 产生(见P203~ P204)
- ◆ 最大模式:
 - 两个及以上微处理器
 - 一个主处理器，其他协处理器
 - 大多数CB由8288对8086/8088CPU输出的状态信号组合产生(见P207)



5.1.4 80386CPU引脚功能简介





80386采用132引脚的栅状阵列封装 (PGA)

引脚	条数
地址线	34 ($A_{31} \sim A_2, \overline{BE3} \sim \overline{BE0}$)
数据线	32 ($D_{31} \sim D_0$)
中断线	3
时钟线	1
控制线	13
电源线	20 (VCC)
地线	21 (VSS)
空	8



与8086/8088比较

- ◆ 80386CPU中具有独立的数据总线和地址总线。
- ◆ 地址线由 $A_{31} \sim A_2$ 和 $\overline{BE3} \sim \overline{BE0}$ 组成三态、单向输出。
 - $A_{31} \sim A_2$ 是地址总线的高30位；
 - $\overline{BE3} \sim \overline{BE0}$ 地址总线的低位，即 A_1 、 A_0 的译码输出。选择连续4个字节。



与8086/8088比较

80386CPU倍频：

- ◆ 要求CLK2输入的是双倍频率的时钟信号，16MHz的386CPU使用一个32MHz的CLK2时钟信号，
- ◆ 也就是说80386CPU所使用的时钟CLK是CLK2时钟频率的2分频信号。





5.2 总线操作时序

- 总线周期与时钟周期
 - 总线的三态性和分时复用性
 - 复位操作
 - 总线读操作时序
 - 总线写操作时序
- } 见5.2.1
- } 见5.2.2





5.2.1 系统的复位时序及 典型的总线周期时序

1. 总线周期与时钟周期

- ◆ **时钟周期**：CPU的基本时间计量单位，它由计算机的**主频**决定。主频的倒数
- ◆ **总线周期**：CPU通过系统总线对**外部存储器**或**I/O**接口进行一次访问所需的时间。



总线周期的四个状态

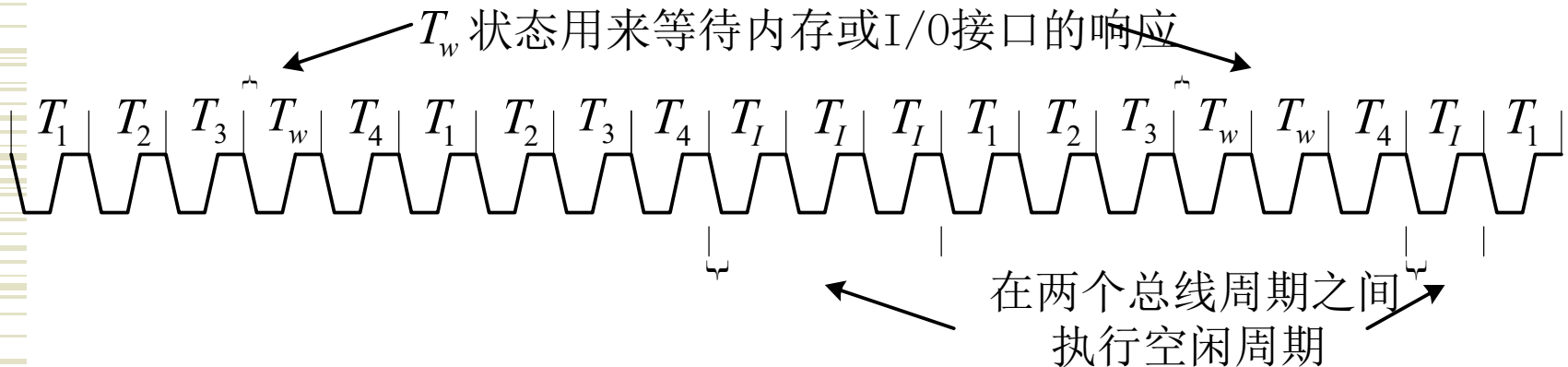
- ◆ 一个基本的总线周期：由4个时钟周期组成。
 - 其分别称为4个状态： T_1 、 T_2 、 T_3 和 T_4 状态。
 - T_w ：在 T_3 状态之后插入1个或几个等待状态。



总线空闲状态 T_I

- ◆ CPU的时钟周期一直存在；
- ◆ 总线周期并非一直存在：
 - 只有当BIU需要补充指令流队列的空缺
 - 或当EU执行指令过程中需经外部总线访问存储器或I/O接口时，才需要申请一个总线周期，BIU也才会进入执行总线周期的工作时序。
- ◆ T_I ：两个总线周期之间可能会出现一些没有BIU活动的时钟周期，这时的总线状态称为**空闲**状态。

典型的8086总线周期序列



2. 总线的三态性与分时复用特性

- ◆ 总线的三态性是现有微处理器的共性，任何微处理器的AB、DB及部分CB均采用三态缓冲器式总线电路。

三态

逻辑 0

逻辑 1

浮空

处于浮空状态时，总线电路呈现极高的输出阻抗，如同与外界“隔绝”一样。



三态性的作用

总线电路的这种三态性：

- ◆ **一方面**保证了在任何时刻，只能允许相互交换信息的设备占用总线，其他设备和总线脱离，对总线几乎没有影响。
- ◆ **另一方面**为数据的快速传送方式（即直接存储器存取方式DMA）提供了必要的条件，因为当进行DMA传送时，CPU将与外部总线“断开”，外部设备将直接利用总线和存储器交换数据。



地址/数据线的分时复用特性

- 总线分时复用：因处理器外部引脚数量的限制。
 - 在8086CPU中，数据总线与地址总线的低16位就是分时复用的。
 - 即在某一时刻 $AD_{15} \sim AD_0$ 上出现的是地址信息；
 - 另一时刻， $AD_{15} \sim AD_0$ 出现的数据信息。
 - 而且， $A_{19}/S_6 \sim A_{16}/S_3$ 也是地址线的高4位与状态线的复用。



地址/数据线的分时复用特性

- 正是这种引脚的分时使用才能使8086/8088用40条引脚实现20位地址、16位数据及众多控制信号和状态信号的传输。





复位操作

- 复位：计算机系统各部件从一个**确知**的状态开始工作。
- 复位线：大多数计算机系统都有一**根**对系统进行启动的复位线。
 - 复位线和系统中所有的部件相连



8086/8088CPU的复位状态

- ◆ RESET: 为“1”，CPU就会结束现行操作。
见P208表5.7
- ◆ 在复位状态，除CS为FFFFH外，其余片内寄存器均被清零，指令队列也被清除。

表 5.7 复位时，CPU 的初始化状态

状态标志寄存器	清 除	状态标志寄存器	清 除
指令寄存器(IP)	0000H	ES 扩展段寄存器	0000H
CS 代码段寄存器	FFFFH	指令队列	空
DS 数据段寄存器	0000H	其他寄存器	0000H
SS 堆栈段寄存器	0000H		



8086/8088CPU的复位状态

- ◆ 三态功能的引脚进入高阻态，不具有三态功能的引脚则输出无效电平。
- ◆ 在复位时，FLAGS被清零，所有从INTR引脚进入的可屏蔽中断禁止。系统程序要通过指令来设置IF标志。



对复位信号的要求

- RESET: 维持4个时钟周期的高电平。
 - 否则复位不可靠，将有可能导致系统不能正常启动，或工作不稳定。

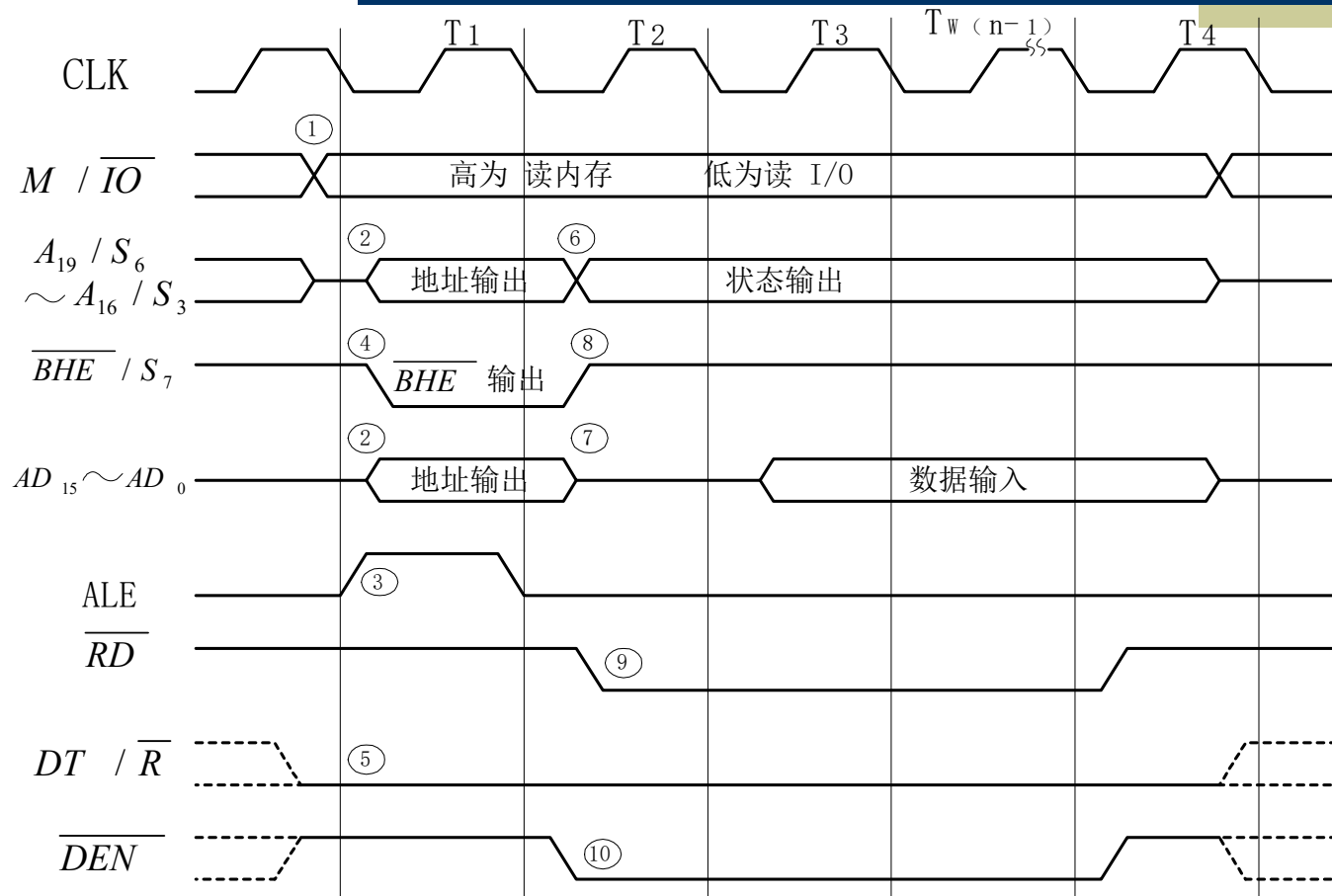


80386CPU的复位状态

- ◆ 80386CPU在复位时：实地址方式，采用类似于8086的体系结构。
 - **主要特征** 是寻址机构、存储器管理、中断处理机构均与8086一样；
 - 初始化程序区也是从**FFFF0H**开始的内存单元；
 - 中断矢量区也位于00000~003FFH 。



5.2.2 1. 总线读操作时序





T_1 状态

- ◆ M/\overline{IO} : CPU读内存还是I/O端口;
- ◆ 信号在 T_1 状态成为有效, M/\overline{IO} 有效电平一直保持到 T_4 状态。
- ◆ ALE高, \overline{BHE}/S_7 低, 地址输出



T_2 状态

- ◆ 地址信号消失； $AD_{15} \sim AD_0$ 高阻；
- ◆ $A_{19}/S_6 \sim A_{16}/S_3$ 和 \overline{BHE}/S_7 ：输出状态信息 $S_7 \sim S_3$ 。
- ◆ \overline{RD} 低：读数据



T_3 状态

- ◆ 在 T_3 状态开始，CPU对READY进行采样：
 - 如果READY为高，则CPU在 T_3 状态之后通过 $AD_{15} \sim AD_0$ 获取数据；
 - 如果READY为低，将插入 T_w ，直到READY变为高。



T_w 状态

◆ 同步作用：

- 当系统中所用的存储器或外设的工作速度较慢，从而不能用最基本的总线周期执行读操作时，系统中就要用一个电路来产生READY信号。
- CPU将会在 T_3 状态和 T_4 状态之间插入若干个 T_w ，直到READY信号变高。

T₄状态

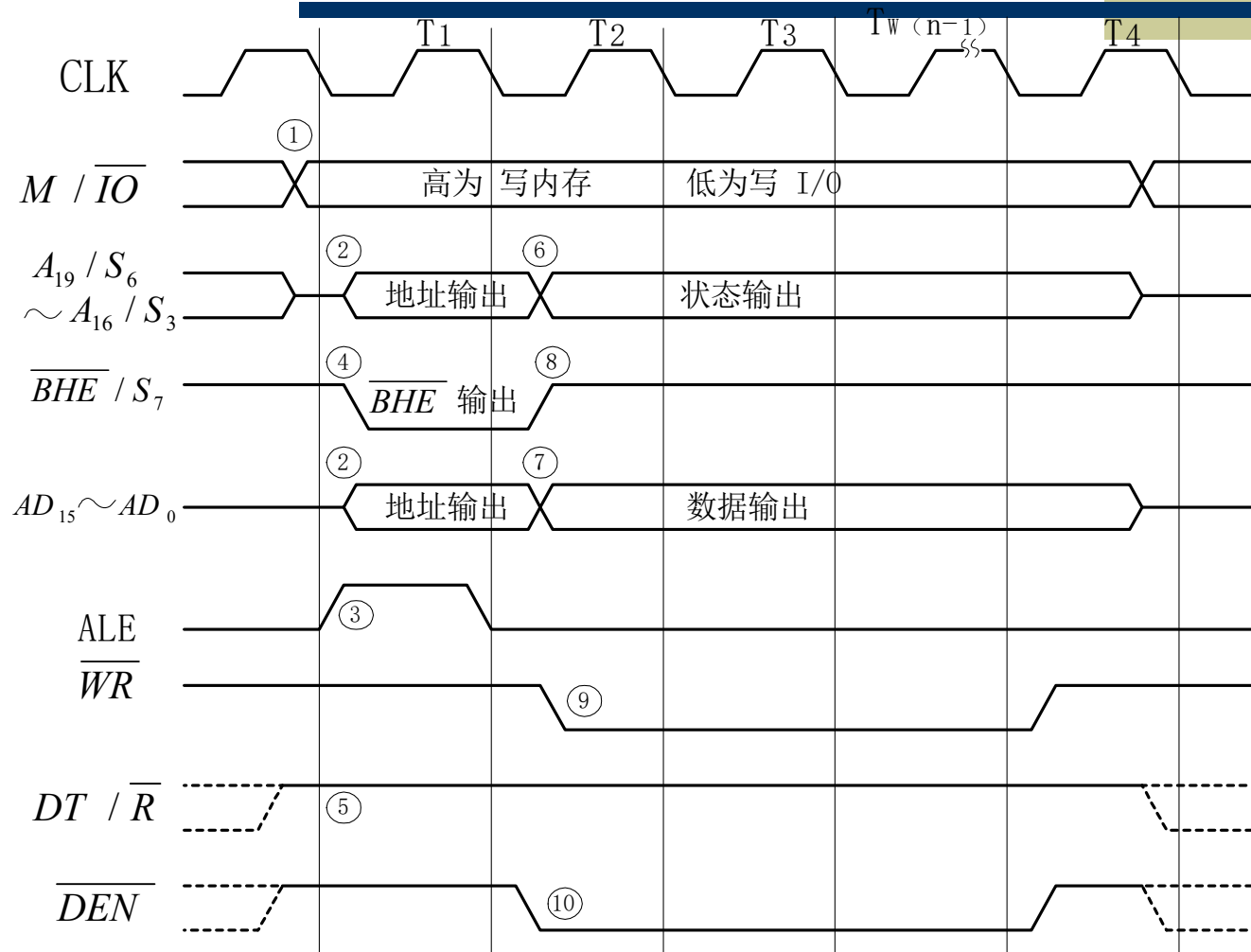
- ◆ 在执行最后一个等待状态T_w的后沿处，CPU通过AD₁₅~AD₀获取数据。

T4状态:

- ◆ 总线操作结束，相关系统总线变为无效电平。



2. 总线写操作时序





2. 总线写操作时序

说明：总线写操作时序与总线读操作时序基本相同，不同的是：

➤ 对存储器或I/O端口操作**选通信号**的不同。

➤ 读 \overline{RD}

➤ 写 \overline{WR}



2. 总线写操作时序

- 在 T_2 状态中， $AD_{15} \sim AD_0$ 上地址信号消失后， $AD_{15} \sim AD_0$ 的状态不同。
- 总线**读**操作中，此时 $AD_{15} \sim AD_0$ 进入高阻状态，并在随后的状态中为输入方向；
- 总线**写**操作中，此时CPU**立即**通过 $AD_{15} \sim AD_0$ 输出数据，并一直保持到 T_4 状态中间。





自学

- ◆ 3.中断响应周期(第8章)
- ◆ 4.总线请求和总线授予时序(第9章)

5.2.3 最大模式系统中的总线周期时序
(自学) (P215~218)

5.3.2 80486引脚信号及其系统总线时序
(自学) (P221~232)



补充 8086/8088的存储器结构

- ◆ 1. 数据存储格式
- ◆ 2. 8086微机系统的特殊存储器结构
- ◆ 3. 8088微机系统的存储器结构
- ◆ 4. 80386微机系统的存储器结构





1、数据存储格式

- ◆ 在8086/8088微机系统中，存储器是按**字节**为单位组织的，20位地址线可寻址1M字节的存储单元。
- ◆ 每个字节对应一个惟一的地址码，常称为**物理地址**。
- ◆ 尽管存储器是按字节编址的，但在实际操作时，一个变量可以是**字节**、**字**或**双字**。



(1) 字节数据

- ◆ 字节数据
- ◆ 8位二进制信息，对应的字节地址
 - 可以是偶地址（地址最低位 $A_0=0$ ），
 - 也可以是奇地址（ $A_0=1$ ）。



(2) 字数据

- ◆ **字数据**
- ◆ 连续存放的两个字节数据构成一个字数据，规定：
 - 字的高8位字节存放在高地址，
 - 字的低8位字节存放在低地址，
- ◆ 同时规定低位字节的地址作为这个字的地址。



(2) 字数据

- ◆ 字的地址可以是偶数，也可以是奇数。
- ✓ 规则字（对准字）：若字的地址为偶数。
 - ✓ 字的低位字节存放在偶地址，
 - ✓ 字的高位字节存放在紧接着的后一个奇地址。
- ✓ 非规则字（非对准字）：字的地址为奇数。



(3) 双字数据

双字数据：连续存放的两个字数据。

- ◆ **地址：**以**最低位**字节地址作为其地址。
- ◆ 通常此类数据用于间接寻址地址指针：
 - **高位字：**存放该数据所在段的**基地址**；
 - **低位字：**存放该数据所在段内的**偏移量**。





2、8086微机系统的特殊存储器结构

8086微机系统的存储器**1MB**构成:

- 偶地址: **512KB**, A_0 选通
- 奇地址: **512KB**, \overline{BHE} 选通
- ◆ $A_{19} \sim A_1$ 作为两个库内的存储单元的寻址信号
 - **偶**地址: 存储体DB只和**低8位**数据线相连;
 - **奇**地址: 存储体DB只和**高8位**数据线相连。



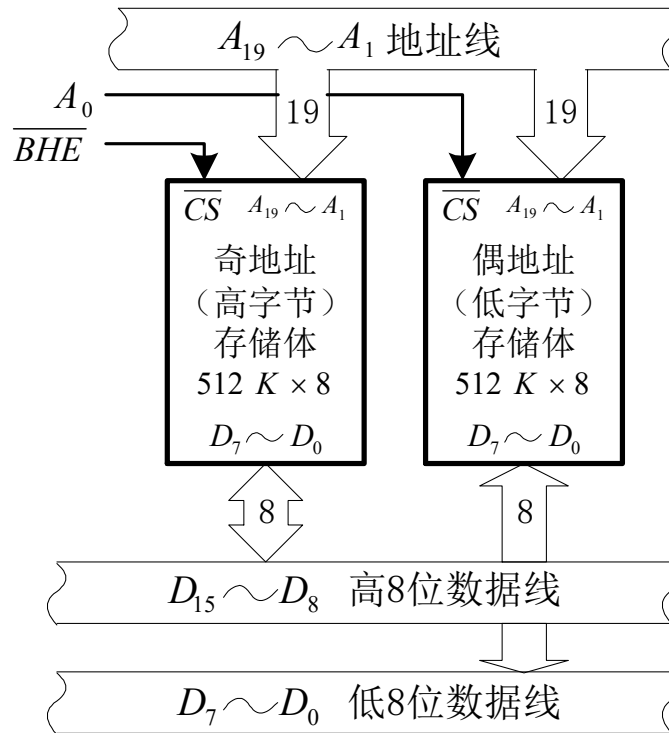
2、8086微机系统的特殊存储器结构

- ◆ $A_{19} \sim A_1$ 共19根地址线用来作为两个库内的存储单元的寻址信号，且**偶地址**存储体数据线只和**低8位**数据线相连，**奇地址**存储体数据线只和**高8位**数据线相连。

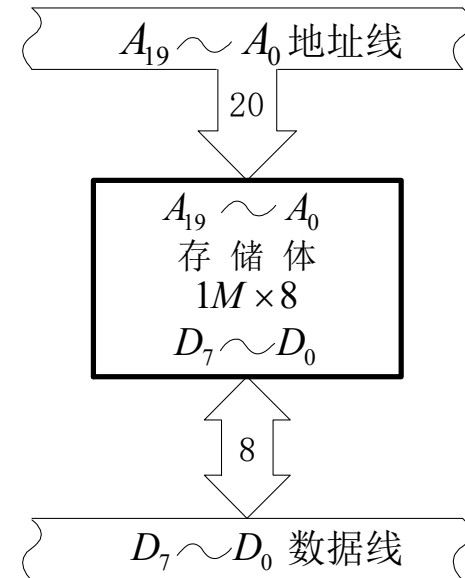
8086/8088存储器结构

(P246)

- ◆ (a) 8086存储器结构; (b) 8088存储器结构



(a)



(b)



8086存储器结构

- ◆ 8086CPU的指令系统中，既有字节也有字操作。
- ◆ 8086CPU对存储器每进行一次字节数据的存取：
 - 无论其地址是偶地址或奇地址，只需要一个总线周期，
- ◆ 而当8086CPU对存储器进行一次字数据的存取：
 - 其所需的总线周期则与字的地址是偶地址还是奇地址密切相关（P246表6.1）



规则字存取

- ◆ 进行一次规则字存取，需要一个总线周期：
 - $A_0=0, \overline{BHE}=0$ ，就可以一次实现在两个库中完成一个字（高低字节）的存取操作，
 - 所需的 \overline{BHE} 及 A_0 信号是由字操作指令给出的。

非规则字的存取

- 进行一次非规则字存取，需要**两个**总线周期才能完成。

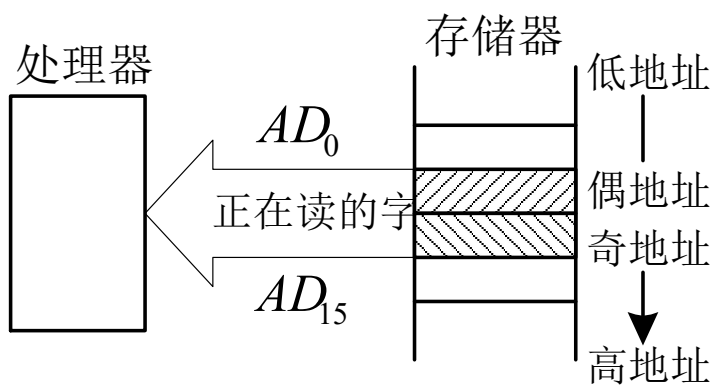
表 6.1 存储体选择

$\overline{\text{BHE}}$	A_0	操 作
0	0	奇偶两个字节同时传送
0	1	从奇地址库传送一个字节
1	0	从偶地址库传送一个字节
1	1	无操作

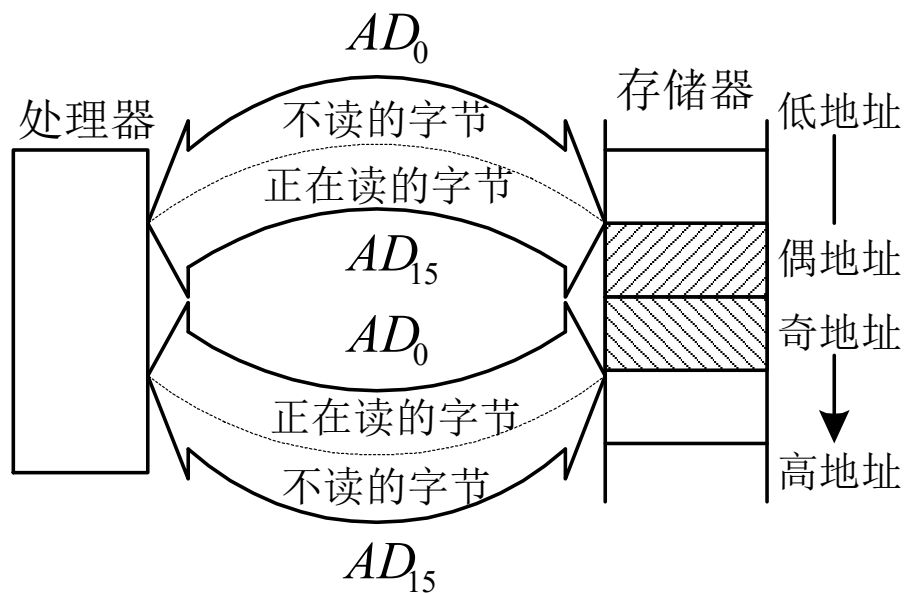


8086CPU字的读操作情况

- ◆ (a) 存取规则字 (b) 存取非规则字



(a)



(b)





8088微机系统的存储器结构

对于8088CPU:

- ◆ 数据总线: 8位;
- ◆ 存储器结构: 由单一的存储体组成;
- ◆ $A_{19} \sim A_0$: 20位地址线都参加存储体内寻址操作。



8088微机系统的存储器结构

- ◆ 每个总线周期：8088CPU只能完成一个字节的数据存取。
 - 所以无论是字，还是字节数据的存取操作；
 - 也不管是规则字还是非规则字的操作。
- ◆ 存取字数据：由两个连续的总线周期组成，由CPU自动完成。





80386微机系统的存储器结构

- ◆ 80386CPU的DB:32位
- ◆ 其存储器也是按字节为单位组织的,
- ◆ 存储器结构:类似于8086, 只是存储体是4个库:
 - 分别与DB的 $D_7 \sim D_0$ 、 $D_{15} \sim D_8$ 、 $D_{23} \sim D_{16}$ 和 $D_{31} \sim D_{24}$ 相连, 选通信号分别为 $\overline{BE0} \sim \overline{BE3}$,
 - $A_{31} \sim A_2$ 共30根AB用来作为库内存储单元的寻址信号。

注意, 规定与 $D_7 \sim D_0$ 相连的库中存储单元的地址是能被4整除的, 该库的选通信号是 $\overline{BE0}$ 。



80386微机系统的存储器结构

- ◆ 注意，规定与 $D_7 \sim D_0$ 相连的库中存储单元的地址是能被4整除的，该库的选通信号是 $\overline{BE0}$ 。





作业

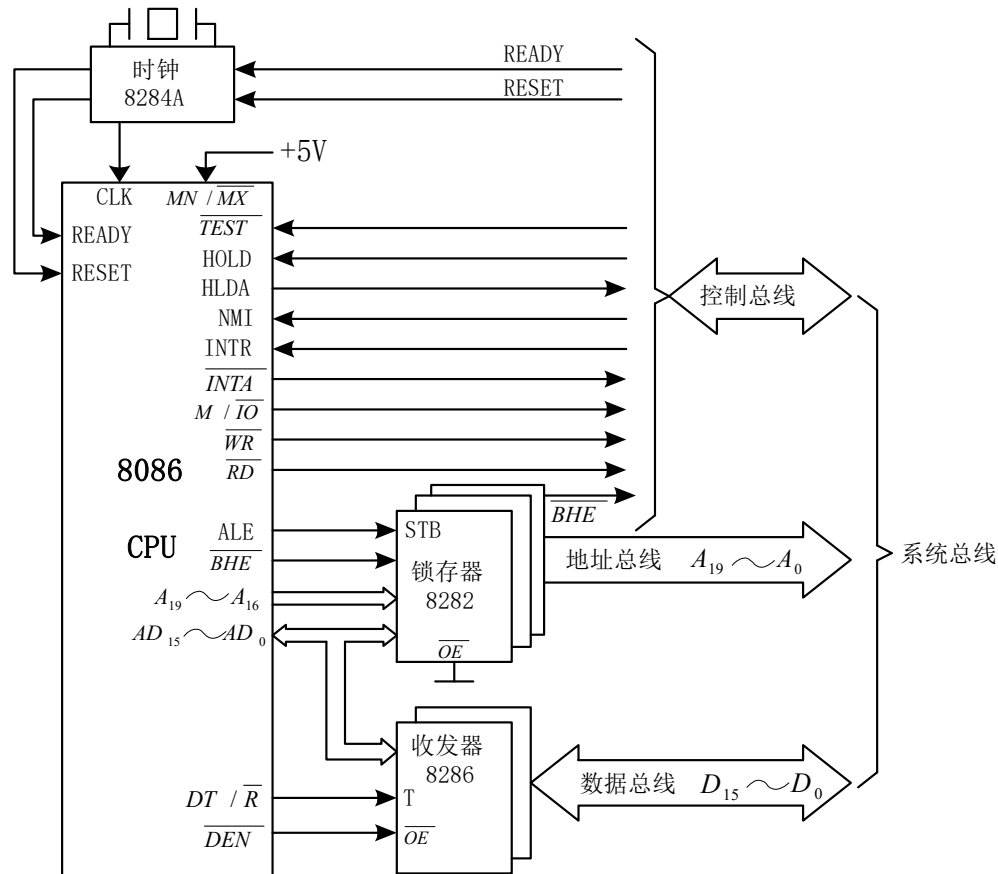
P233 第1~5题



第5章重点难点

通过对微处理器级总线的学习，结合总线操作时序，应掌握系统级总线的结构，这是组成微机系统和进行系统硬件开发的基础。

8086最小方式系统总线结构





- ◆ 8086CPU组成最小模式系统时，其基本配置除CPU芯片外，还应包括
 - 时钟发生器8284A;
 - 地址锁存器8282;
 - 总线收发器8286/8287（可选）
 - 以及存储器、I/O接口和外部设备，图中略去了与存储器、I/O接口和外部设备的连接。
- P203～206



几点说明 一

- 时钟发生器8284A为系统提供频率恒定的时钟信号，
- ◆ 同时对外部设备发出的（READY）和（RESET）信号进行同步。



几点说明 二

- ◆ 由于8086CPU采用了**AB与DB复用**，**AB与状态线复用**等技术，而在执行对存储器读写或对I/O设备输入输出的总线周期中，存储器或I/O设备要求地址信息一直保持有效
- ◆ **地址锁存器**：以形成独立的外部**AB**和**DB**。
- ◆ 常用的地址锁存器有8D锁存器**8282**和**74LS373**。



几点说明 三

- ◆ DB的驱动:当系统中所连的存储器和外设较多,才要用
- ◆ 8286/8287作为总线收发器,也可采用74LS245。





概念测试

- ◆ 1.若8086的引脚接+5V，则当CPU执行指令IN AL, DX时，其引脚信号 \overline{RD} , \overline{WR} 和 M/\overline{IO} 的状态相应为 _____。

答案：0,1,0

- ◆ 2.8086CPU在执行字数据读写操作时，当字地址是偶数时，需要__1__个总线周期完成，而当字地址是奇数时，需要__2__个总线周期完成。

答案：1,2