

## 一、 打开软件

在开始菜单中，双击 Quartus Prime 18.1 打开软件（如图 2- 1 所示）或者双击桌面上的 Quartus Prime18.1 的图标打开软件。软件界面如图 2- 2 所示。

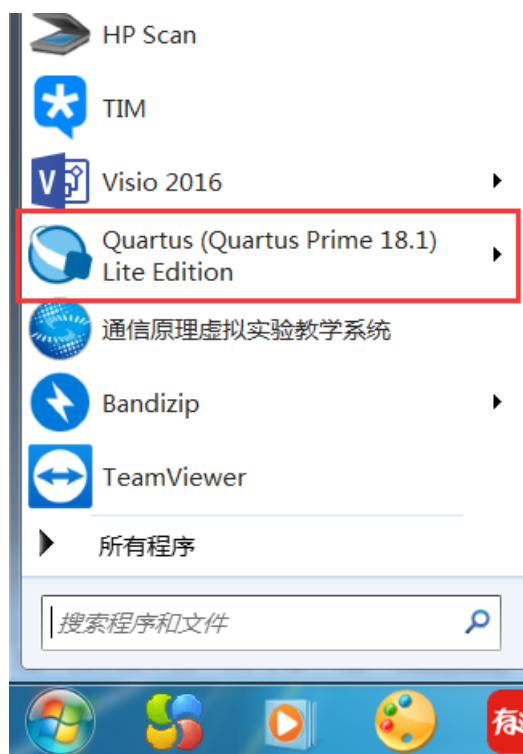


图 2- 1 开始菜单

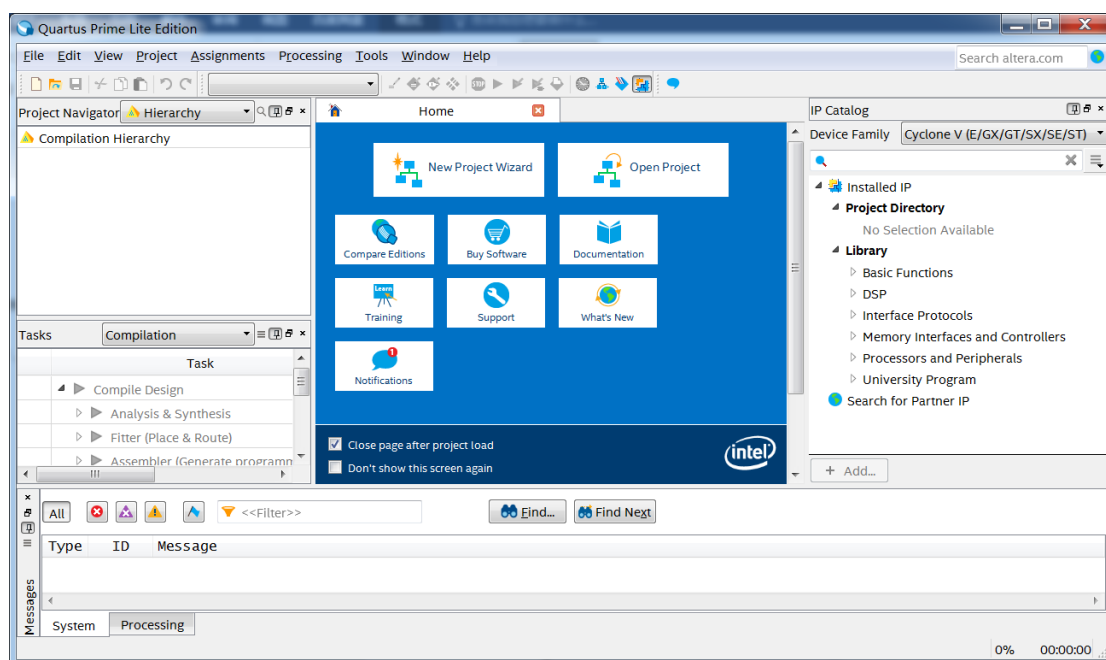


图 2- 2: Quartus Prime 18.1 初始界面

关掉 Home 窗口后，Quartus Prime 的工程工作区显示在界面上，Quartus Prime 界面上的各个工作窗口如图 2- 3 所示。

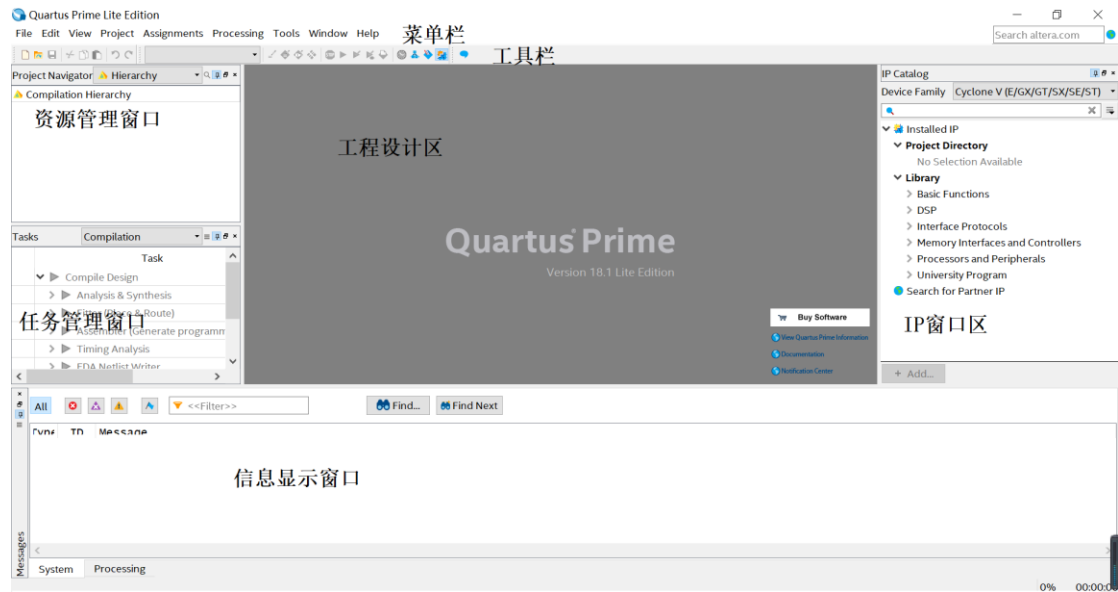


图 2- 3 Quartus Prime 软件窗口介绍

## 二、创建新工程

- 1) 选择 File 菜单下 “New Project Wizard..”，创建新工程，如图 2- 4 所示。

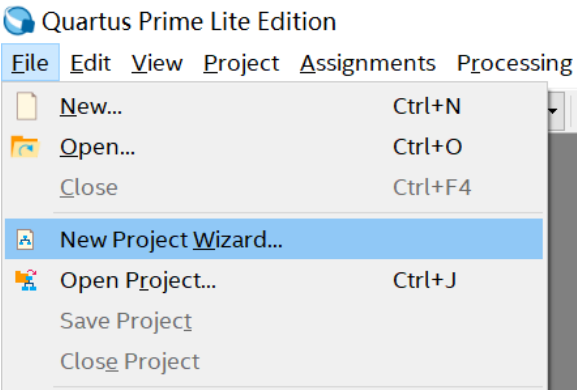


图 2- 4 创建新工程（1）

- 2) 查看 Introduction 内容，点击 next

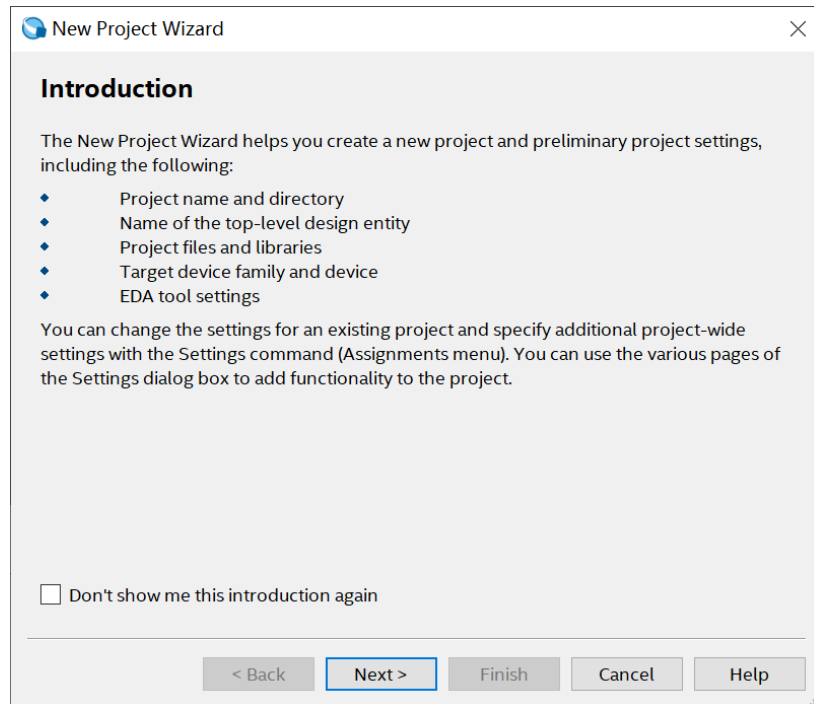


图 2- 5 创建新工程（2）

- 3) 在出现的工程路径和工程名称设置话框中输入工程存放路径、工程名和顶层文件名，工程存放路径建议不要放在安装路径下，便于工程文件与安装文件区别开，另外也有助于工程的统一管理，命名的工程名应便于区分，如存放路径为 F:/project/DL20180000/lab2，其中 DL 为数字逻辑英文 digital logic 的缩写，20180000 为学生学号，以后该同学的工程都存放在 DL20180000 中，lab2 是本次实验的工程目录。注意：工程名根据个人喜好设置，需以字母开头，中间无特殊符号。然后点击 Next。

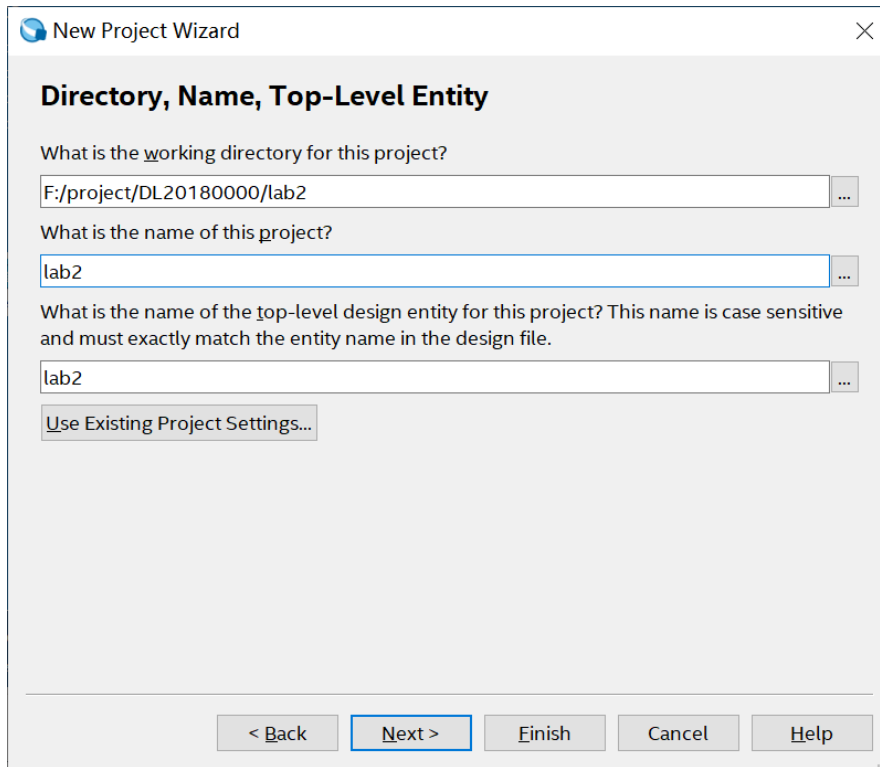


图 2- 6 创建新工程（3）

4) 第一次新建工程时因为没有工程模板，所以选择工程类型为 “Empty Type”，随后会弹出指定工程文件、目标器件、EDA 工具等的选项。如果有合适自己的工程模板，则可以在此步选择 “Project template”。

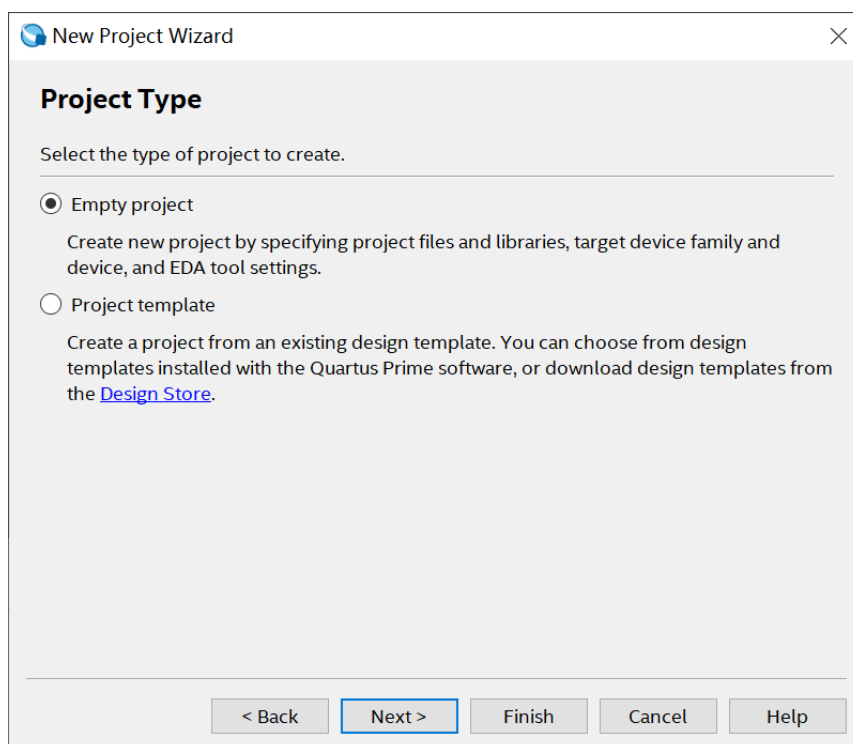


图 2- 7 创建新工程（4）

5) 在弹出的对话框中将已经设计好的文件添加到工程中，这些文件可以为 Verilog、VHDL 源文件、利用 Quartus Prime 设计出的图形设计文件或第三方综合工具综合后的网表文件，然后点击 Next。如本次暂时无需添加文件，则直接点击 Next。

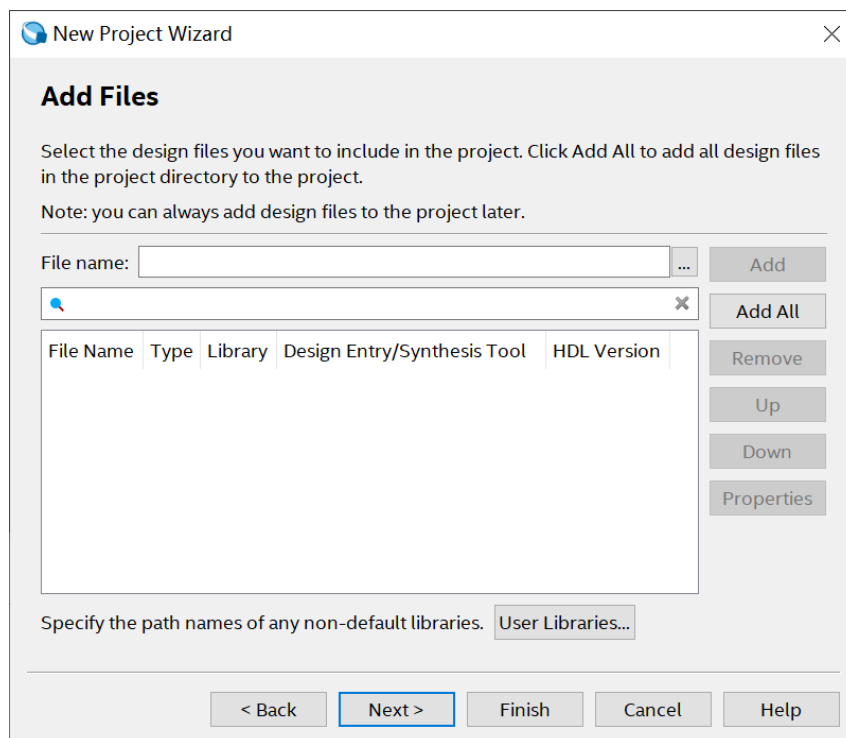


图 2- 8 创建新工程（5）

6) 在弹出的对话框中指定目标芯片。在 Family 下拉列表框中选择器件系列，相应地在 Available devices 列表框中会列出该系列器件的型号。如果非常清楚器件的特征，如封装、引脚数、速度等级等，可以从右侧 Package 处选择封装，从 Pin count 处选择引脚数，从 Speed grade 处选择速度等级从而快速定位所需要的器件型号。如图示中选择的 Family 系列为 MAX V，芯片型号为 5M160ZE64C5。这个型号表示该芯片属于 Intel FPGA 的 MAX V 器件系列，具有 160 个逻辑单元，封装为扁平封装，有 64 个管脚，温度等级为商业档，速度等级为 5。请读者注意的是，Intel FPGA 的芯片速度等级数字越大延迟越大，Xilinx 的芯片速度等级数字越大延迟越小。点击 Next。

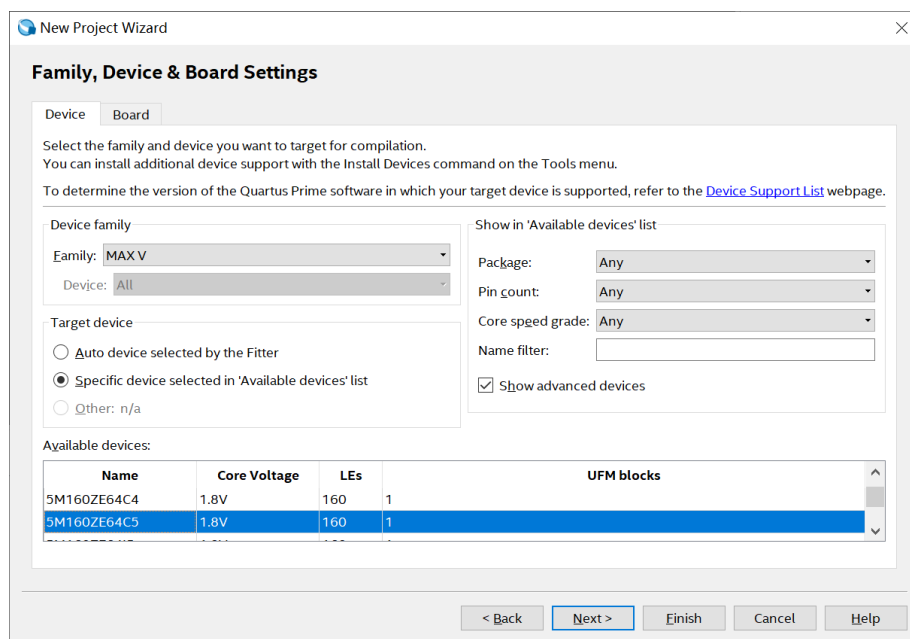


图 2- 9 创建新工程（6）

7) 在弹出的 EDA 工具设置界面中，可以指定第三方 EDA 综合、仿真与时序分析工具，在 Design Entry/Synthesis 后指定第三方综合工具，在 Simulation 后指定仿真工具。如选择使用 Quartus Prime 自带的综合、仿真与时序分析工具，则选择 ModelSim-Altera，点击 Next。

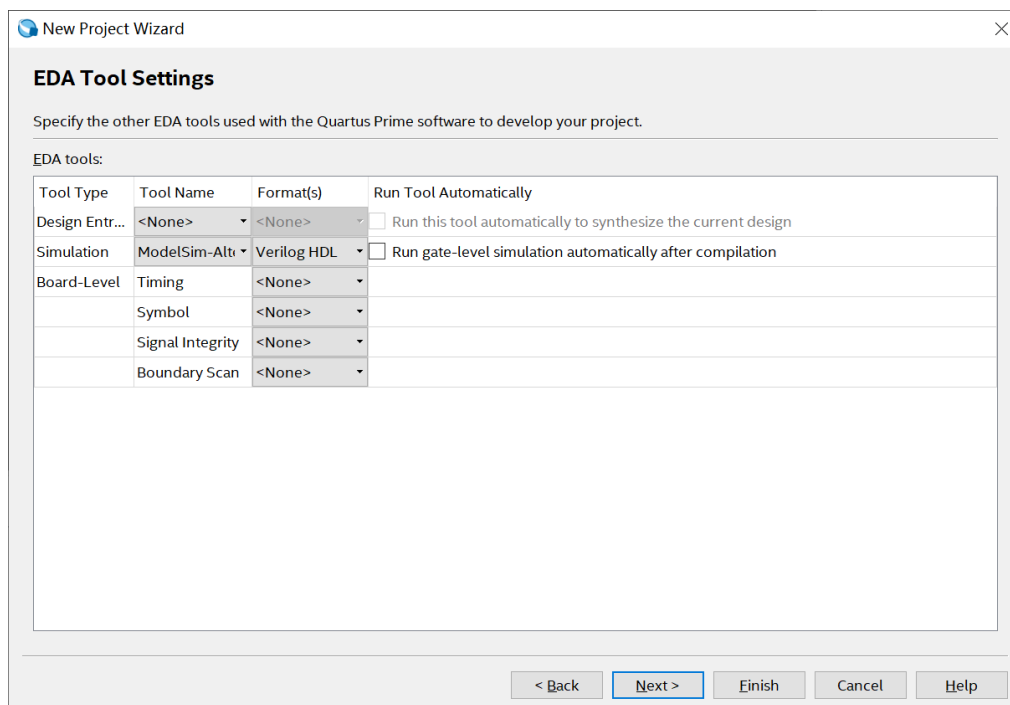


图 2- 10 创建新工程（7）

8) 在弹出的对话框中列出了工程设置信息，依次为工程路径、工程名、顶层实体名、加入文件数、添加的库数、选择的器件信息、EDA 工具信息及器件操作条件信息，点击 Finish 完成工程创建。

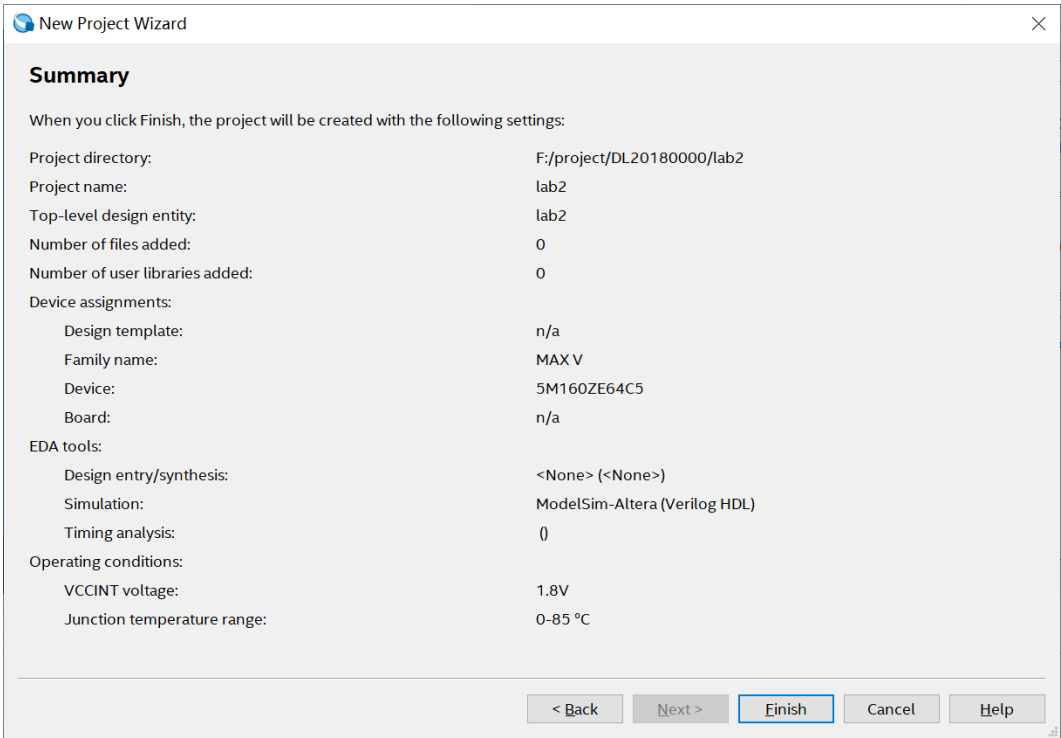


图 2- 11 创建新工程（8）

9) 工程创建后 Quartus Prime 主界面如图 2- 12 所示，芯片型号显示在工程导航栏（Project Navigator）里分层结构（Hierarchy）处，顶层实体文件名称 lab2 显示在器件名称下方。

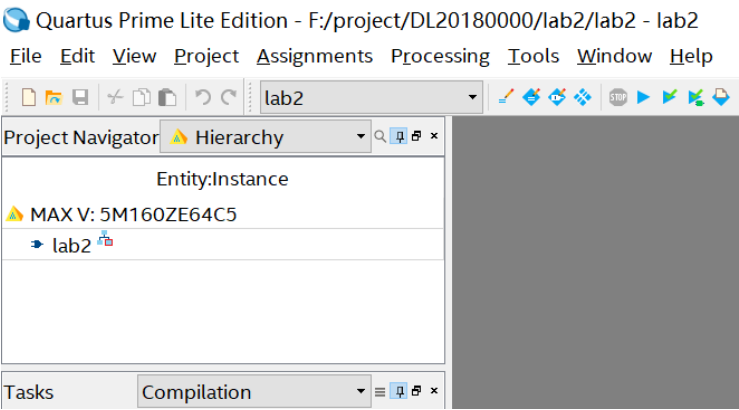


图 2- 12 创建新工程（9）

10) 工程创建后，工程存放路径 F:\project\DL20180000\lab2 下有创建工程产生的文件，包括一个名为 db 的文件夹和两个文件，其中 lab2.qpf 是工程文件，它以建立工程时设置的工程名 lab2 为名（如图 2- 13 所示）、以 qpf 为后缀。一个工程对应一个 qpf 文件，如果在操作过程中误关了工程，可以进入工程存放路径双击 qpf 文件重新打开该工程。qsf 是工程设置文件。此时的工程是一个空工程，即没有任何设计文件。



图 2- 13 创建新工程（10）

### 三、设计输入

新建工程完成后，接下来就可以进行电路设计了。在 Quartus Prime 中提供了多种设计输入的方式，如：原理图、硬件描述语言、IP 核调用等，本例中以原理图为例进行介绍。原理图设计输入是一种传统的设计方法，以符号引入方式将需要的逻辑函数引入。

选择 File->New..或者点击工具栏中的 New 快捷图标或者使用快捷键 Ctrl+N 开始新建输入文件，如图 2- 14 所示。

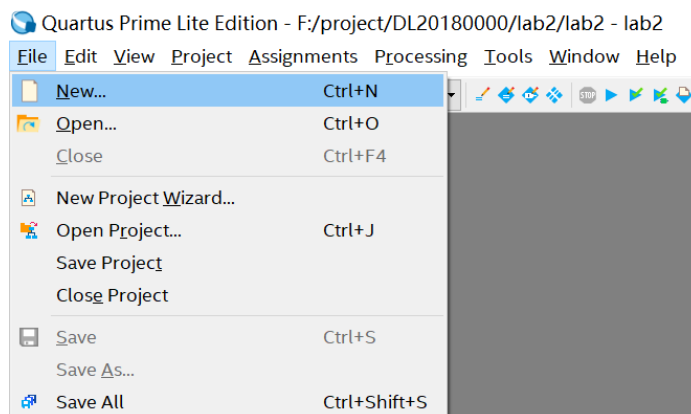


图 2- 14 建立输入入口

在新建对话框中选择 Design Files 下的 “Block Diagram/Schematic File”，如图 2- 15 所示。



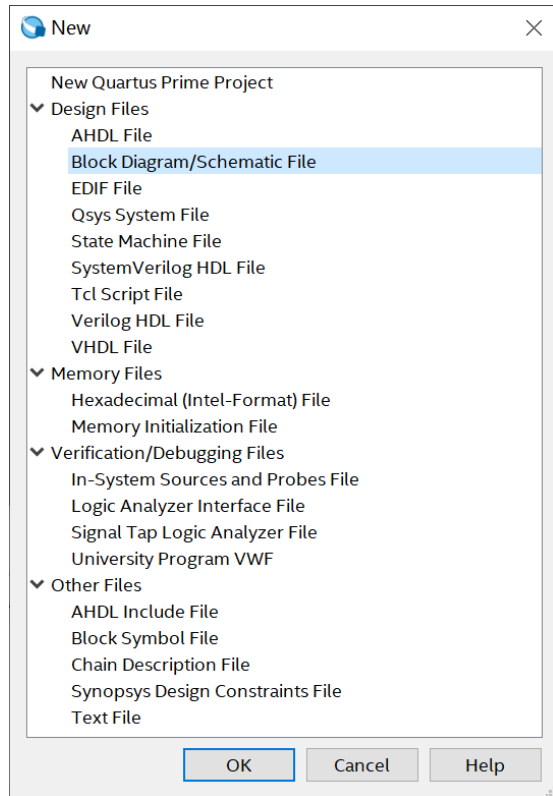


图 2- 15 新建对话框

选中“Block Diagram/Schematic File”后点击“OK”按钮，出现图 2- 16 的原理图编辑窗口。图形编辑窗口上侧为绘图工具栏。

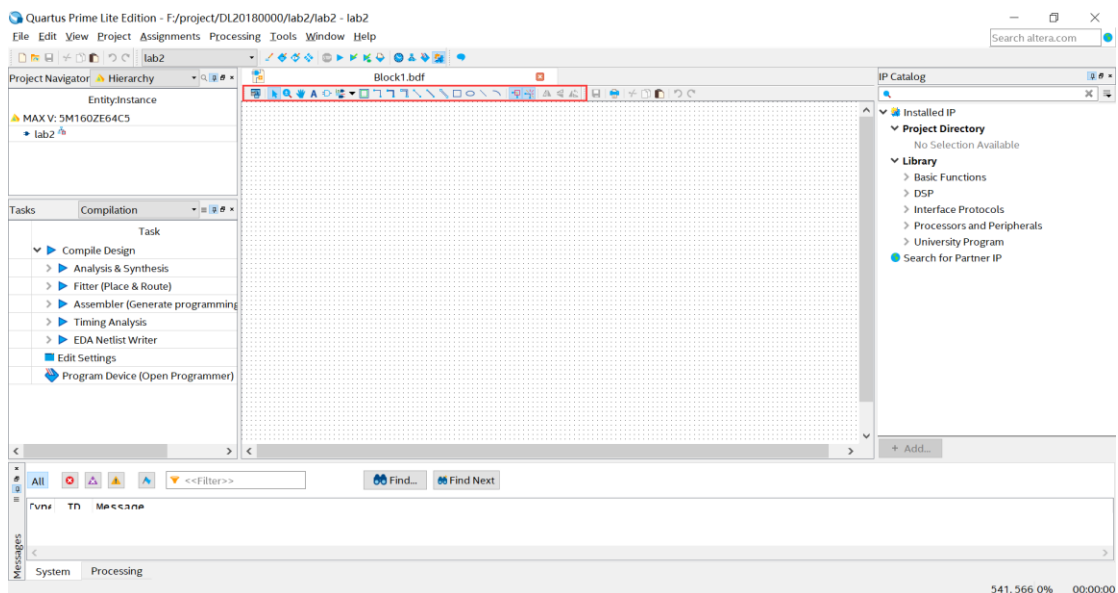



图 2- 16 原理图编辑窗口

进行原理图绘制时首先要添加原理图符号，点击工具栏按钮中的  Symbol Tool 图标或者在原理图编辑窗口中双击鼠标左键，打开 Symbol 对话框，如图 2- 17 所示。

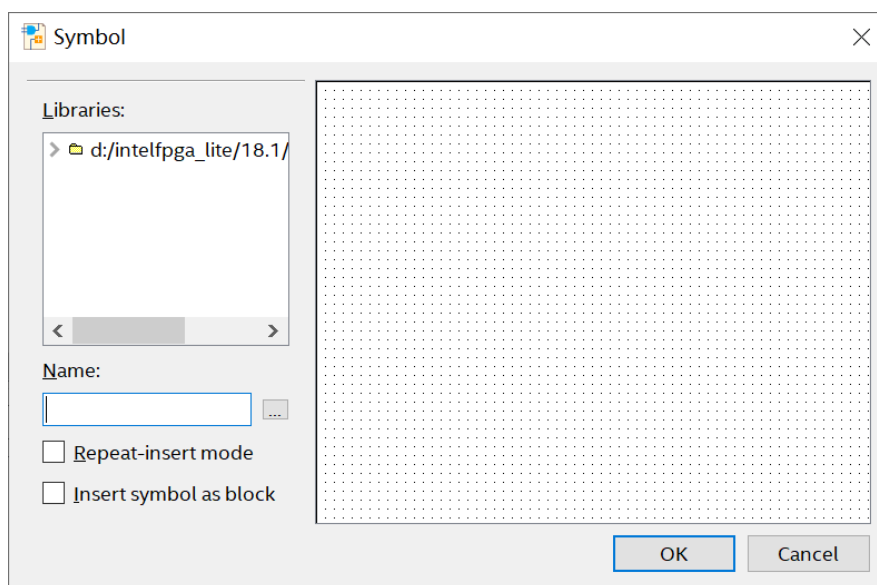


图 2- 17 电路符号选择窗口

Symbol 对话框左上侧 Libraries 部分，列出了当前可以调用的库资源，库资源包含安装 Quartus Prime 软件时自带的资源库和用户自己创建的工程资源库，**错误!未找到引用源。**中只显示了安装时自带的资源库，如果用户创建了自己的工程资源库，则会显示在自带资源库的下方。

在 Symbol 窗口的 Name 处输入 and2，同时输入与门的符号就出现在预览区域中，如图 2- 18 所示。

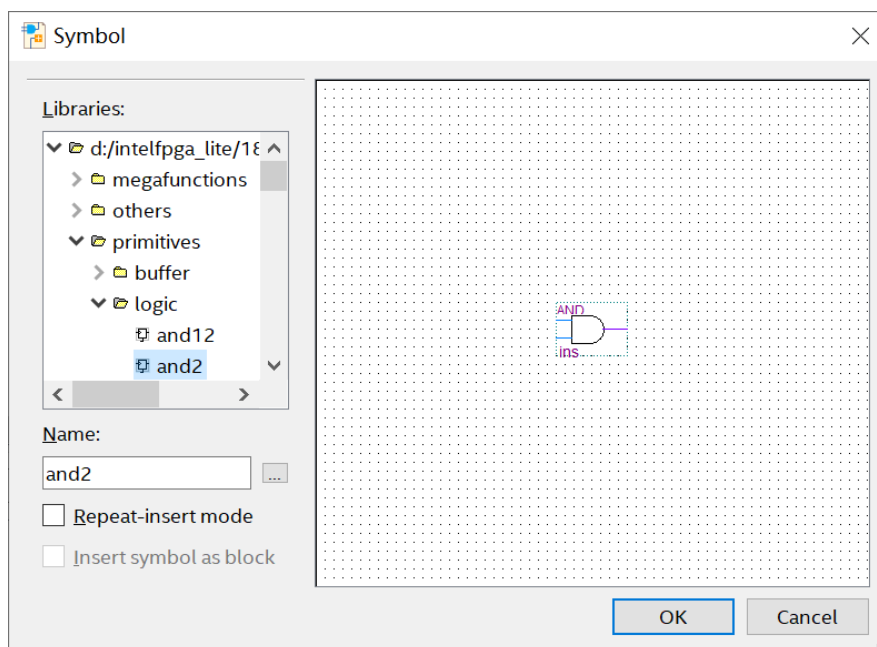


图 2- 18 Symbol 对话框右侧预览符号

在选中需要的原理图符号后, 点击 Symbol 窗口中的 OK 按钮或者直接按回车键, Symbol 窗口消失, 返回到原理图编辑窗口, 选中的原理图符号会黏在鼠标上随光标移动, 在原理图

编辑窗口选择合适的位置点击鼠标左键即可将该符号放到原理图编辑窗口，如图 2- 19 所示。

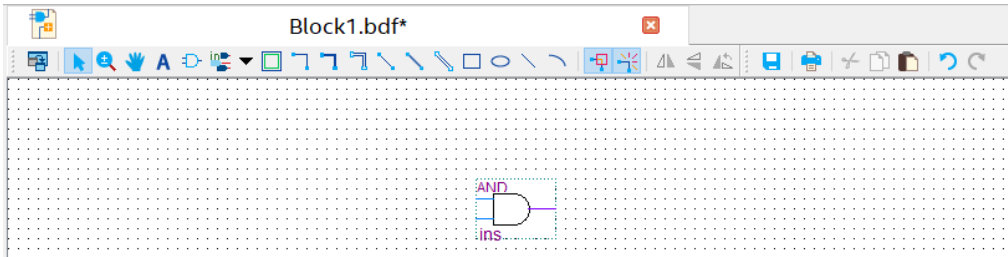


图 2- 19 在原理图文件中添加原理图符号

重复刚才添加二输入与门的方式，将本次实验中所需的原理图符号二输入与门 and2、二输入或门 or2、非门 not、输入端 input、输出端 output 都添加到原理图窗口中，如图 2- 20 所示。

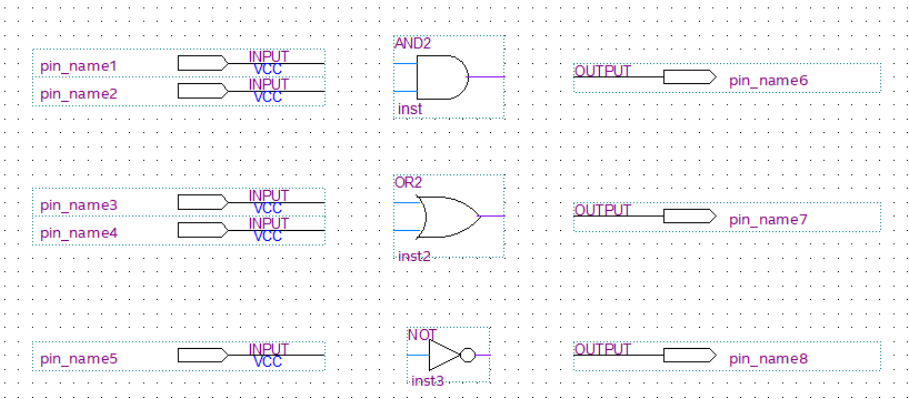


图 2- 20 在原理图文件中添加实现与、或、非电路所有所需符号

使用绘图工具栏中的连线工具或者鼠标拖动方式将输入端口接入对应门的输入端，输出端口与对应门的输出端相连，得到如图 2- 22 所示的与、或、非门电路。连线的时候请注意线不能乱连、错连，如果连线位置不正确，则会出现红色的 x 符号，在这种情况下，将该处的连线删除，重新连接，直到所有的线都正确连接。

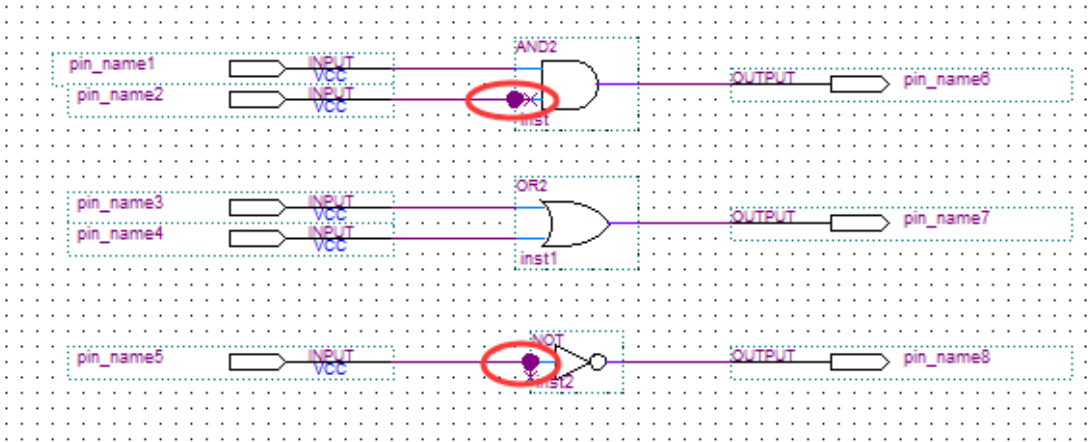


图 2- 21 线未正确连接时出现红 X

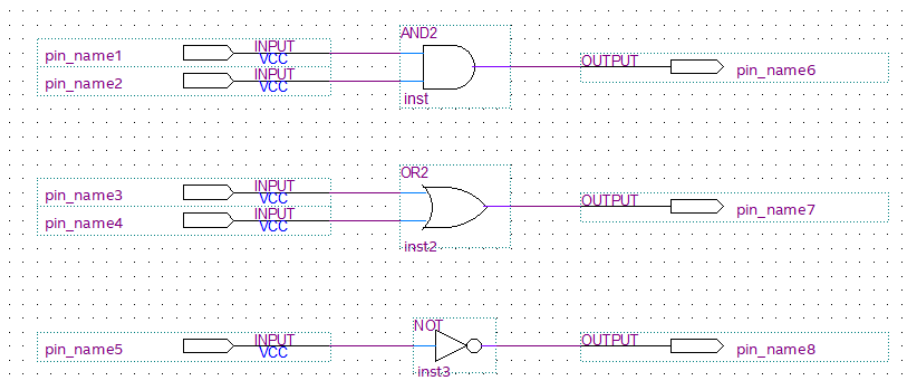


图 2- 22 在原理图文件中实现的与、或、非电路

从原理图添加的输入输出端口均有一个默认的 pin name，为了使这些输入输出的名字看起来更直观，需要为这些端口重命名，重命名的方法为，选中需要被重命名的端口，单击右键，选择 Properties，在 Pin name 处输入合适的端口名，单击 OK，如图 2- 23 示。

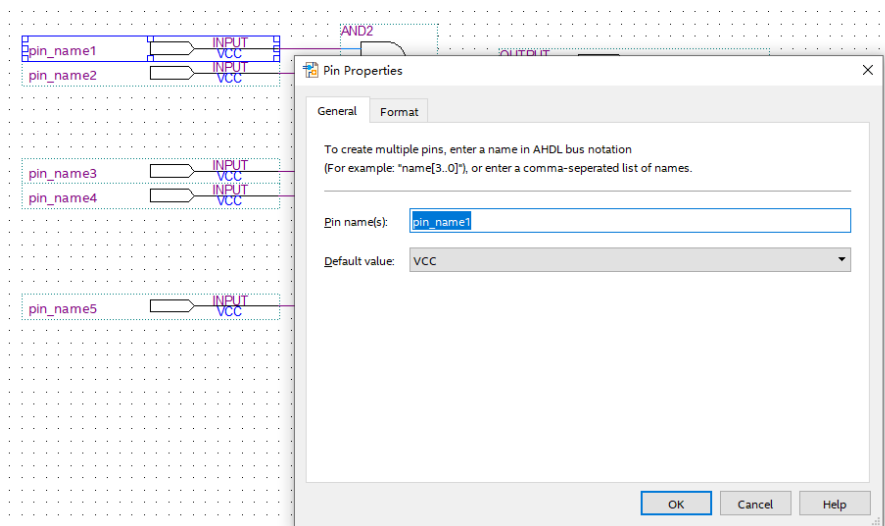


图 2- 23 修改端口名

本例中要求实现二输入与门、二输入或门和非门电路，二输入与门的输入输出分别为 A、B、O1，二输入或门的输入分别为 C、D、O2，非门的输入输出分别为 E 和 O3，所以将 5 个输入依次重命名为 A、B、C、D、E，将输出依次重命名为 O1、O2、O3，如图 2- 24 所示。

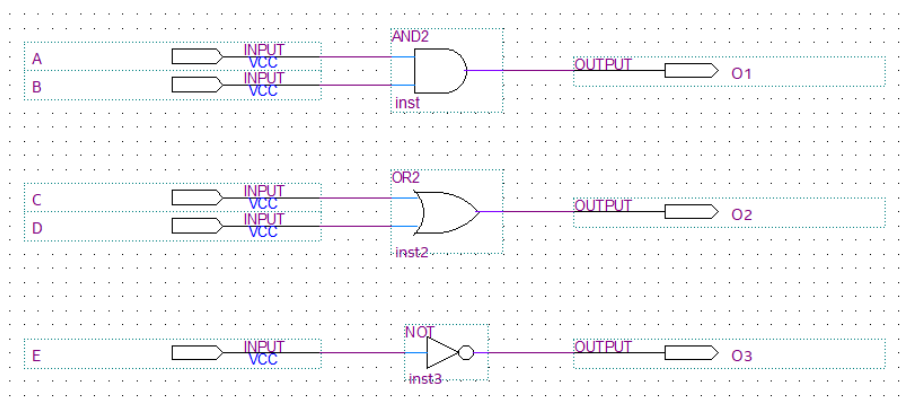


图 2- 24 重命名端口后的电路图

点击保存按钮，保存原理图文件并为设计的原理图文件命名（如 lab2test），注意保存的文件名可以由用户自定义，但是应以字母或下划线开头，中间不能包含特殊字符。如果保存的文件名 lab2test 和新建工程时设置的顶层实体名称 lab2 不一致，需要重新设置顶层文件，方法为在工程导航窗口中将工程导航选项从下拉菜单中由树形 Hierarchy 切换到文件 Files，选中需要被设为顶层的文件，单击右键，选择 Set as Top-Level Entity。

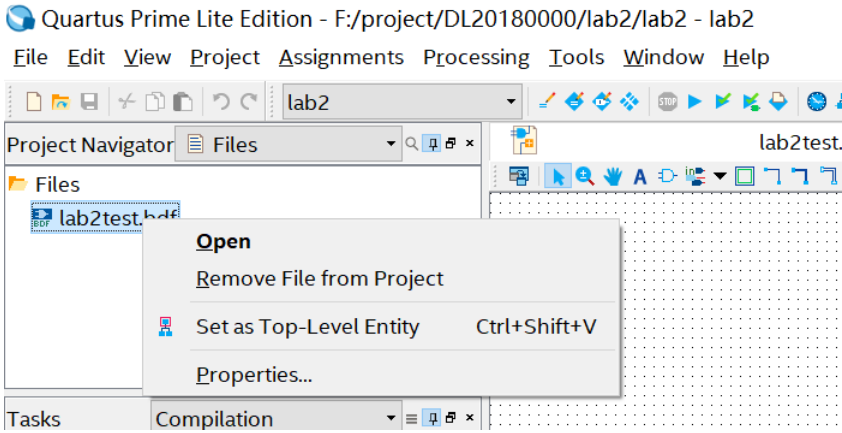


图 2- 25 设置顶层文件

设置顶层文件后，重新切换至工程导航栏的树形结构处，将看到顶层实体已经变为被设置为顶层实体的文件名，如图 2- 26 所示。

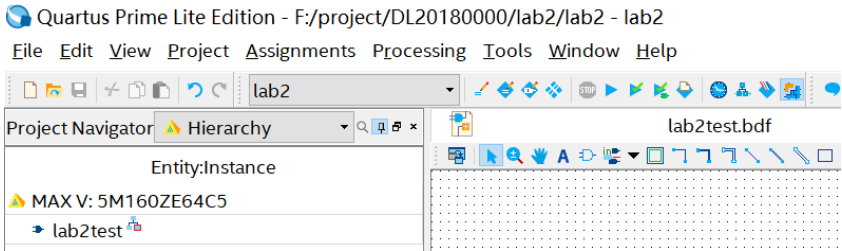



图 2- 26 重置顶层实体后的树形结构图

## 四、编译

点击 Processing->Start Compilation 或者点击快捷菜单键中的编译按钮  进行全编译，全编译包括语法检查、逻辑综合、布局布线、生成编程配置文件、EDA 网表写入等，全编译开始后，Task 任务栏中的每一个小步骤依次执行，并显示编译到哪一个具体的步骤，如图 2-27 所示。同时在 Messages 信息栏中显示相关编译信息，如图 2- 28 所示。全编译完成后会产生编译报告，编译报告根据当前执行的编译命令显示当前工程的信息和占用的资源情况。若编译不成功，信息栏中将以红色字体呈现错误信息提示，可根据提示修改设计文档后，重新编译，直到编译成功。全编译成功后在工程目录下将产生一个名为 output\_files 的文件夹，该文件夹中存放有用于下载到目标器件中的配置文件。

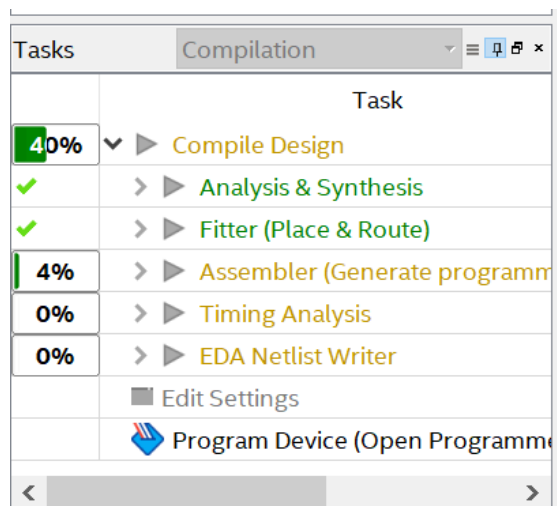


图 2- 27 执行全编译时 Task 任务栏过程显示

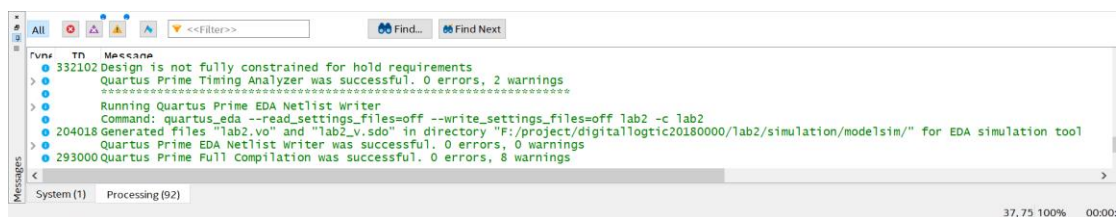


图 2- 28 Message 信息窗口

注意：以上全编译中的各个步骤可以全部执行，也可以单独执行，单独执行时，在 Task 任务栏对应的小步骤上右键点击选择 Start 开始执行，如图 2- 29 所示。

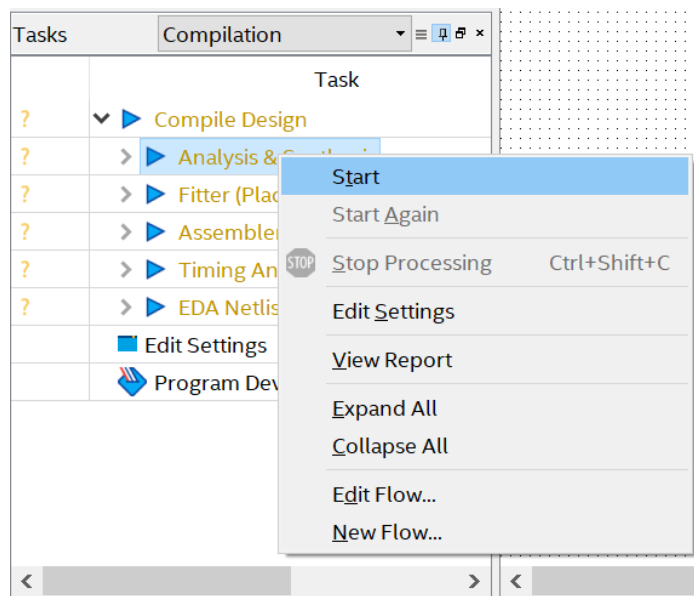


图 2- 29 单独执行 Analysis&Synthesis

## 五、仿真

Quartus Prime 集成了可以进行功能仿真和时序仿真的仿真器，在进行仿真前首先要建立矢量波形文件。

1、 点击 File->New，在新建窗口中选择位于 Verification/Debugging Files 下的 University Program VWF 文件，如图 2- 30 所示，点击 OK 按钮，出现矢量波形文件窗口，该窗口包含工具栏、信号栏和波形栏三部分，如图 2- 31 所示。

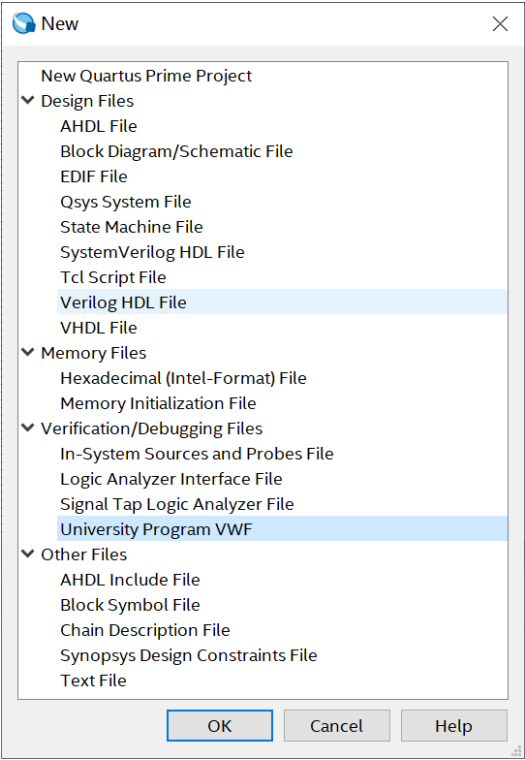


图 2- 30 新建矢量波形文件窗口

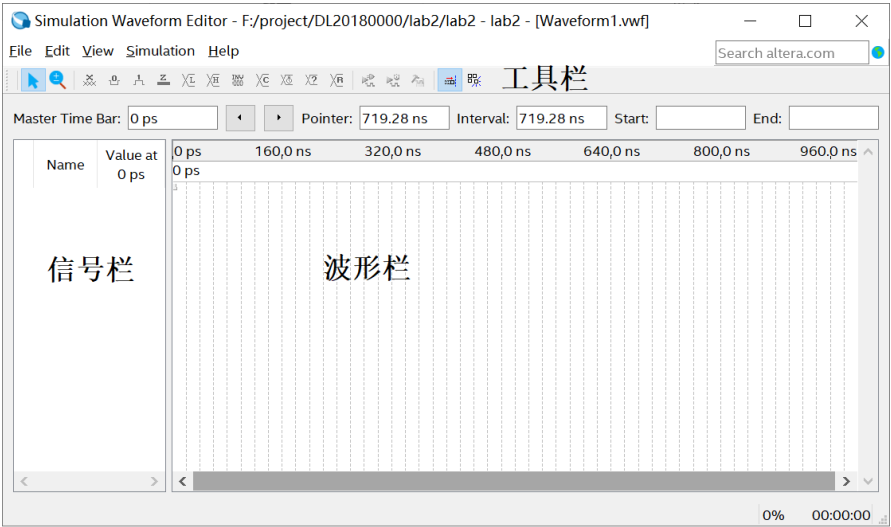


图 2- 31 波形编辑窗口概览

2、 仿真前要添加需要被仿真的信号。在信号栏空白处双击鼠标左键或者在 Edit 菜单

栏下选择 Insert->Insert Node or Bus，弹出如图 2- 32 所示的插入节点或总线对话框。

3、单击图 2- 32 右侧的 Node Finder 按钮，弹出如图 2- 33 所示的 Node finder 对话框，在该对话框中将右上侧 Filter 处选择为 Design Entry(all names)，点击 Filter 下方的 List 按钮，设计中的信号不限于输入输出信号都将在 Nodes Found 栏中显示出来，如图 2- 33 所示，选择所需要仿真的信号（如本例中选择输入结点 A、B、C、D、E 和输出结点 O1、O2、O3）点击 ‘>’ 添加到右侧 Selected Nodes 栏中，如图 2- 34 所示。如果要选中所有列出节点，则直接点击 ‘>>’ 按钮即可将所有节点添加到 Selected Nodes 栏中。完成选择后点击 OK 返回 Insert Node or Bus 窗口，再点击 OK 即可将信号添加到矢量波形编辑窗口，如图 2- 35 所示，此时所有的输入信号均默认为 0。

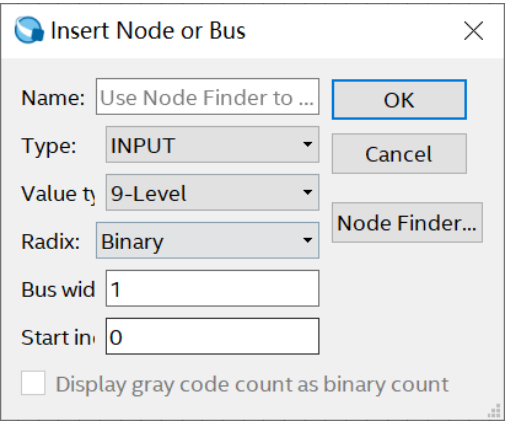


图 2- 32 插入节点或总线对话框

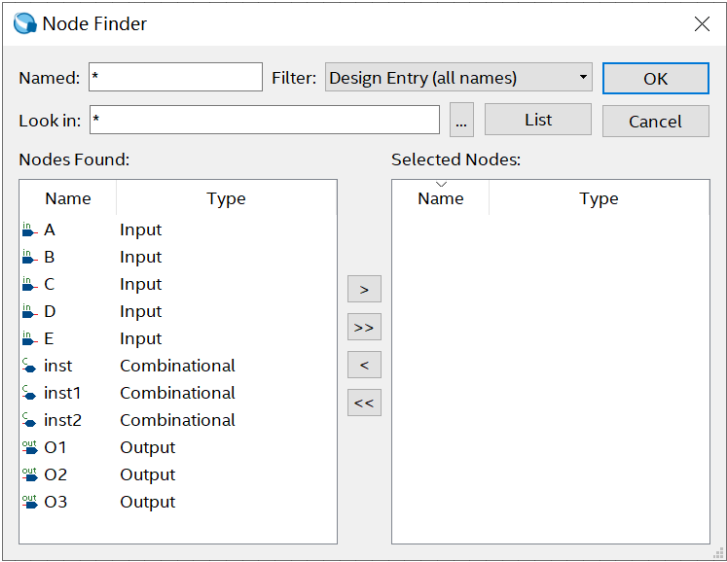


图 2- 33 Nodes Finder 窗口



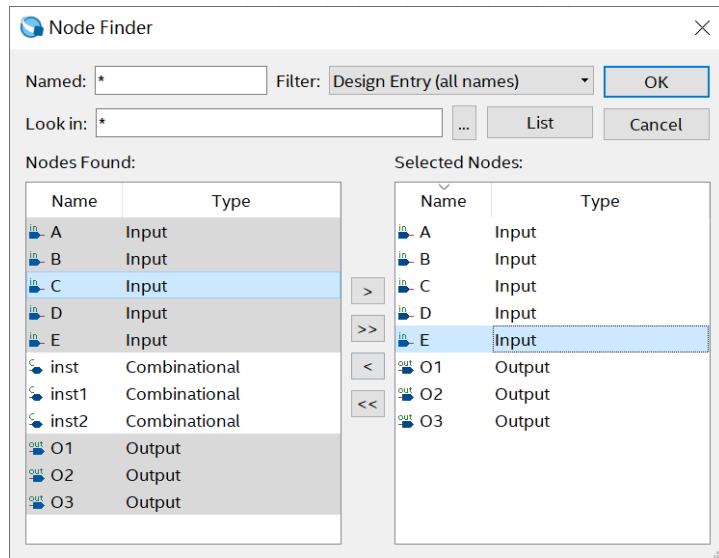


图 2- 34 添加所需仿真的节点

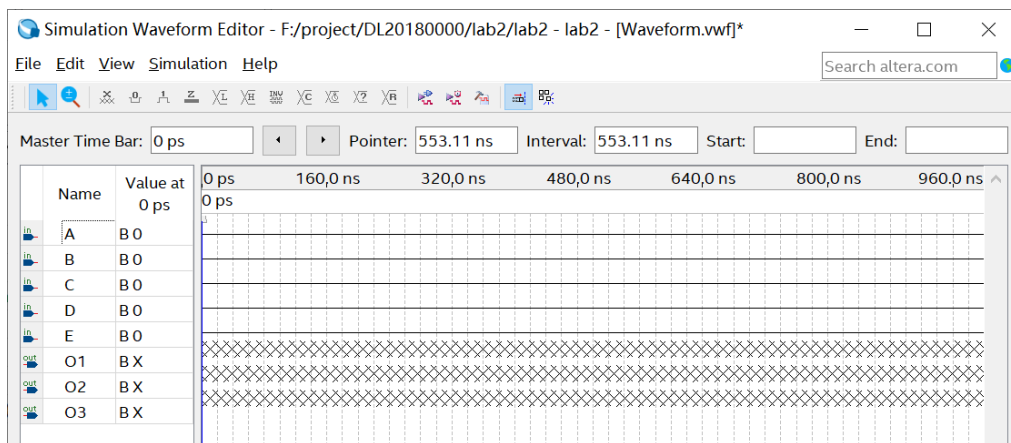




图 2- 35 添加信号后的矢量波形编辑窗口

4、 在波形编辑窗口中，选中信号栏中的某个输入信号，通过工具栏或者 Edit 菜单栏下 Value 子菜单来编辑输入信号，如选中信号的某一段点击工具栏中  将信号强制为 0，点击  将信号强制为 1。

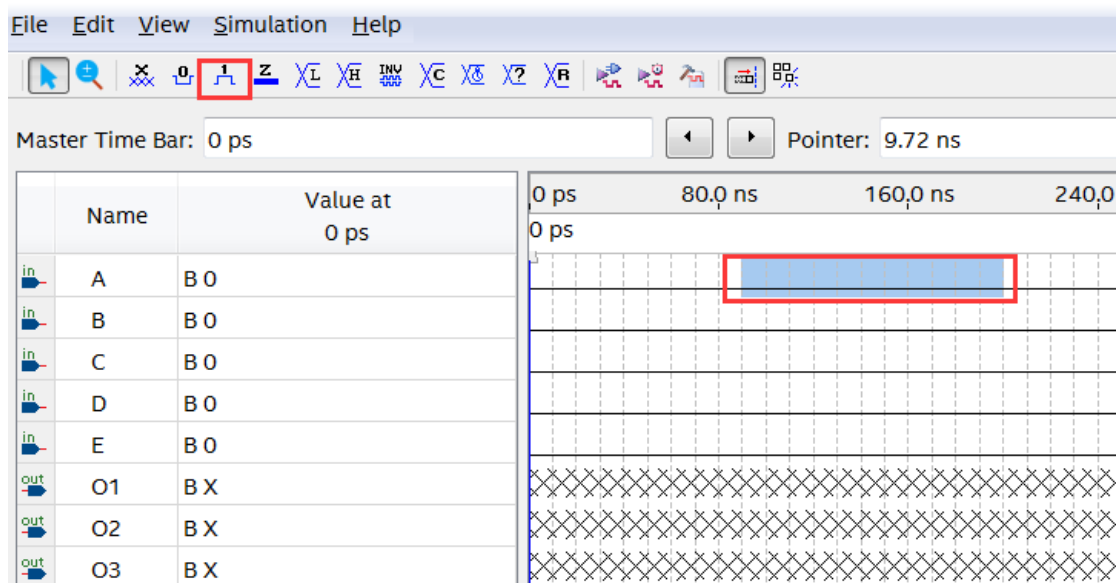


图 2- 36 设置激励波形信号（1）

设置完成的激励波形信号如所示。

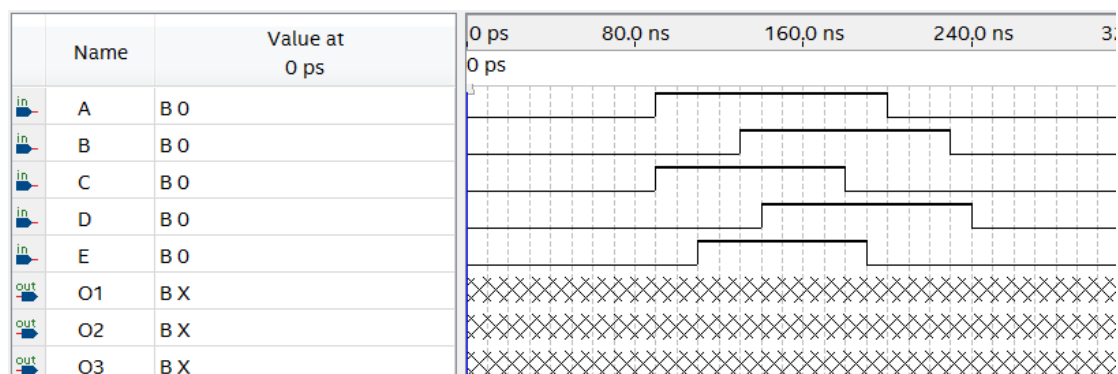
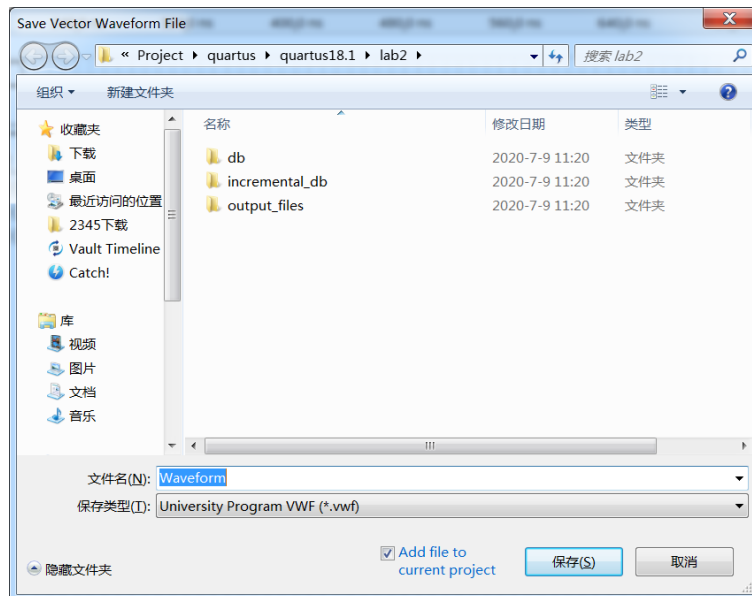



图 2- 37 设置激励波形信号（2）

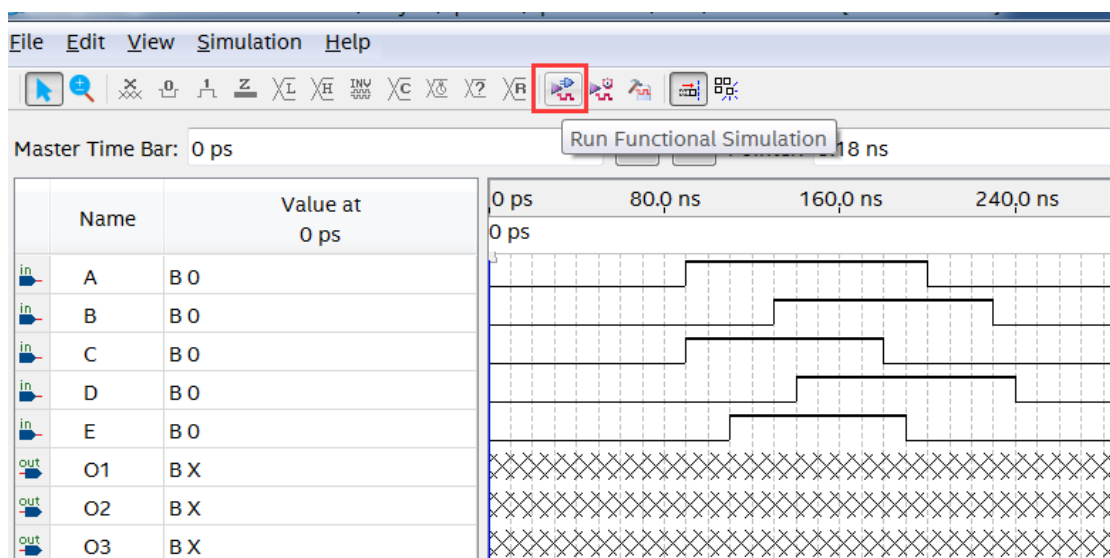
注意：在进行激励信号设置时，要保证输入信号的完备性，即要满足信号所有的输入情况。

思考：如何才能满足输入信号的完备性？

5、 点击 File->Save 或者 Ctrl+s，将设置好的激励波形文件保存到工程中。保存时可以为波形文件进行命名。



6、 然后点击工具栏上的功能仿真按钮 ，运行功能仿真。



7、 仿真结束后，弹出图 2- 38 所示的仿真结果图。

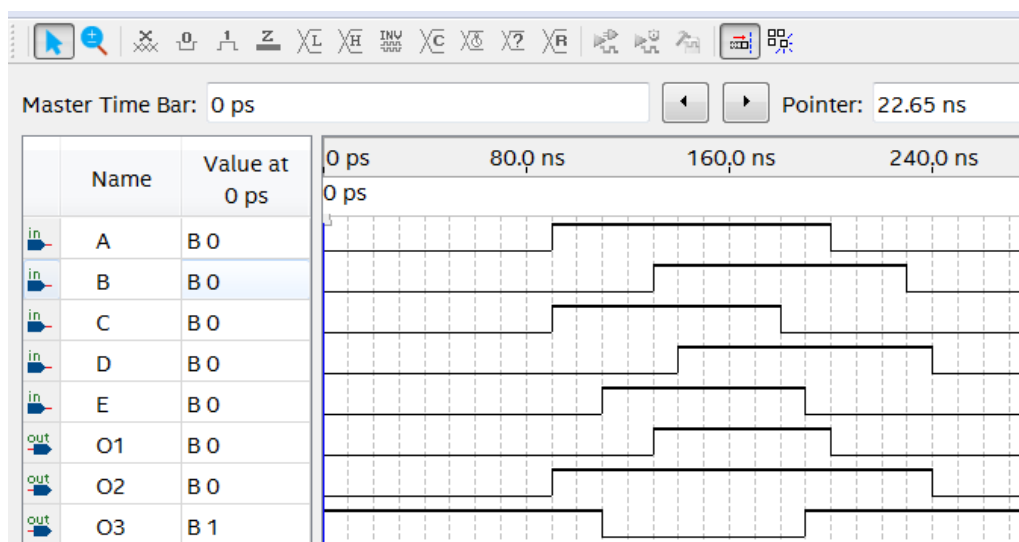


图 2- 38 仿真结果图

仿真结果出现后，应根据仿真结果图，判断所设计电路逻辑是否正确。注意：波形图中的信号位置是可以进行拖动的，方法为：鼠标左击选中待移动的信号，然后拖拽至合适的位置，如本例中 A、B 通过二输入与门得到输出信号 O1，可以将 O1 拖拽至 B 信号的下方，方便观察结果是否正确，同理将 O2 拖拽至 D 信号的下方，拖动之后的运行结果图如图 2- 39 所示。

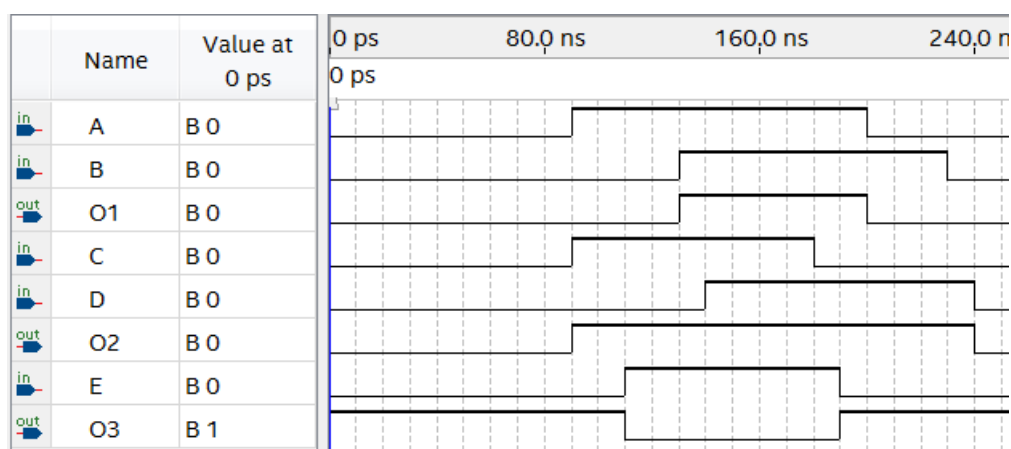


图 2- 39 拖动输出信号位置后的仿真结果图

## 六、管脚分配

略。本次实验不做

## 七、器件编程

略。本次实验不做。