



2022

西安交通大学 信通学院

电子技术实验2

张翠翠

zhangcuicui@mail.xjtu.edu.cn

6 计数器设计与应用



C 目录

CONTENTS

忠 果 敦 精
恕 毅 笃 勤
任 力 励 求
事 行 志 学

01

计数器和分频器原理

02

实验内容

03

实验报告要求

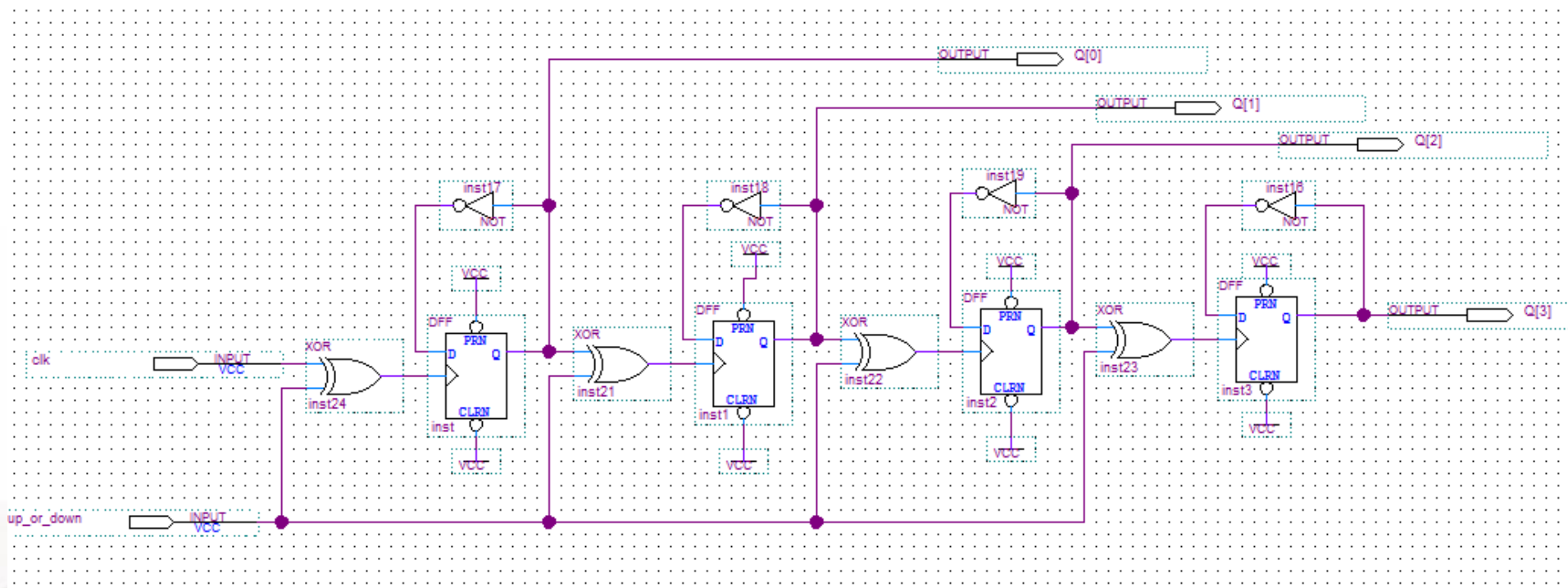
04

下一次实验内容

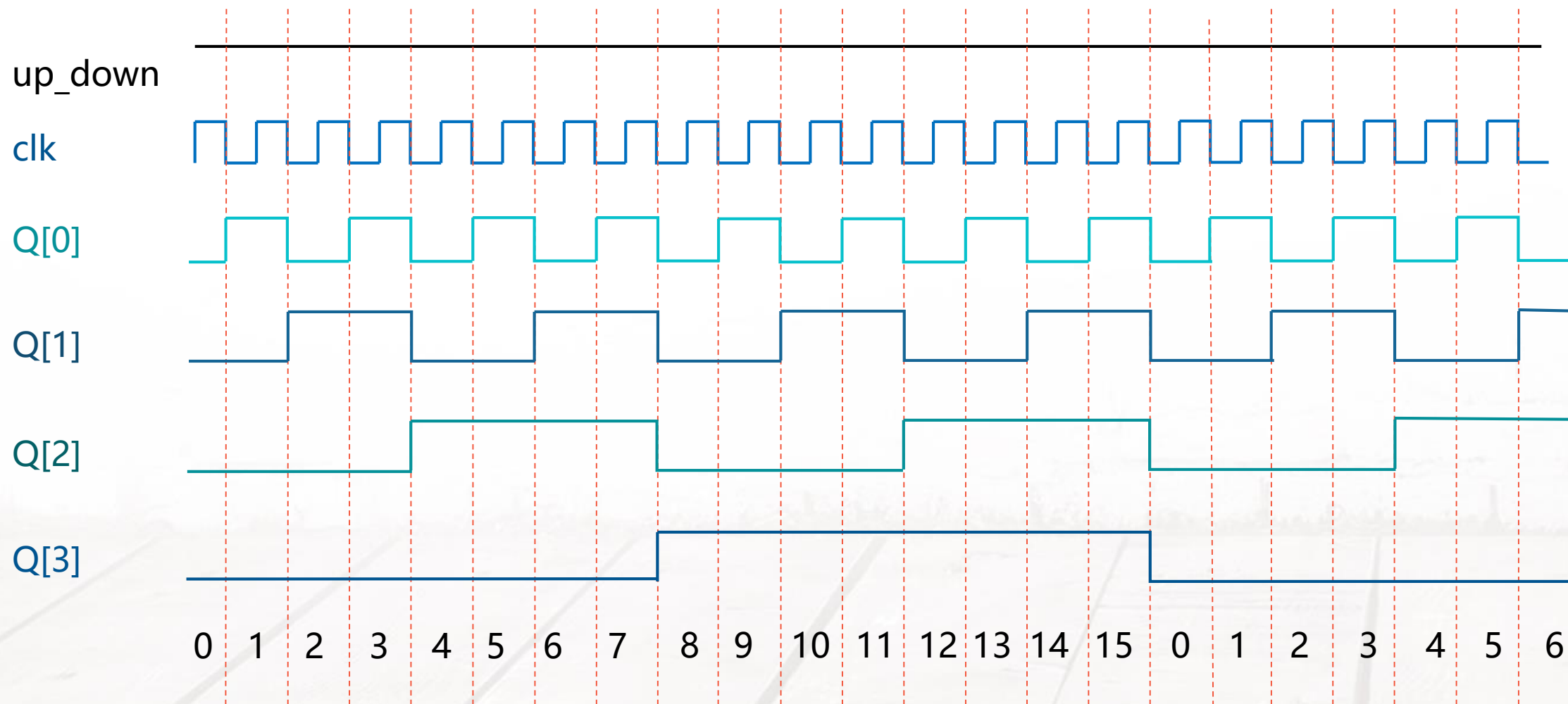


Part 01

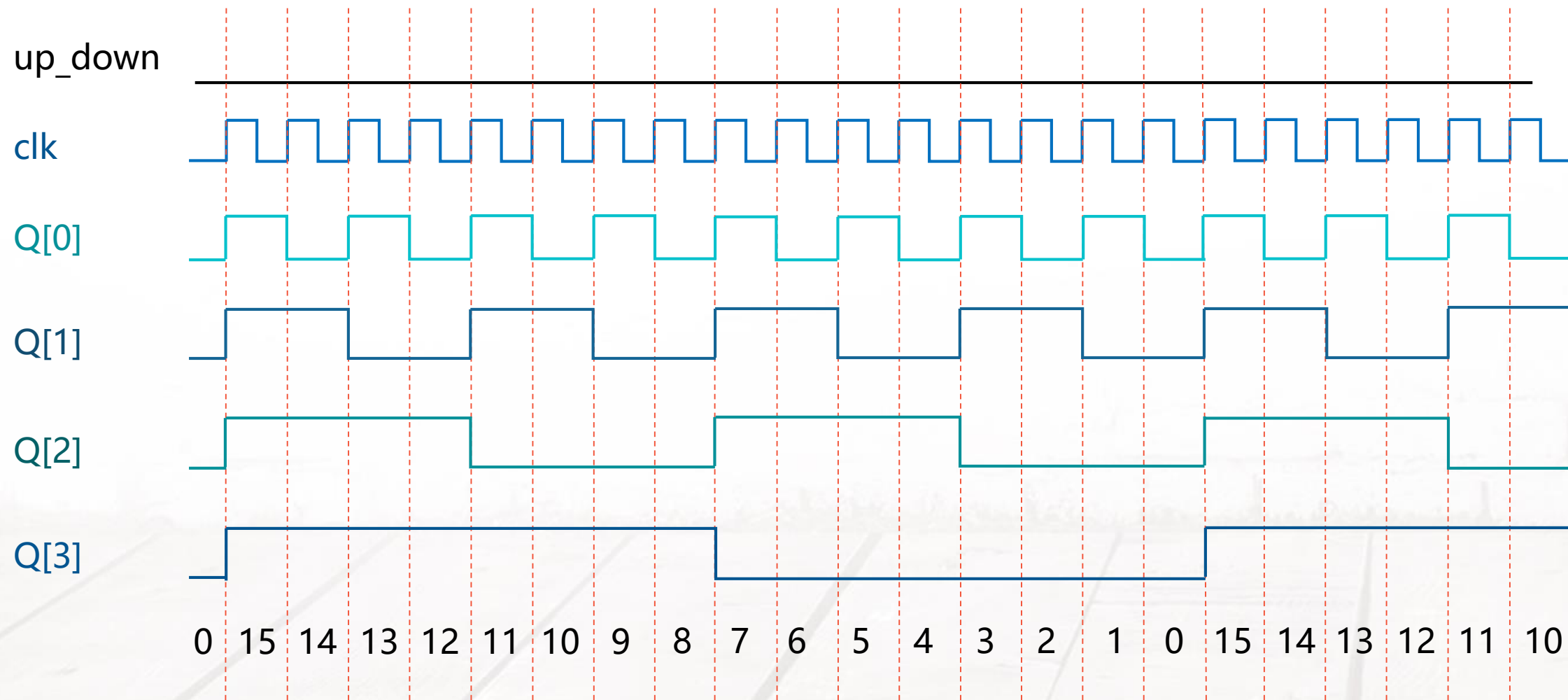
计数器和分频器原理



时序图 (加1计数)



时序图 (减1计数)

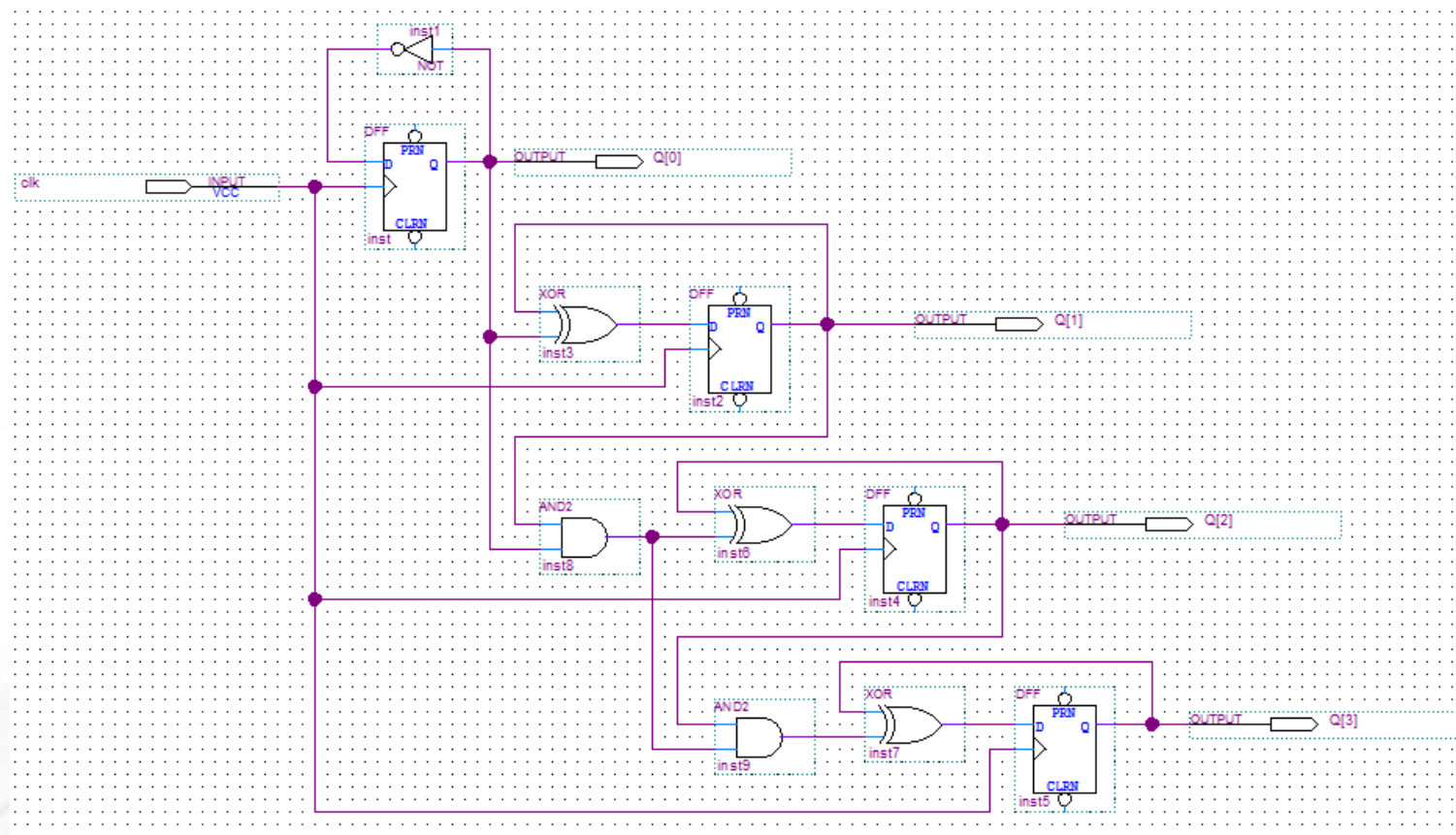




1.2

同步计数器

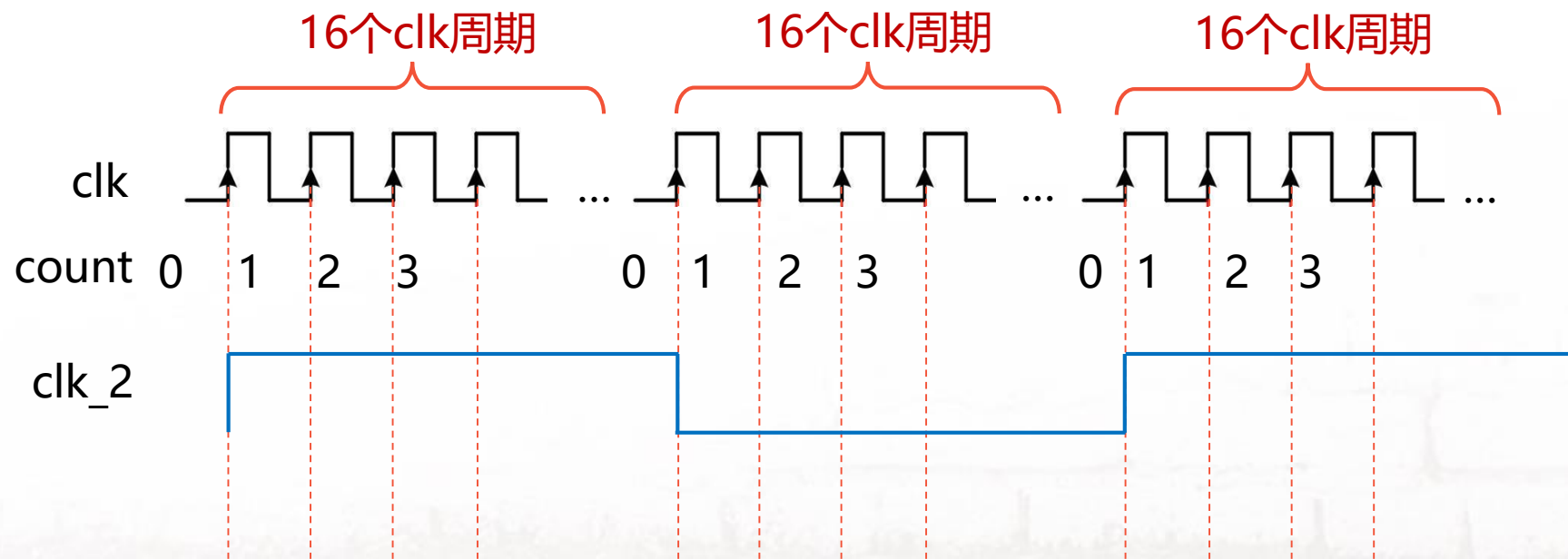
现态 (Q[3:0])	次态(Q _{n+1} [3:0])
0000	0001
0001	0010
0010	0011
0011	0100
0100	0101
0101	0110
0110	0111
0111	1000
1000	1001
1001	1010
1010	1011
1011	1100
1100	1101
1101	1110
1110	1111
1111	0000



1.3 Verilog实现计数器和分频器



```
lab53.v
1 module lab53(
2     input          clk_in,
3     output reg [3:0] count,
4     output reg      clk_out
5 );
6
7 always @(posedge clk_in) begin
8     count <= count + 4'd1;
9 end
10
11 always @(posedge clk_in) begin
12     if(count == 4'd0) begin
13         clk_out <= ~clk_out;
14     end
15     else begin
16         clk_out <= clk_out;
17     end
18 end
19
20
21 endmodule
```

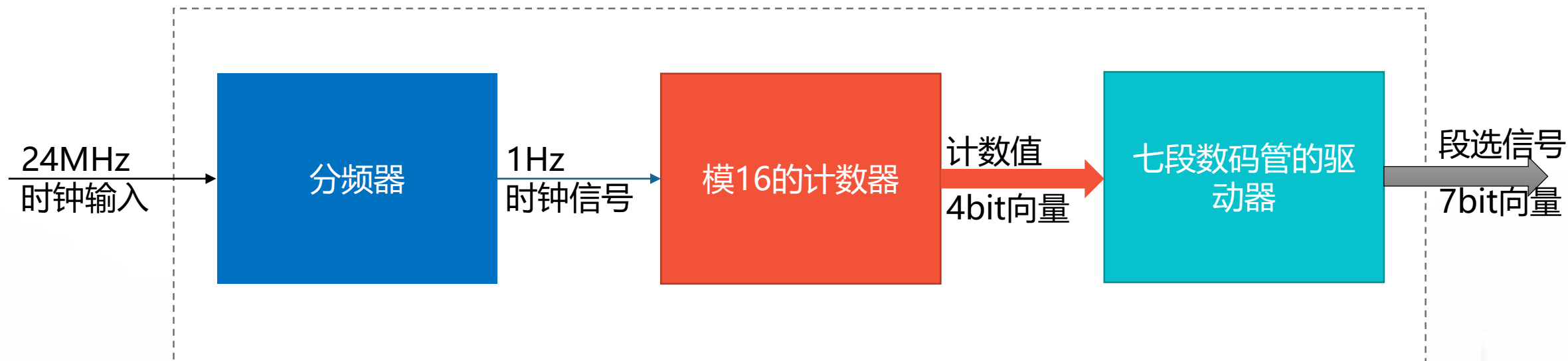


分频器时序图



Part 02

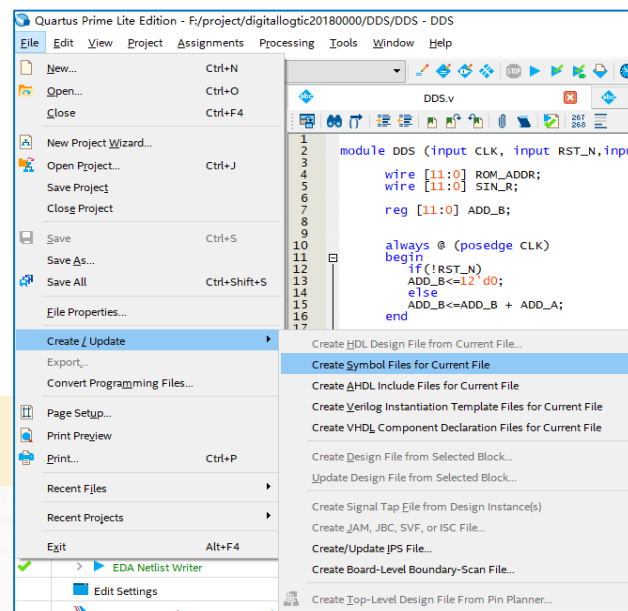
实验内容



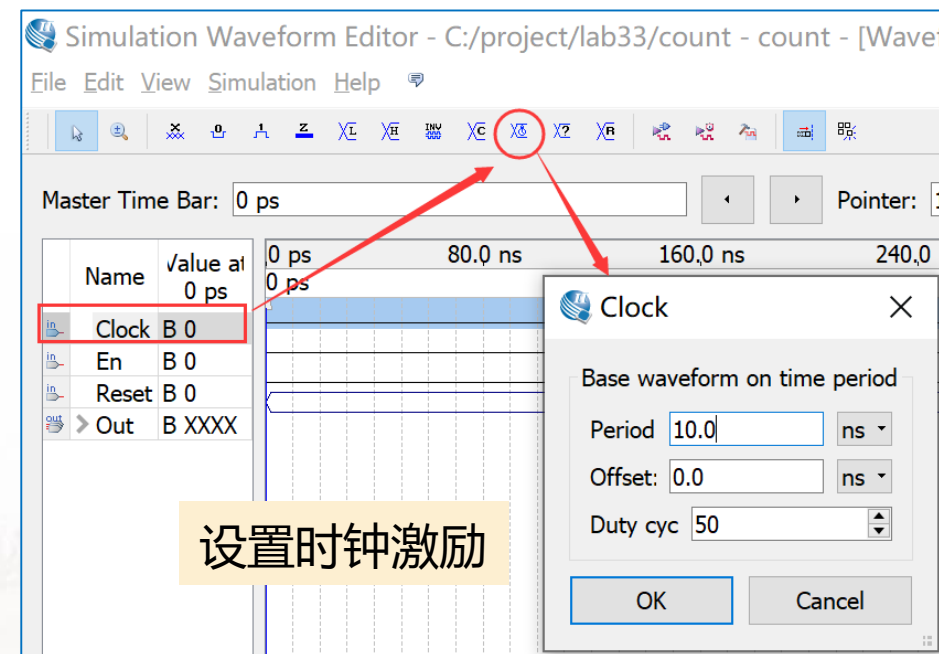
- 新建工程lab61，一步一步完成设计
- 分配管脚、下载验证

2.1 实验内容：模16计数器

1. 新建工程lab61;
2. 自行选择原理图或者Verilog设计文件，完成模16计数器的设计，编译后**功能仿真验证结果**；生成符号文件；



生成符号文件



设置时钟激励

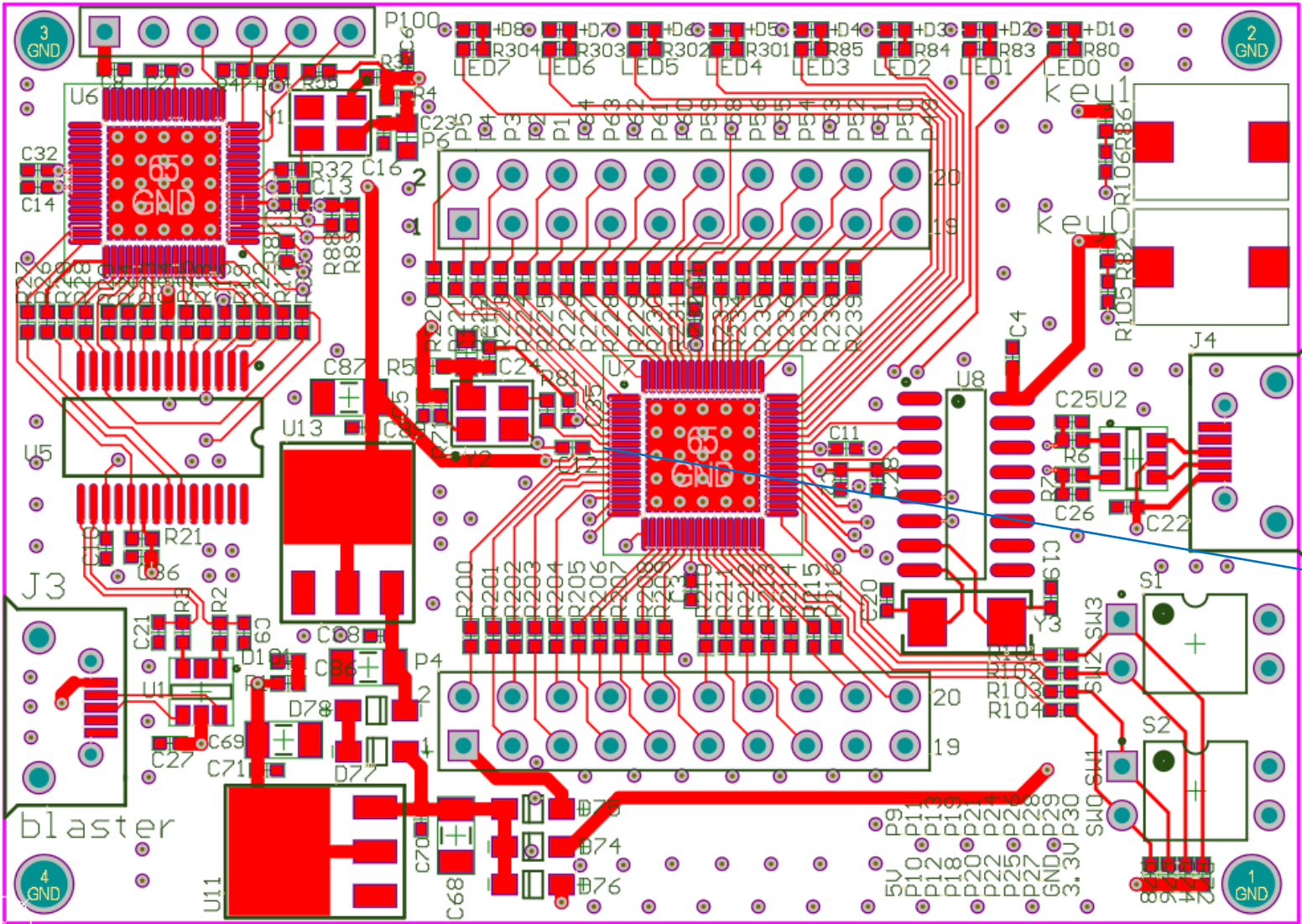
3. 对同步计数器、异步计数器、Verilog代码实现的计数器进行时序仿真，观测3种计数器的**资源占用情况**和**延时情况**，分析原因。（选做）



2.1 实验内容：模16计数器

4. 完成分频器和七段数码管的设计，分别生成符号文件；
5. 新建BDF文件，添加分频器、计数器、七段数码管，完成模块间的连线；
或新建Verilog文件，用模块例化的方法完成设计；
6. 编译成功后，分配管脚；
注意时钟输入信号分配到PIN7，无需连线
7. 下载，连线验证。





PIN7 连接到了晶振的输出，24MHz



Part 03

实验报告要求



电子技术实验 2 实验报告

学号：
班级：
姓名：
编号：

6 计数器设计与应用

一 实验内容

模 16 计数器的实现

二 实验原理

1. 异步计数器的电路分析
2. 同步计数器的电路设计
3. 计数器实现分频器的原理分析

三 实验步骤

包括创建工程、
计数器设计实现、分频器设计实现
自底向上构建完整工程设计
引脚分配
下载验证

四 实验结果

主要是仿真结果、实验箱验证结果

五 总结和思考题

1. D 触发器为基础的异步计数器的优点是什么？缺点是什么？
2. 为克服 1 中的缺点，D 触发器为基础的同步计数器的优点是什么？又带来了什么样的缺点？
3. 总结对比自顶向下和自底向上的数字电路设计方法



Part 04

下一次实验内容

● 时序电路设计