



# 2021

西安交通大学 信通学院

## 电子技术实验2

张翠翠

[zhangcuicui@mail.xjtu.edu.cn](mailto:zhangcuicui@mail.xjtu.edu.cn)

### 3 译码器



# C 目录

## CONTENTS

忠 果 敦 精  
恕 毅 笃 勤  
任 力 励 求  
事 行 志 学

01

实验内容

02

Quartus Prime 18.1 基本使用

03

译码器及其应用

04

实验报告要求

05

下一次实验内容



# Part 01

## 实验内容

- Quartus Prime 18.1 软件使用
- 使用Quartus实现3-8译码器
- 用译码器实现全加器



- 1. Quartus Prime 18.1 软件的基本使用**
- 2. 使用Quartus实现3-8译码器**
- 3. 用译码器实现全加器**



# Part 02

## Quartus Prime 18.1 基本使用

- 实验内容一
- 软件获取
- 软件界面
- 设计流程

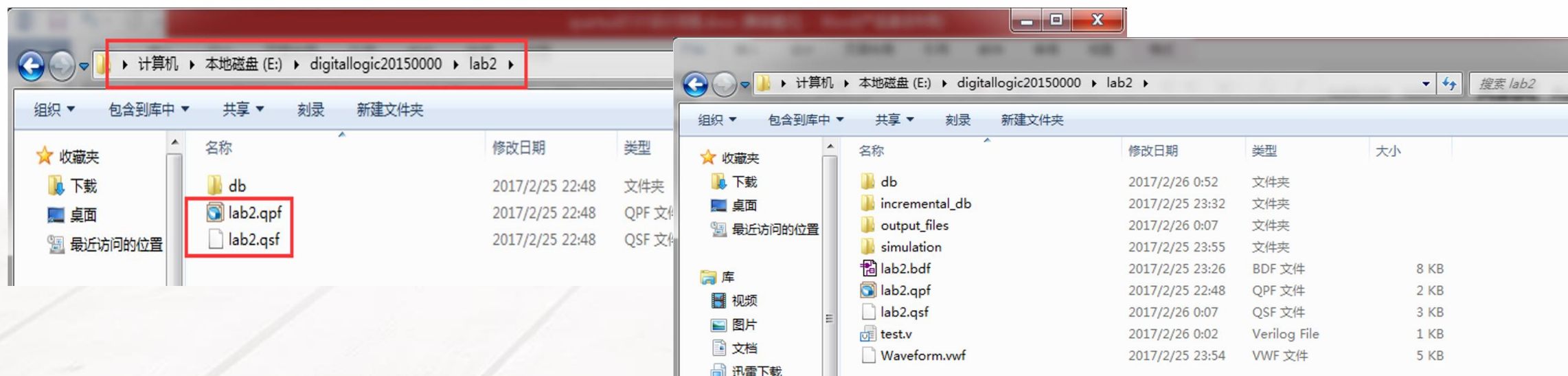


桌面或者本地磁盘E下面的Quartus Prime18.1 软件使用.pdf

1. 在Quartus中创建工程
2. 工程中添加原理图设计文件，实现与、或、非逻辑
3. 添加波形仿真文件对设计进行仿真

## ■ 验收:

- 1.展示工程所在文件夹
- 2.原理图设计文件及其仿真结果图





1. Altera, 被Intel收购

Intel官网下载地址:

<https://fpgasoftware.intel.com/18.1/?edition=lite>

2. Quartus131百度网盘下载地址

链接: <https://pan.baidu.com/s/15s9OqHqIX3BqFUrP8qwKhg>

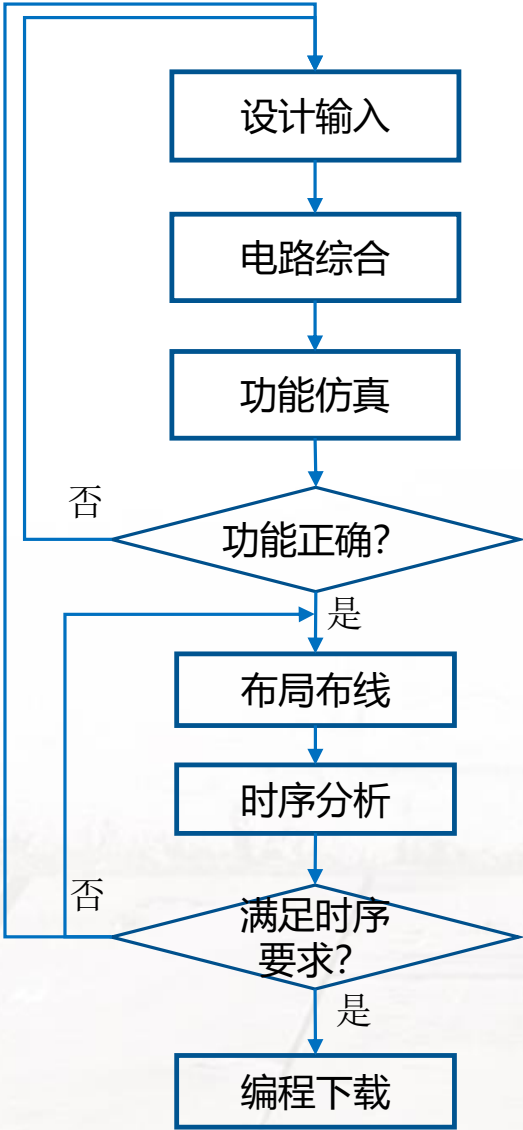
提取码: [jvmd](#)

3. 安装路径必须为**全英文路径**, 中文路径可能会出现问题





- 1.创建工程
- 2.添加设计输入
- 3.编译
- 4.仿真
- 5.分配管脚并重新编译
- 6.时序分析
- 7.下载验证

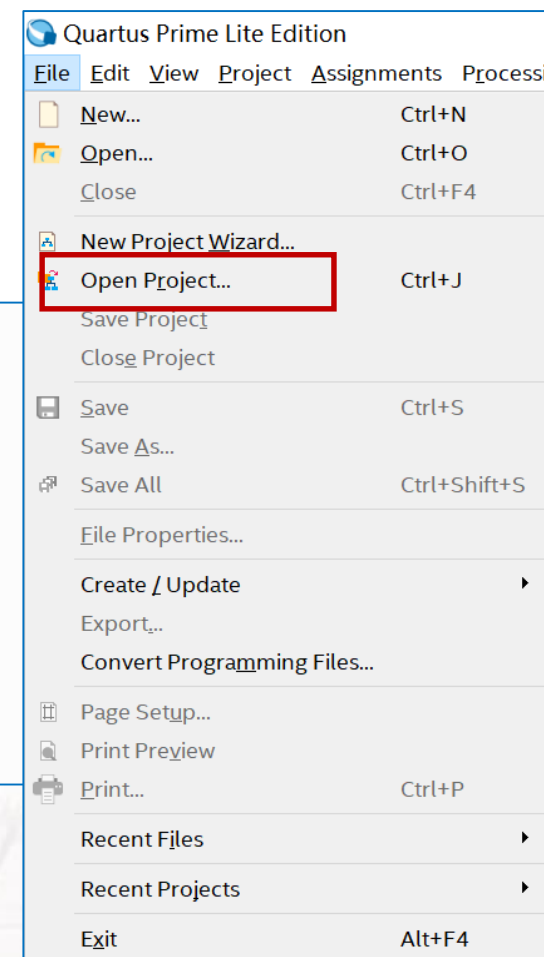
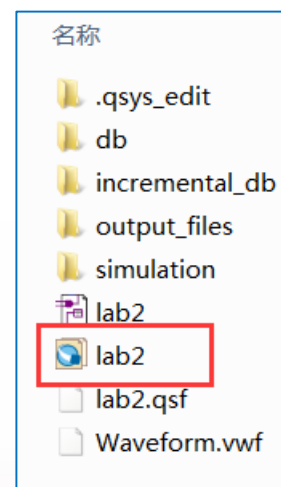


## 1.创建工程

◆选择工程文件夹

◆选择芯片

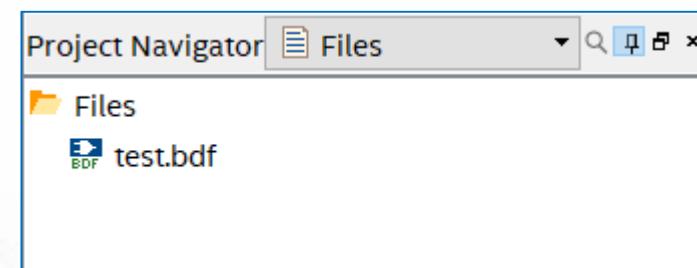
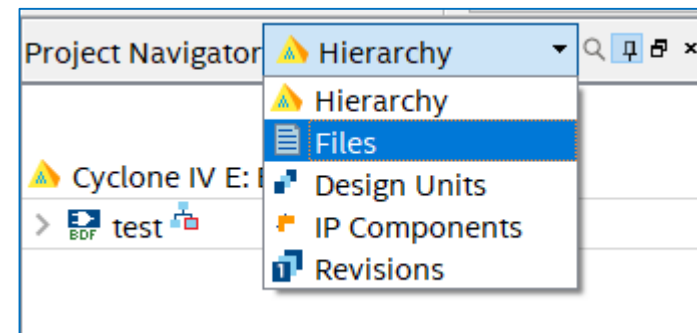
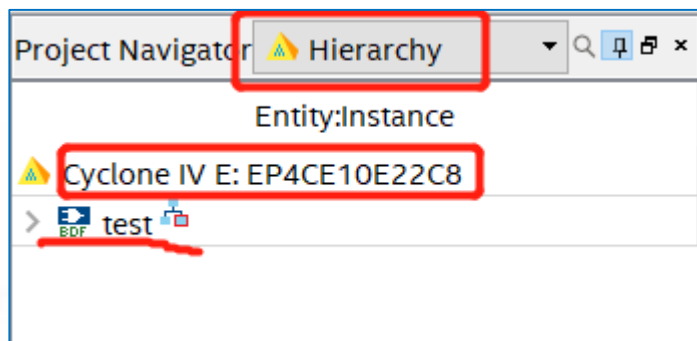
？ 如何打开之前的工程



- ✓ 常见问题1：分配管脚时显示不能分配管脚
- ✓ 常见问题2：编译到Assembler的时候出现database错误

## 2.设计输入

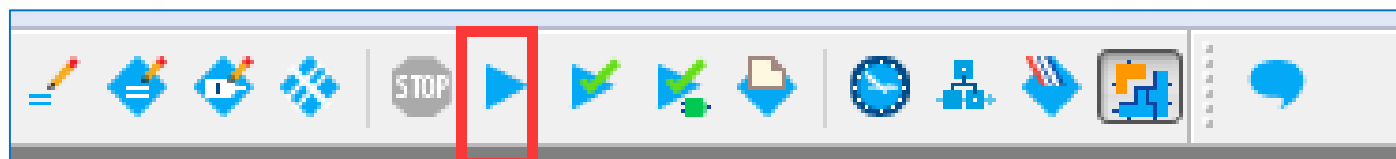
- ◆BDF、Verilog、VHDL
- ◆自顶向下、自底向上



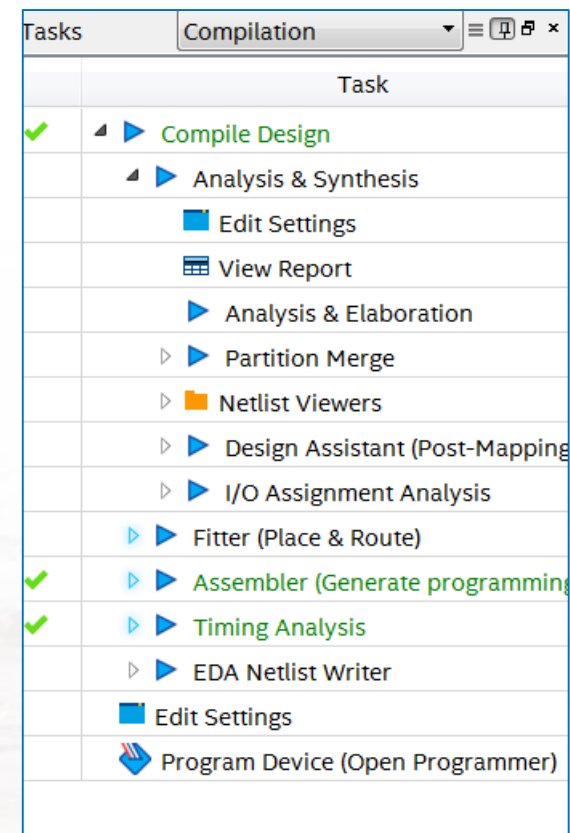
- ✓ 常见问题1：文件关系混乱，经常不知道自己把文件放哪里了
- ✓ 常见问题2：Verilog或VHDL中的module名称必须与文件名一致
- ✓ 常见问题3：顶层实体的概念模糊，设置顶层实体后必须要重新编译

### 3.编译综合

- ◆将设计文件变成与或非逻辑电路的过程
- ◆大家应能根据错误提示快速定位到错误的地方并更正



- ✓常见问题1：设置顶层文件后忘记重新编译
- ✓常见问题2：分配管脚后忘记重新编译



## 4.仿真



- ◆仿真是验证设计逻辑功能是否正确的第一步
- ◆功能仿真和时序仿真
- ◆仿真的输入激励为矢量波形 (.vmf) 文件
- ◆功能仿真正确不代表设计就一定正确无误
- ◆工程较大时，建议借助第三方仿真软件如Modelsim

- ✓ 常见问题1：弄清楚选择的是功能仿真还是时序仿真
- ✓ 常见问题2：对于输入信号如何设置的问题
- ✓ 常见问题3：不会看仿真结果图或不习惯看仿真结果图

5.分配管脚

Named: \*  
Edit: [X] [Y]

	Node Name	Direction	Location	I/O Bank	Pin Location	I/O Standard	Reserved	Current Strength	Differential Pair	Signal Preservation
in	A	Input	PIN_11	1	PIN_11	3.3-V LVTTL		16mA (default)		
in	B	Input	PIN_13	1	PIN_13	3.3-V LVTTL		16mA (default)		
in	C	Input	PIN_19	1	PIN_19	3.3-V LVTTL		16mA (default)		
in	D	Input	PIN_21	1	PIN_21	3.3-V LVTTL		16mA (default)		
in	E	Input	PIN_26	1	PIN_26	3.3-V LVTTL		16mA (default)		
out	O1	Output	PIN_5	1	PIN_5	3.3-V LVTTL		16mA (default)		
out	O2	Output	PIN_3	1	PIN_3	3.3-V LVTTL		16mA (default)		
out	O3	Output	PIN_1	1	PIN_1	3.3-V LVTTL		16mA (default)		

- ✓ 常见问题1：分配管脚界面打开后显示cannot display
- ✓ 常见问题2：时钟输入信号应分配到CPLD的时钟专用管脚上
- ✓ 常见问题3：分配管脚后忘记编译
- ✓ 常见问题4：没有指定device器件



## 6.时序分析

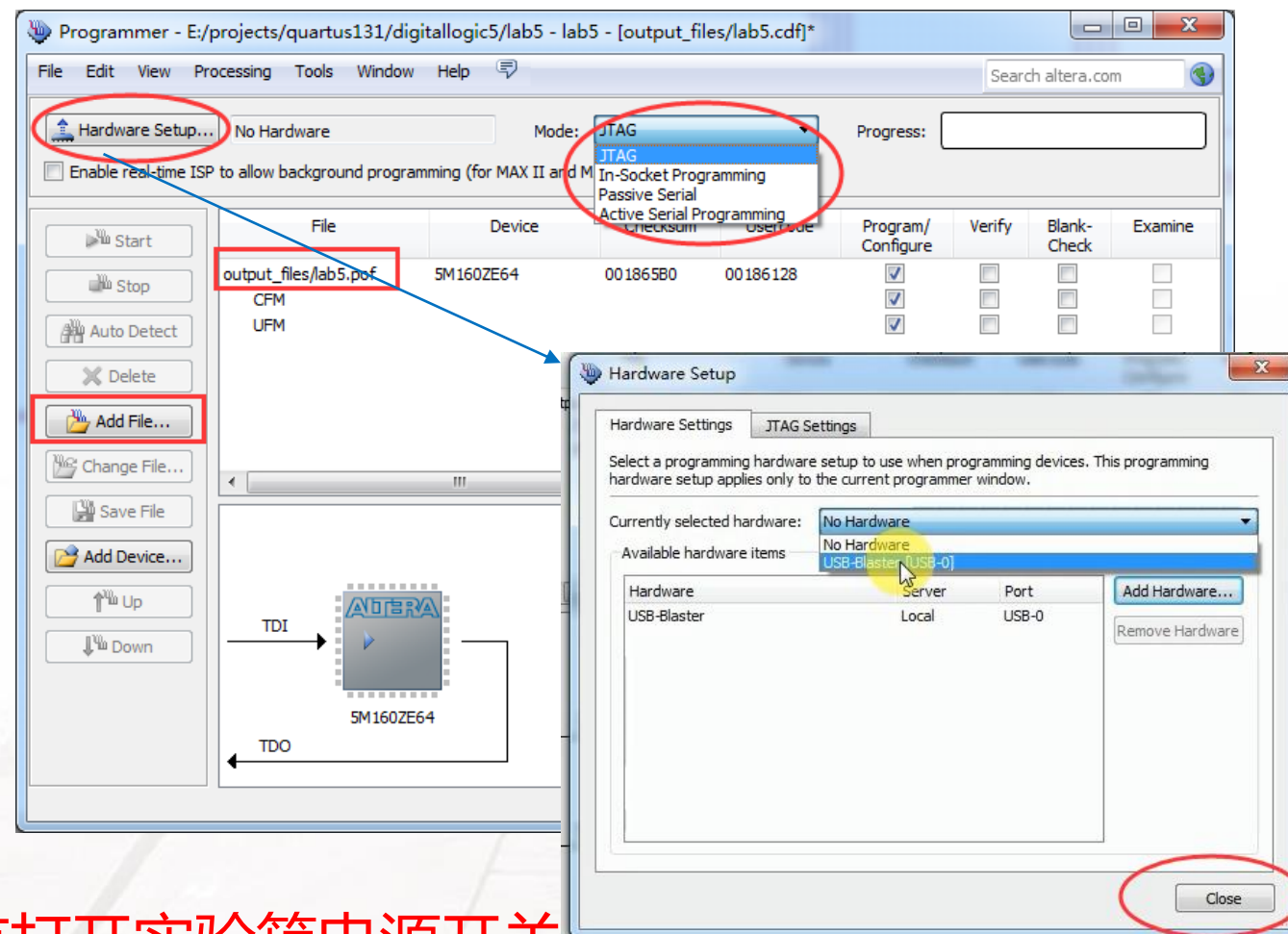
- ◆时序分析是时序电路设计中很必要的一步，主要用来分析所设计的电路是否满足时序要求。最基本的时序要求是所设计的电路在保证逻辑功能正确的前提下所能运行的最快的时钟频率。
- ◆时序分析若没有通过，则要在保证电路功能不变的前提下修改电路的设计结构，如减少状态机的个数、简化逻辑层次等。
- ◆时序分析是数字电路设计中较难的一个环节。
- ◆时序分析中涉及到的基本概念：建立时间、保持时间等。时序分析在数电的基础上需要结合一定的模电知识才能理解透彻。



## 2.4 QuartusII设计流程

### 7. 下载验证

- ◆ 编程下载是将电路通过编程器下载到实验箱上的CPLD芯片里，使CPLD芯片里生成相应的电路
- ◆ 编程器
- ◆ 下载方式JTAG
- ◆ pof sof jic等



- ✓ 常见问题1：没有连接下载线或没有打开实验箱电源开关
- ✓ 常见问题2：没有选择pof文件下载

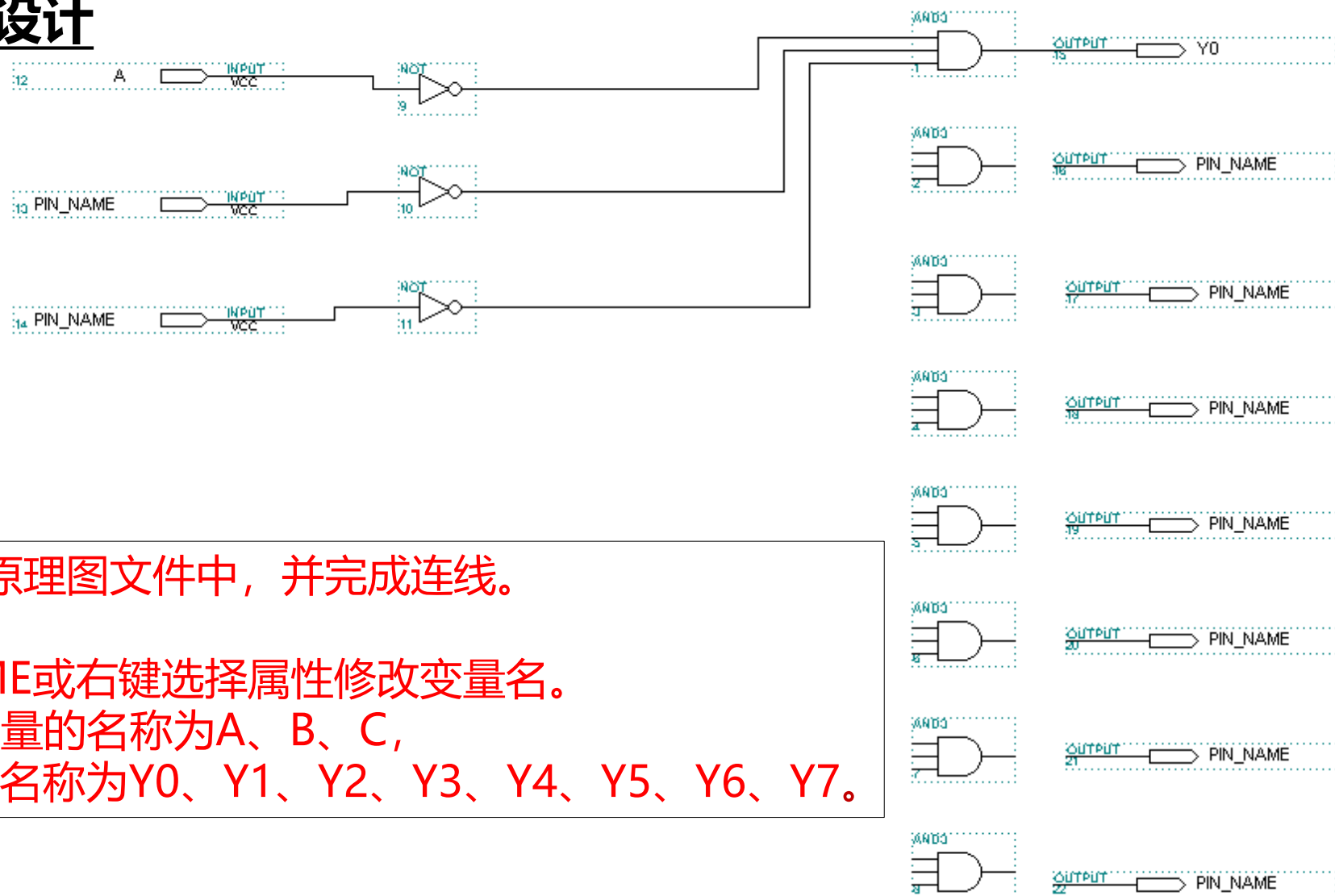


# Part 03

## 译码器及其应用

- 实验内容二：Quartus实现译码器
- 实验内容三：用译码器实现全加器

### ◆ 3-8译码器的原理设计



- 1) 添加需要的器件到原理图文件中，并完成连线。
- 2) 左键双击PIN\_NAME或右键选择属性修改变量名。  
分别修改3个输入变量的名称为A、B、C，  
修改8个输出变量的名称为Y0、Y1、Y2、Y3、Y4、Y5、Y6、Y7。



## ◆ Quartus Prime中用原理图实现3-8译码器

- 1) 新建工程lab2\_1, 注意工程路径
- 2) 添加设计文件, 完成3-8译码器电路设计
  - 输入信号a,b,c
  - 输出信号Y0 Y1 Y2 Y3 Y4 Y5 Y6 Y7
- 3) 编译
- 4) 功能仿真
- 4) 分配管脚后编译 (a、b、c接拨位开关, Y0~Y7接LED灯)
- 5) 下载验证

### ◆一位全加器

输入端分别为：被加数输入 $x_i$ 、加数输入 $y_i$ 、低位向本位的进位输入 $C_{i-1}$

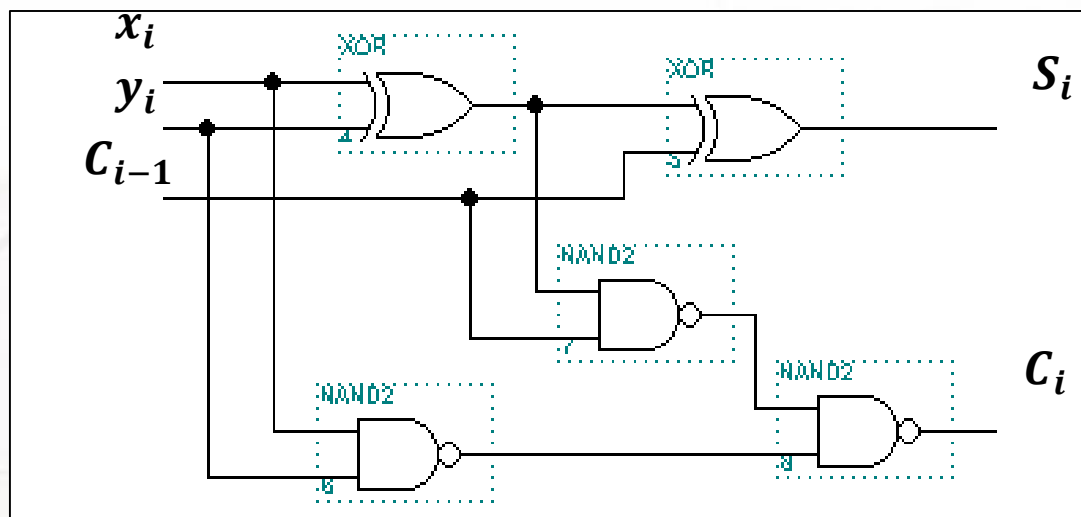
输出端分别为：本位的和输出 $S_i$ 、本位向高位的进位输出 $C_i$

$C_{i-1} y_i x_i$	$S_i C_i$
0 0 0	0 0
0 0 1	1 0
0 1 0	1 0
0 1 1	0 1
1 0 0	1 0
1 0 1	0 1
1 1 0	0 1
1 1 1	1 1

$$S_i = x_i \oplus y_i \oplus C_{i-1}$$

$$C_i = x_i y_i + C_{i-1} (x_i \oplus y_i) = \overline{x_i y_i} * \overline{C_{i-1} (x_i \oplus y_i)}$$

$$\overline{C_i} = \overline{x_i y_i + C_{i-1} (x_i \oplus y_i)} = \overline{x_i y_i} * \overline{C_{i-1} (x_i \oplus y_i)}$$



# 用译码器实现全加器

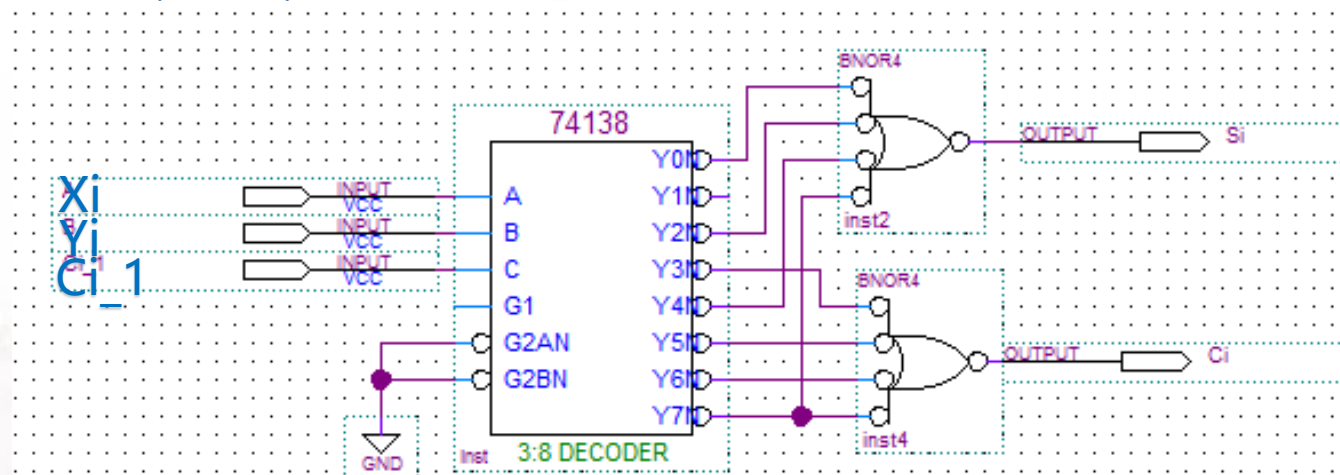
## ◆用3-8译码器实现1位全加器

输入			输出	
$C_{i-1}$	$y_i$	$x_i$	$S_i$	$C_i$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

(a) 一位全加器真值表

$$S_i = \sum m^3(1,2,4,7) = Y1 \text{ or } Y2 \text{ or } Y4 \text{ or } Y7$$

$$C_i = \sum m^3(3,5,6,7) = Y3 \text{ or } Y5 \text{ or } Y6 \text{ or } Y7$$



(b) 一位全加器逻辑图



## ◆使用3-8译码器和逻辑门，原理图方式实现一位全加器

- 1) 新建工程lab2\_2
- 2) 新建原理图文件，完成一位全加器的设计
- 3) 编译、功能仿真
- 4) 分配管脚后编译
  - 拨位开关作为输入，LED灯作为输出
- 5) 下载验证



# Part 04

## 实验报告要求

- 实验内容
- 实验原理
- 实验结果
- 思考题





## ◆ 实验报告应至少包含

1. 实验内容
2. 实验原理
3. 实验结果
4. 思考题

实验报告模板 →

### 电子技术实验 2 实验报告

学号:

班级:

姓名:

#### 3 译码器

##### 一 实验内容

- 1.1 Quartus Prime 基本使用
- 1.2 Quartus 实现 3-8 译码器
- 1.3 用译码器实现全加器

##### 二 实验原理

- 2.1 Quartus Prime 设计流程及设计要点
- 2.2 译码器的电路原理
- 2.3 译码器设计全加器的电路原理

##### 三 实验结果

- 3.1 Quartus Prime 基本使用  
包括工程文件夹截图、电路设计图、仿真结果图
- 3.2 Quartus 实现 3-8 译码器  
包括工程文件夹截图、电路设计图、仿真结果图
- 3.3 用译码器实现全加器  
包括工程文件夹截图、电路设计图、仿真结果图

##### 四 思考题

- 4.1 Quartus Prime 除了原理图（即 BDF）输入文件外，还有哪些种类的设计文件？
- 4.2 在设计完成并且编译通过之后，还需要哪些步骤才可以使你设计的电路呈现在 CPLD 芯片里？
- 4.3 译码器是组合逻辑器件中非常重要的一个器件。写出译码器的几个功能。



# Part 05

## 下一次实验内容

● 双稳态原件