

## Altera Quartus II 13.1 软件设计流程

### 一. 打开软件

在开始菜单中，双击 **Quartus II 13.1** 打开软件（如图 1 所示）或者双击桌面上的 **Quartus II** 的图标打开软件。软件界面如图 2 所示。

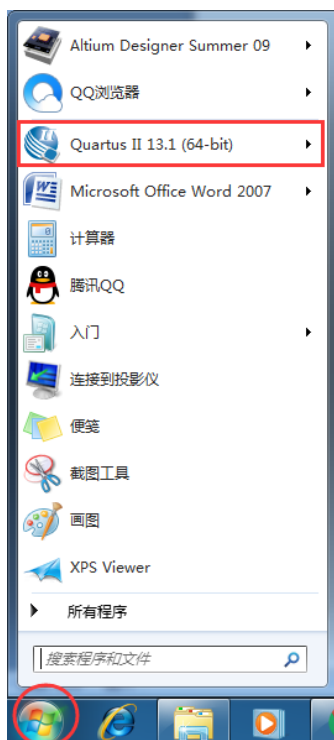


图 1：开始菜单

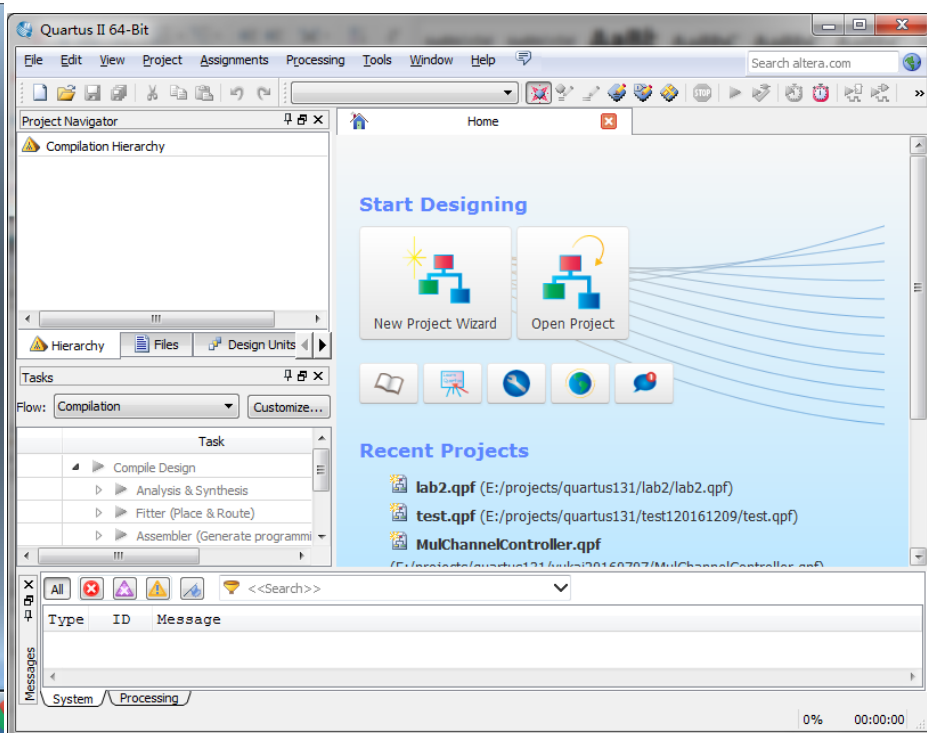


图 2：Quartus II 初始界面

### 二. 新建工程

1. 选择 **File->New Project Wizard** 命令，创建新工程，如图 3-1 所示。

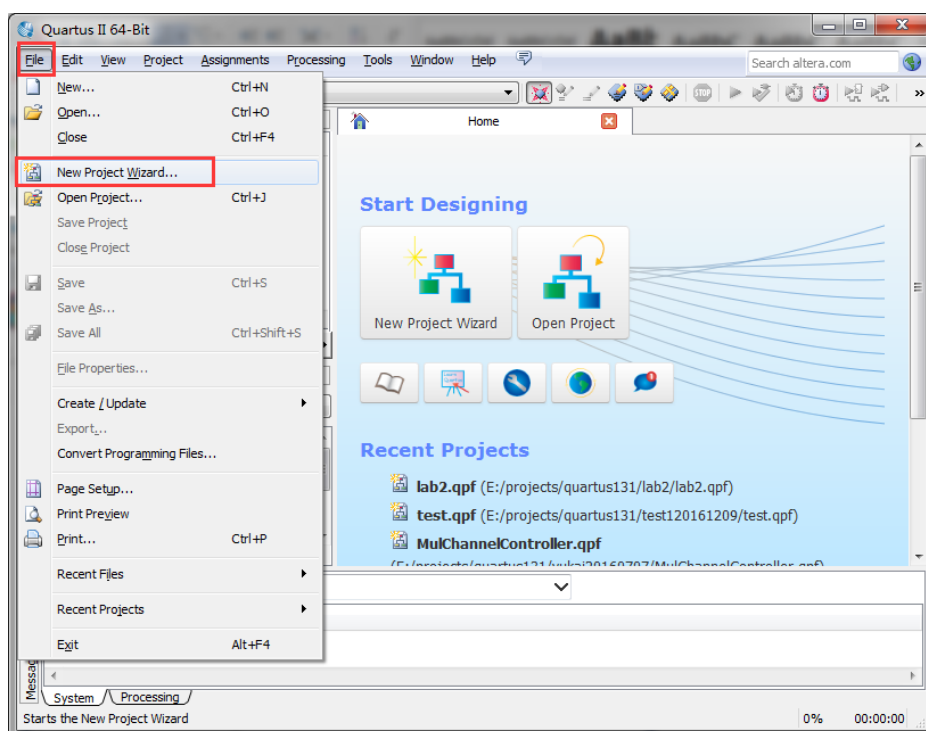


图 3-1：创建新工程（1）

2.出现的对话框中点击 next（图 3-2）。

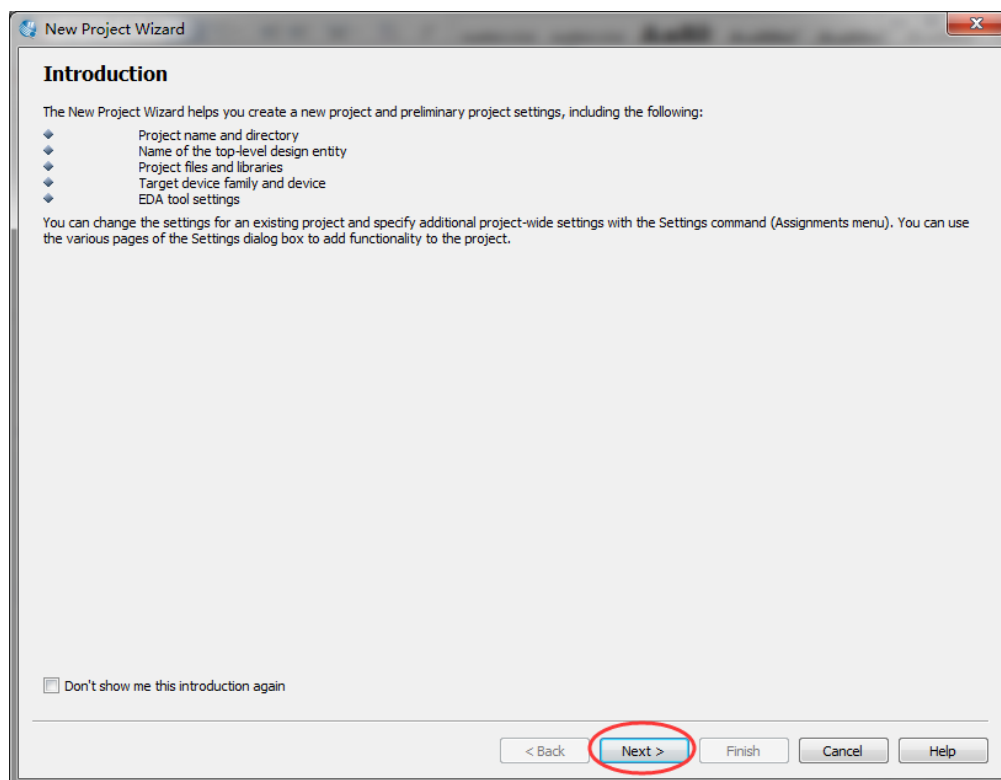


图 3-2: 创建新工程（2）

3.在出现的工程路径和工程名称设置话框中输入工程存放路径和工程名称，注意这里->大家将工程存放在 E:\digitallogic20150000\lab2 中，其中 20150000 为你自己的学号，以后你的工程都放在 digitallogic20150000 中，lab2 是本次课程的工程目录。工程名根据个人喜好设置，但一定是字母开头，中间无特殊符号，然后点击 next。

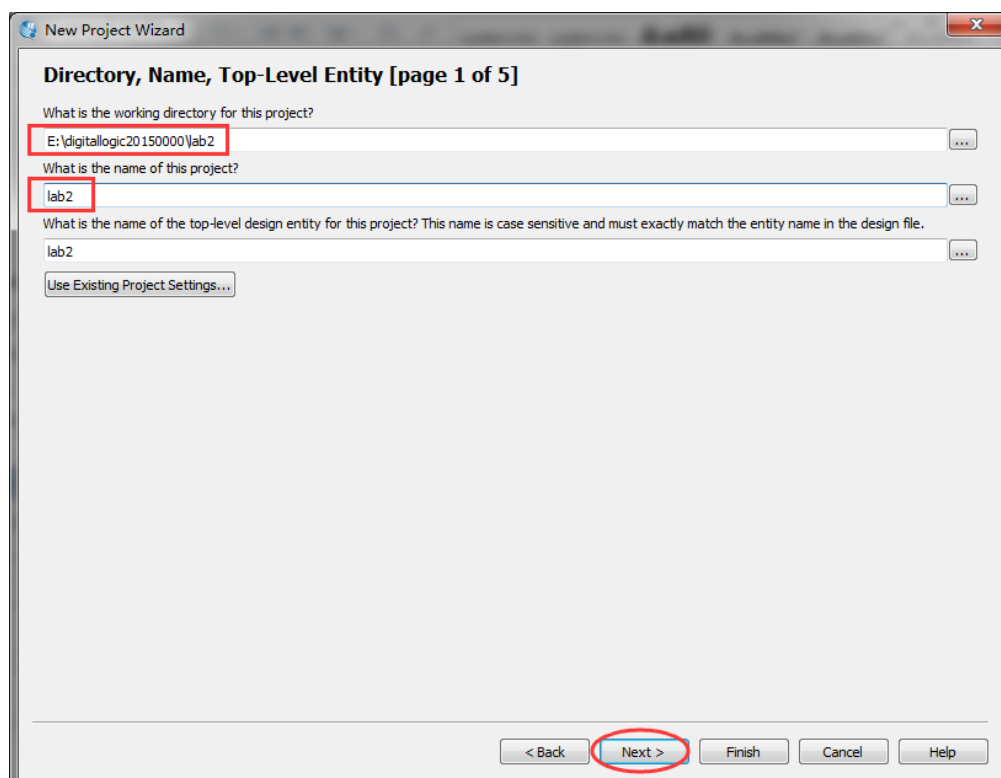


图 3-3: 创建新工程（3）

4.工程添加文件。我们在后面再为工程添加设计文件，这里直接 next。

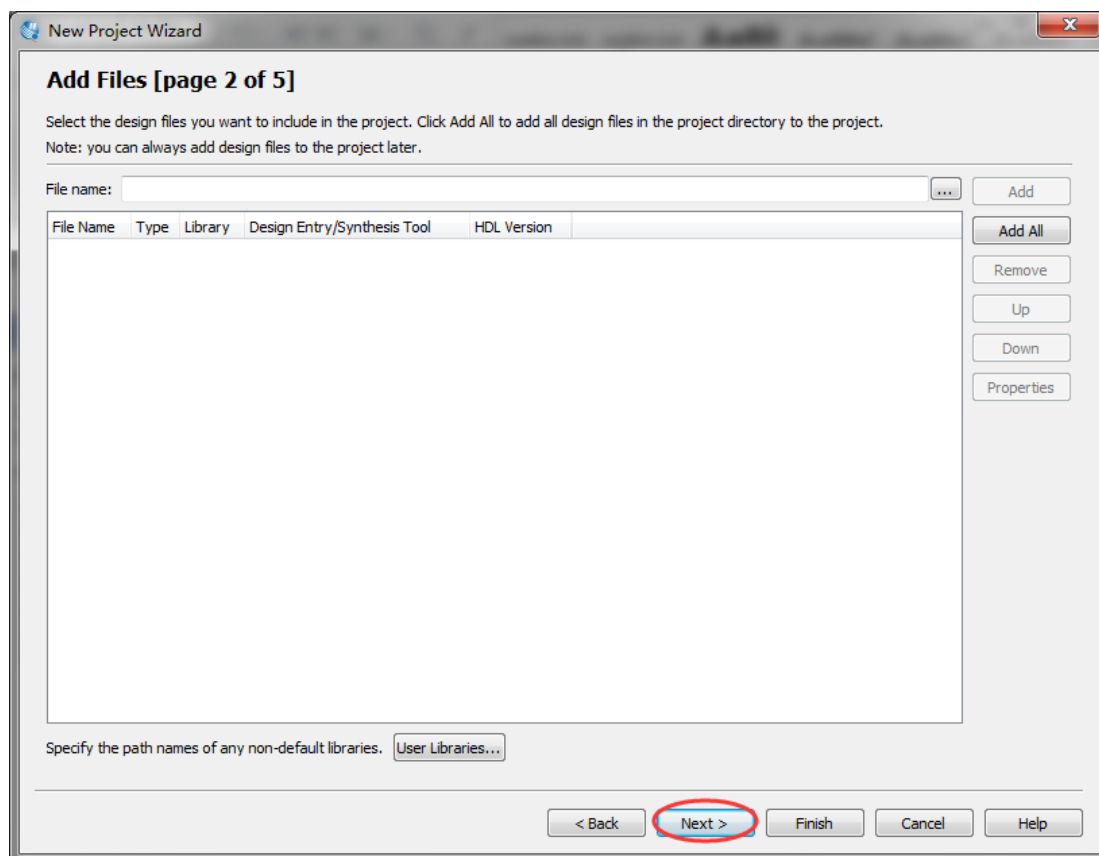


图 3-4：创建新工程（4）

5.选择器件。这里我们选择 MAX V 系列的芯片 5M160ZE64C5，点击 next。

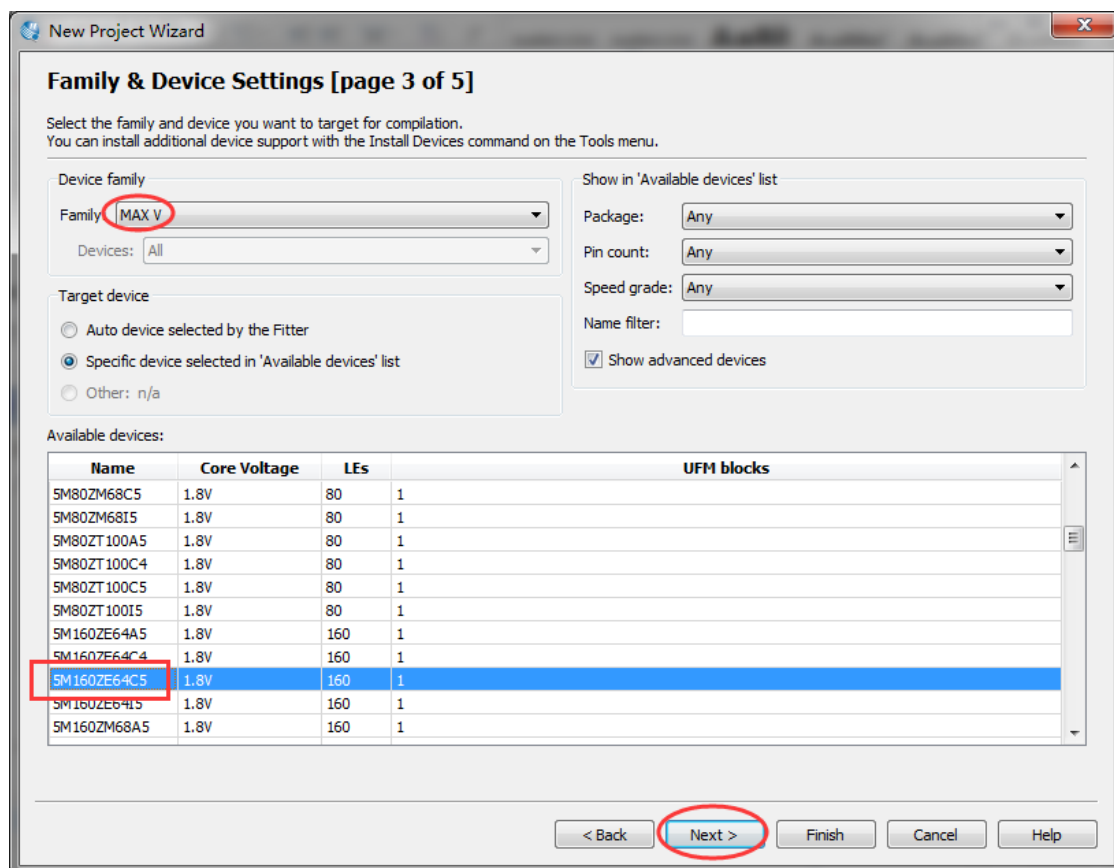


图 3-5：创建新工程（5）

6.EDA 工具设置界面，直接点击 next。

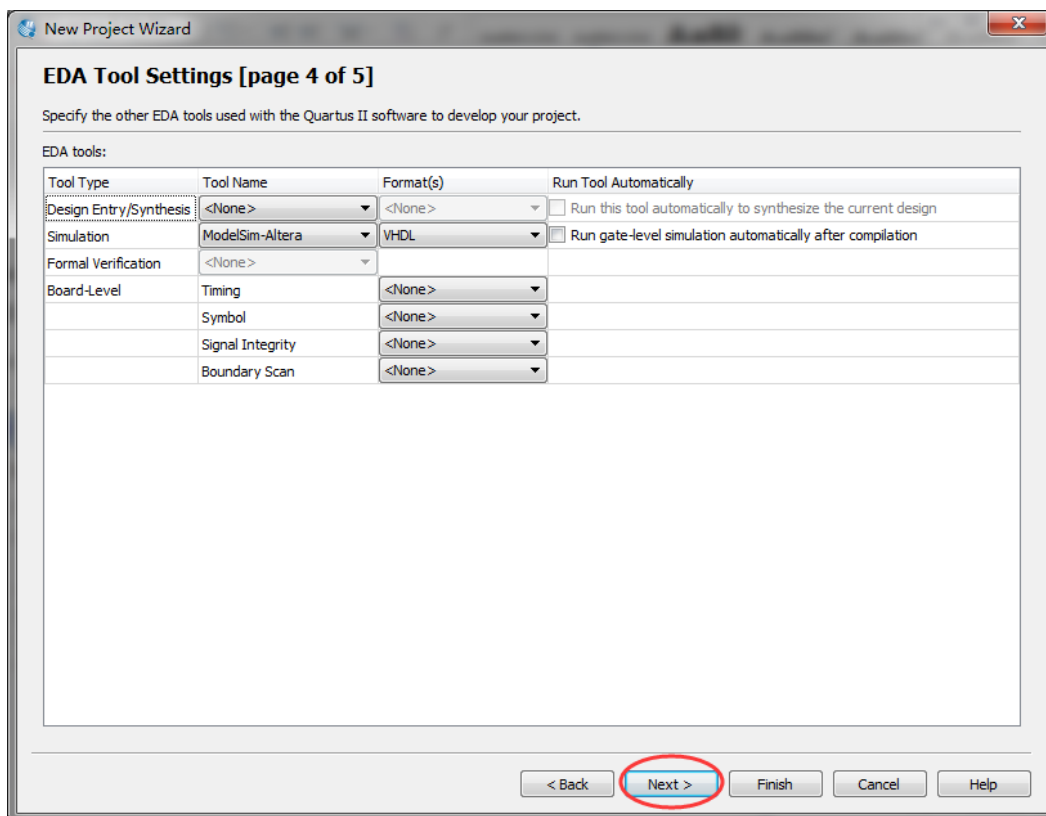


图 3-6：创建新工程（6）

7.到这里，一个工程的基本设置就完成了，接下来会出现如图 3-7 的工程总结界面，点击 finish 完成工程创建。

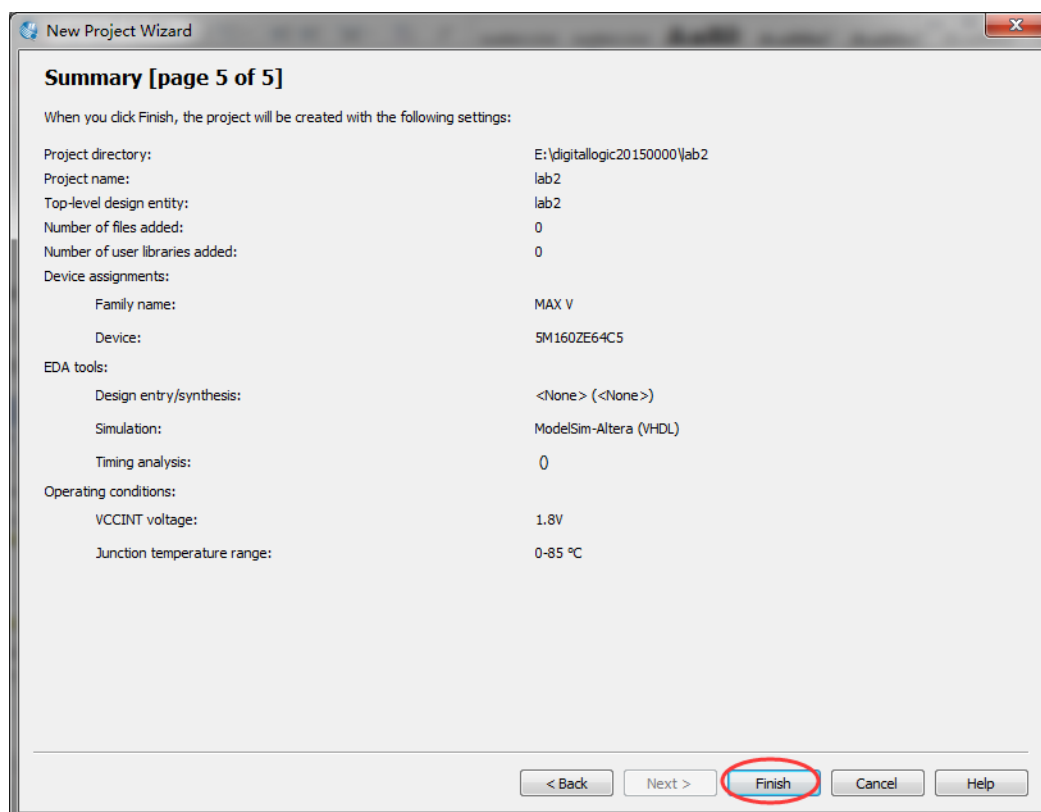


图 3-7：创建新工程（7）

8.创建好的工程的主界面如图 3-8 所示，我们会看到工程导航栏（Project Navigator）里分层结构（Hierarchy）处出现了芯片型号和 lab2 字样。这里的 lab2 是我们在创建工程时设置的顶层实体的名称（如图 3-3 所示）。

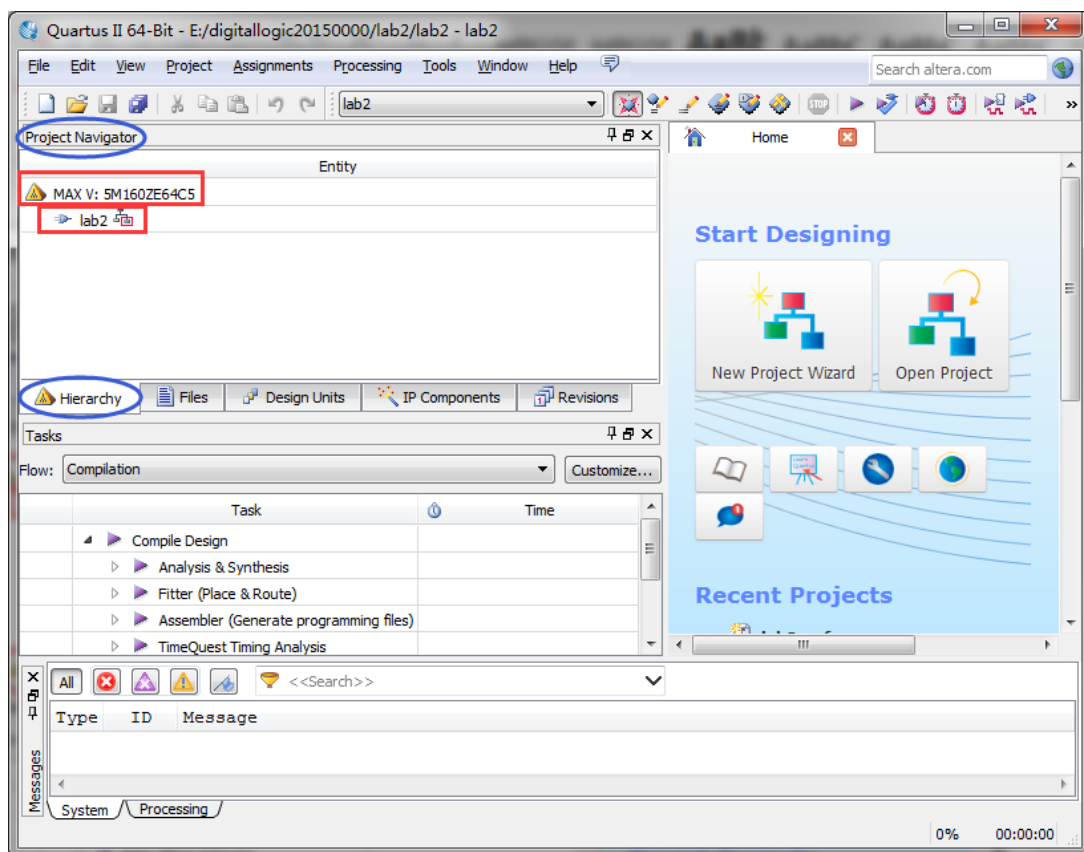


图 3-8：创建新工程（8）

这时候，通过计算机打开刚刚建立的工程所在目录，可以看到 1 个文件夹和两个文件，其中 qpf 后缀的文件是工程文件，一个工程对应一个 qpf 文件，如果你在操作过程中误关了工程，可以进到这里双击 qpf 文件重新打开这个工程。qsf 是工程设置文件。

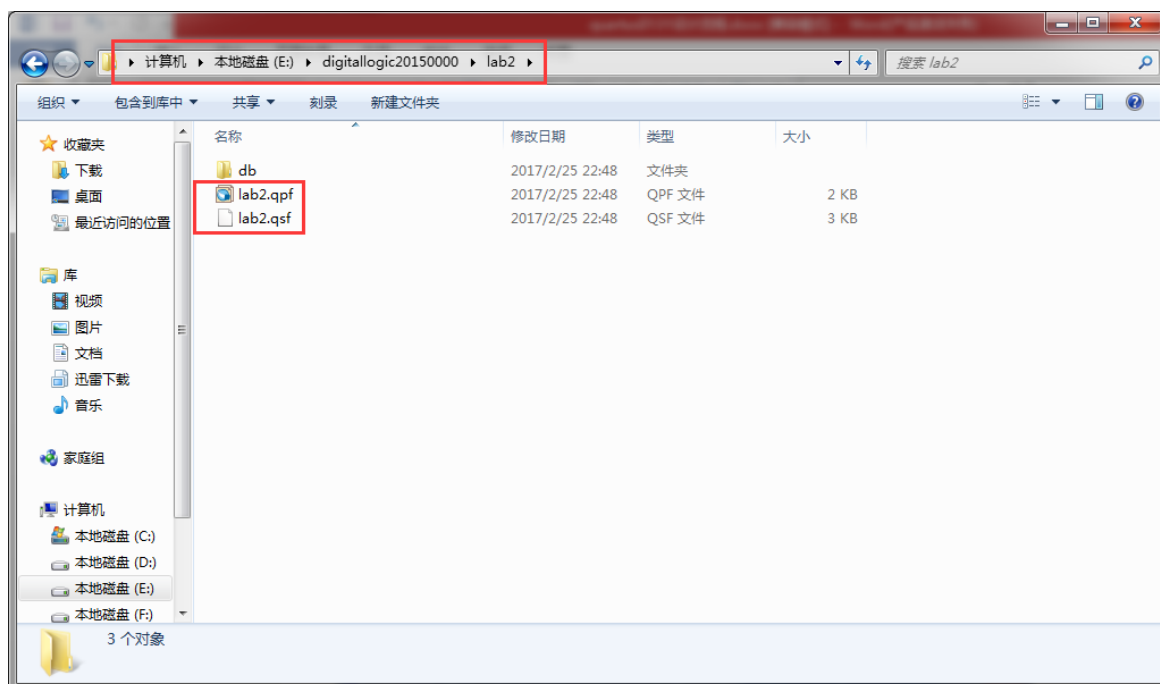


图 3-9：创建新工程（9）

### 三. 为新工程添加原理图设计文件

1. 点击工具栏中的 **new** 或者在 **File** 菜单下选择 **New**。在出现的文件类型选择对话框中选择 **Block Diagram/Schematic File** 原理图文件，点击 **OK**。

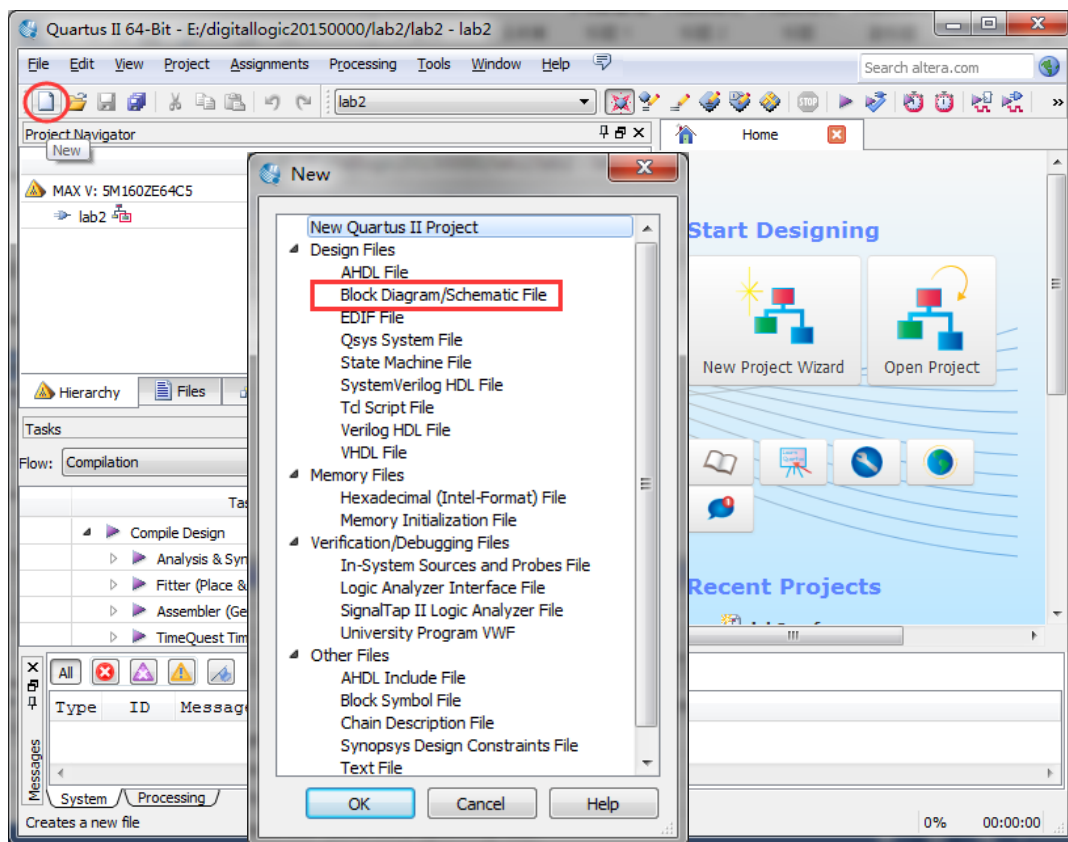


图 4-1：添加原理图设计文件（1）

2. 之后我们看到在编辑栏出现了一个以 **block1** 命名的 **bdf** 文件。

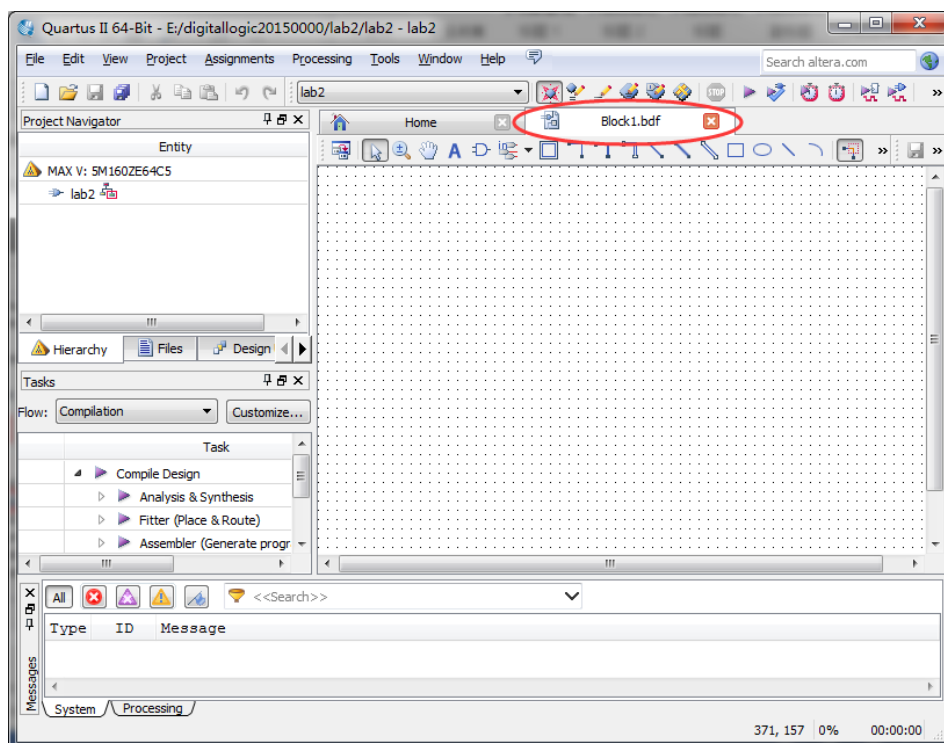


图 4-2：添加原理图设计文件（2）

3.在 block1.bdf 文件的空白处双击,则会调出 Symbol 窗口。在其中找到2输入与门,或者在 Name 处直接输入 and2,这时窗口右侧会出现与门的符号,点击 ok, 该与门会黏在鼠标上,直到在 block1.bdf 中单击放入。

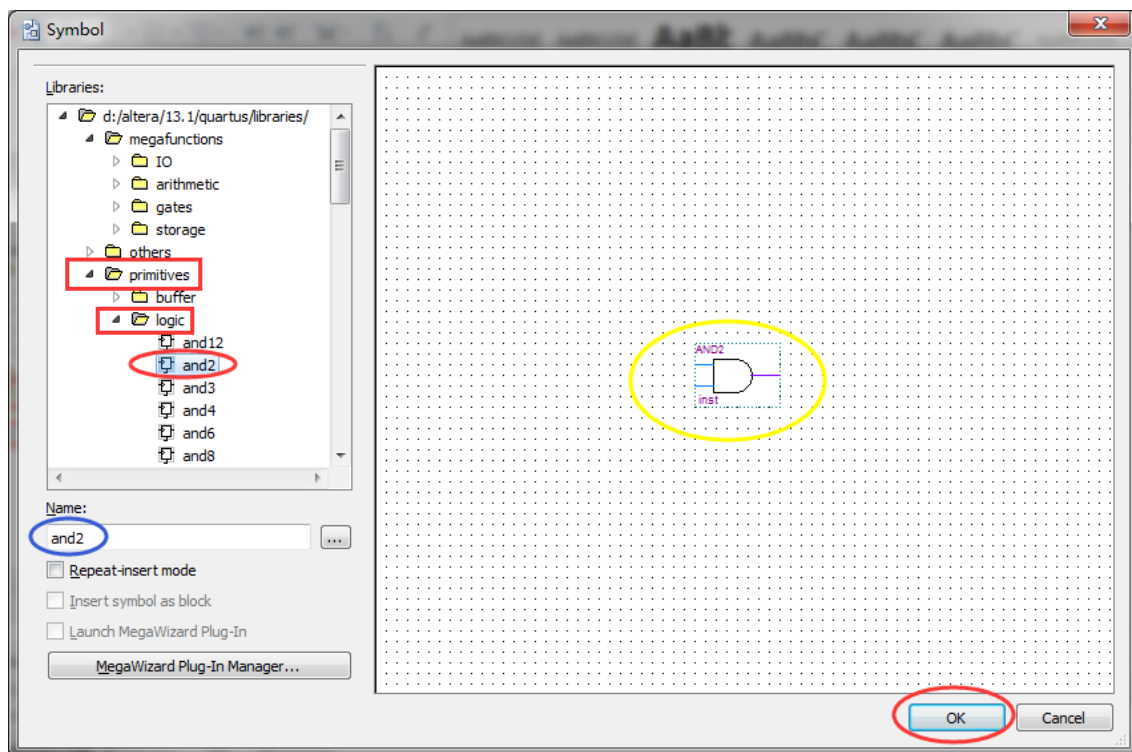


图 4-3: 添加原理图设计文件 (3)

4.同样方法为原理图文档添加输入 input 和输出 output, 以及 2 输入或门 or2 和非门 not。当添加一个符号后, 可以使用 ctrl+鼠标拖动的方法复制, 来加快原理图的绘制。

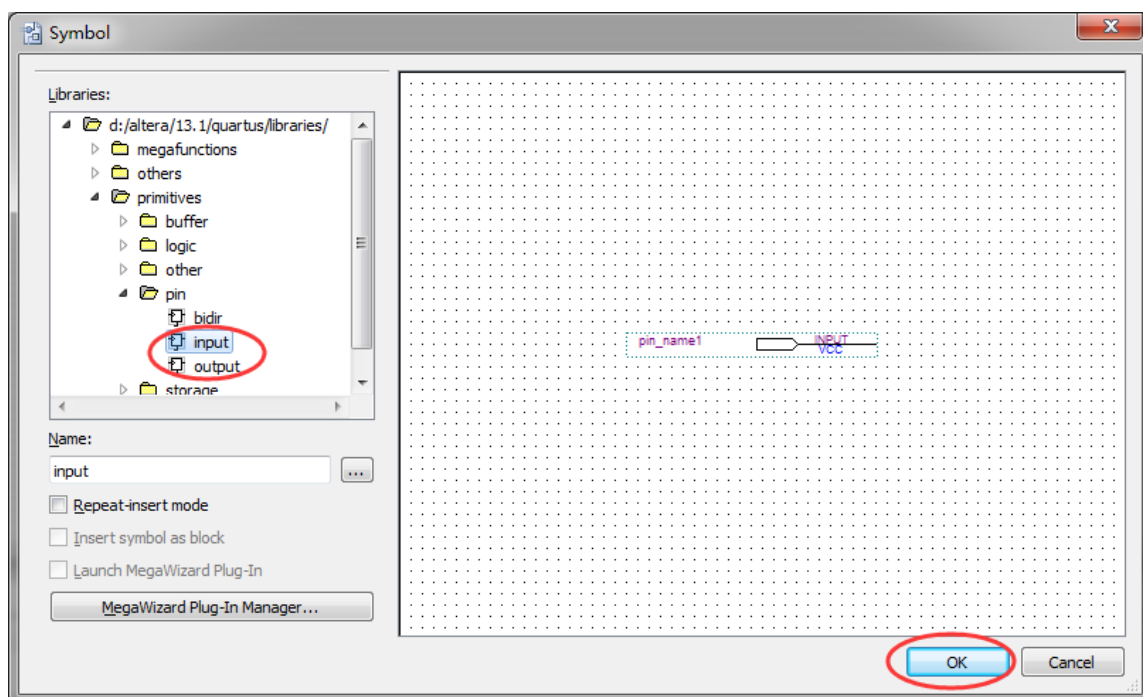


图 4-4: 添加原理图设计文件 (4)

5.添加完所有符号的设计如图 4-5 所示。

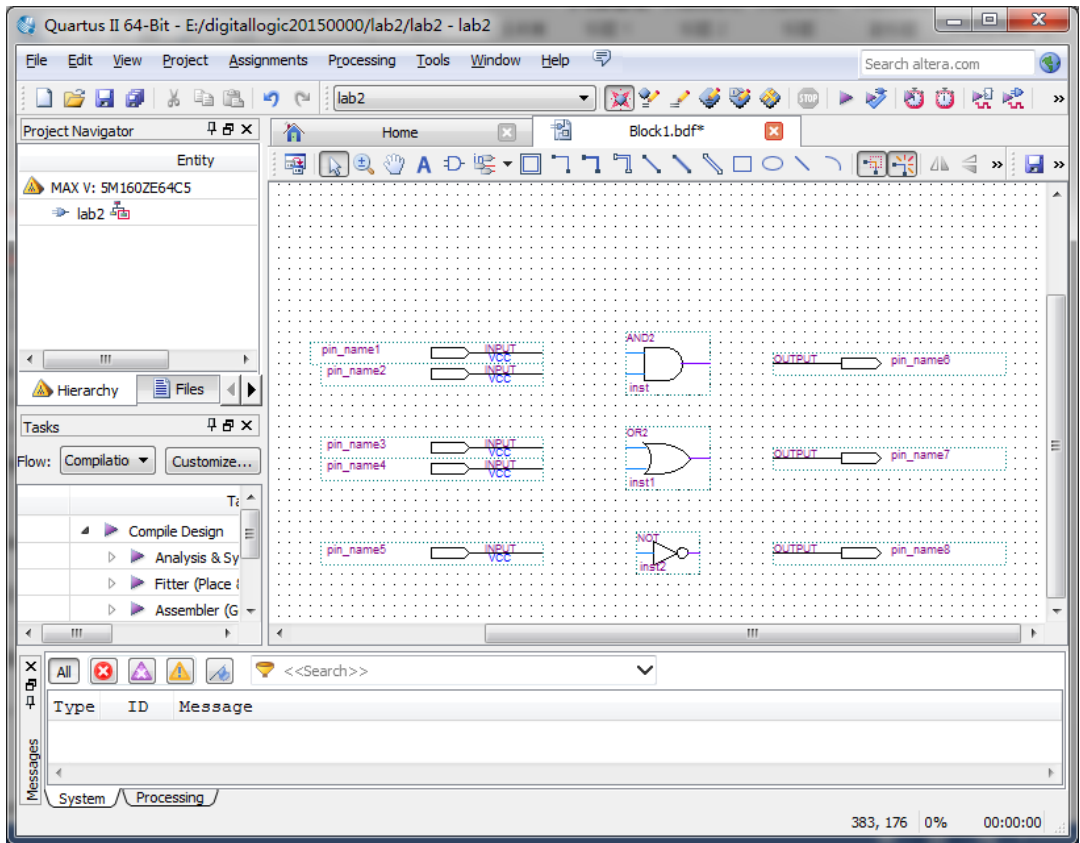


图 4-5：添加原理图设计文件（5）

6.用鼠标拖动的方式完成符号之间的连线，注意红色标记的地方连线是错误的。这种表示连线超出了连接点，可以用鼠标将多出的线拖回去。

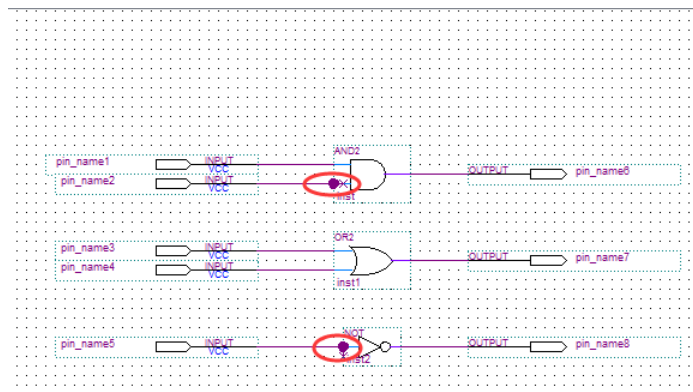


图 4-6：添加原理图设计文件（6）

7.在 pinname 处双击，依次修改 5 个输入变量为 a,b,c,d,e；三个输出变量为 o1,o2,o3.

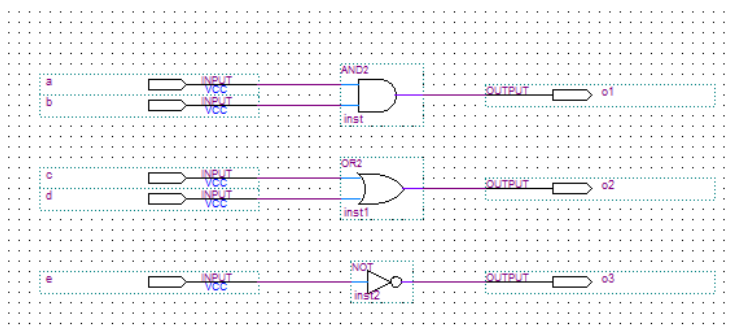


图 4-7：添加原理图设计文件（7）



8.Ctrl+s 保存 bdf 文件到工程目录下。系统会自动出现 lab2 的命名（因为在前面建立工程的时候设置了该工程的顶层实体是 lab2），这里设计者可以改动文件命名，也可保持不变。若修改了命名，则需要在工程导航栏的 file 处右键设置该文件为顶层实体，如图所示。因为 QuartusII 软件之前的设置是 lab2 为顶层实体，而此时工程中没有 lab2 命名的设计文件，所以需要重新指定设计实体。

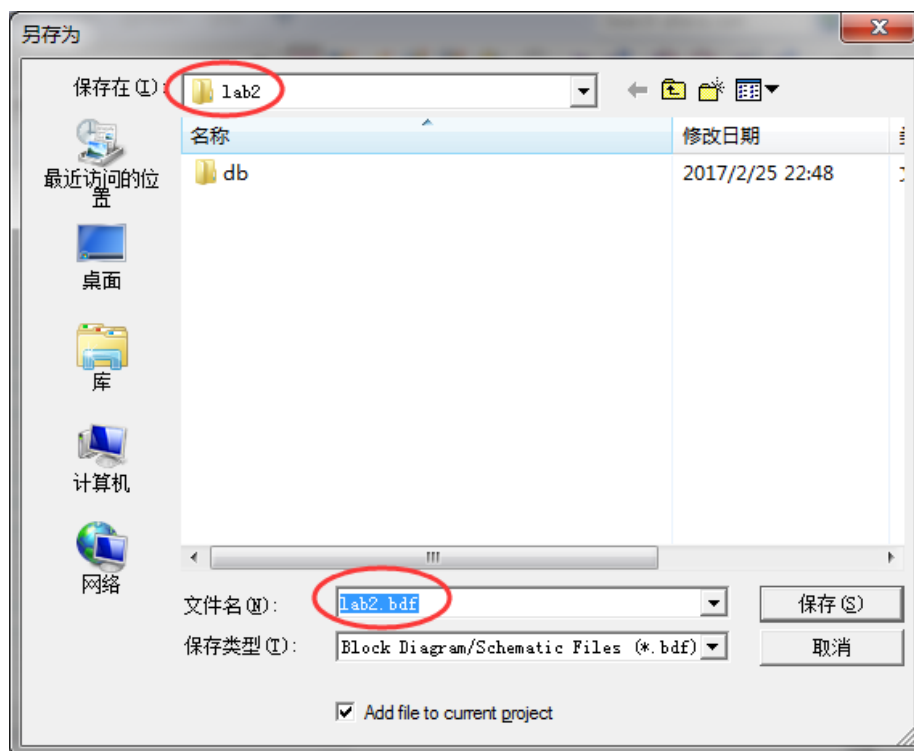


图 4-8：添加原理图设计文件（8）

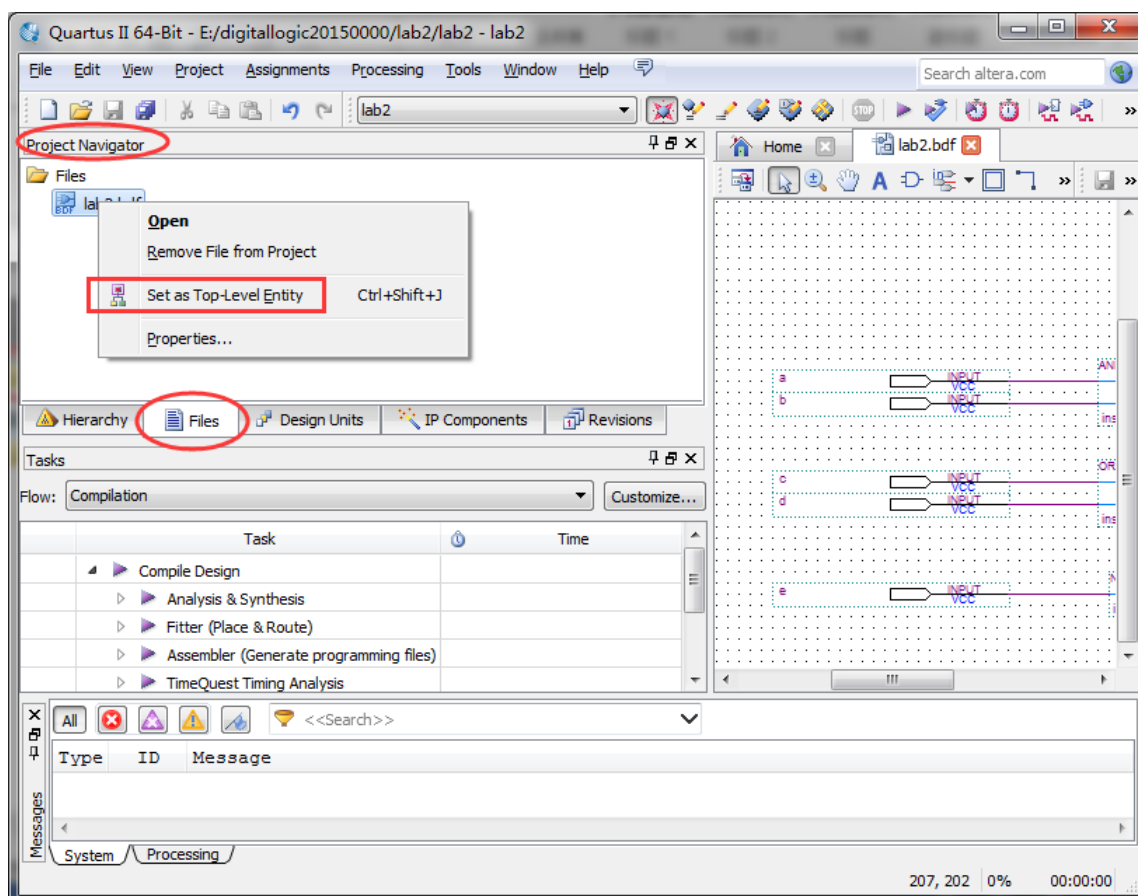


图 4-9：添加原理图设计文件（9）

四. 工程编译

1.设计文件添加完成后，对工程进行全编译。

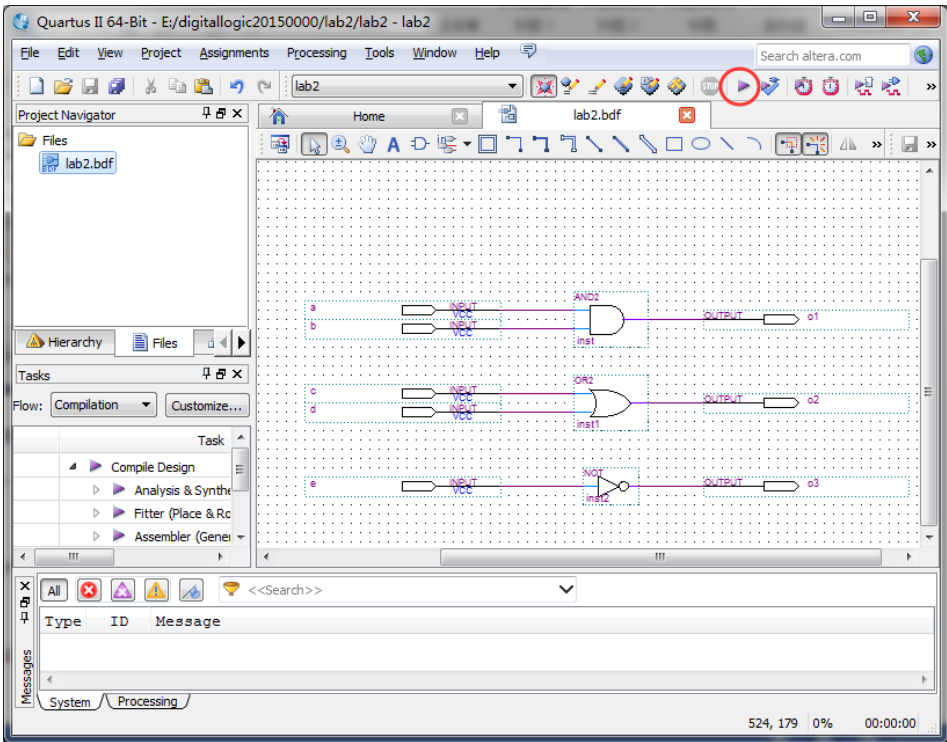


图 5：全编译

2.若编译成功，在 Tasks 任务栏中，所有的编译选项左侧都会出现一个对勾，同时在 Messages 信息栏中，进程会提示 0 errors。同时编辑栏会出现编译报告，显示当前工程的信息和占用的资源情况。若编译不成功，会在信息栏中出现错误信息提示，根据提示修改设计文档，重新编译，直到编译成功。

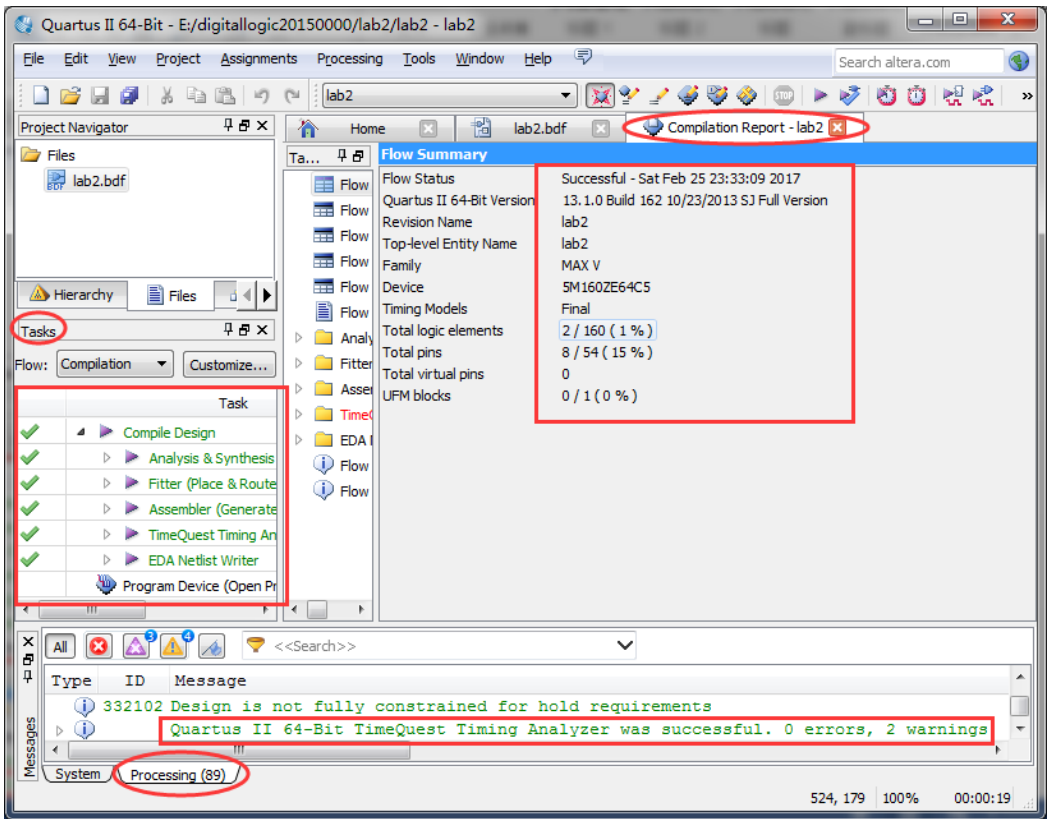


图 6：编译成功

## 五. 仿真

1.选择 File-》new 创建矢量波形文件 vwf。

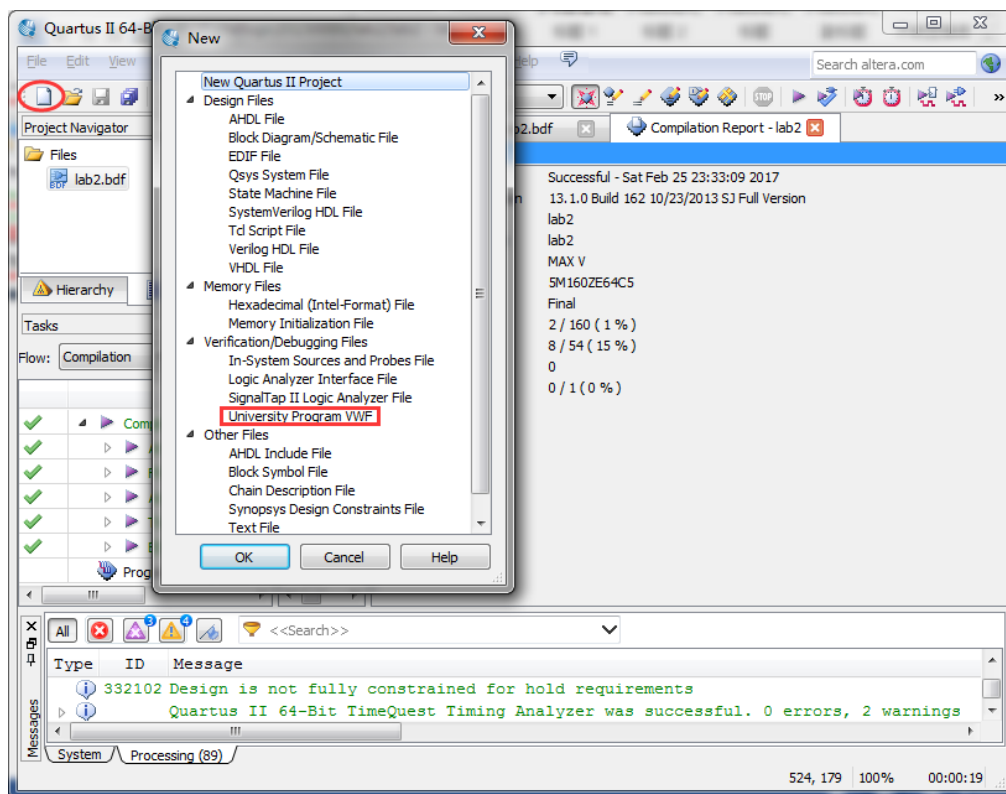


图 7：添加仿真文件 VWF

2.在新建的 vwf 文件的空白处双击，选 NodeFinder，点击 List 后，会出现所有的输入输出信号，点击类似右书名号的符号将所有信号添加到 vwf 文件中。

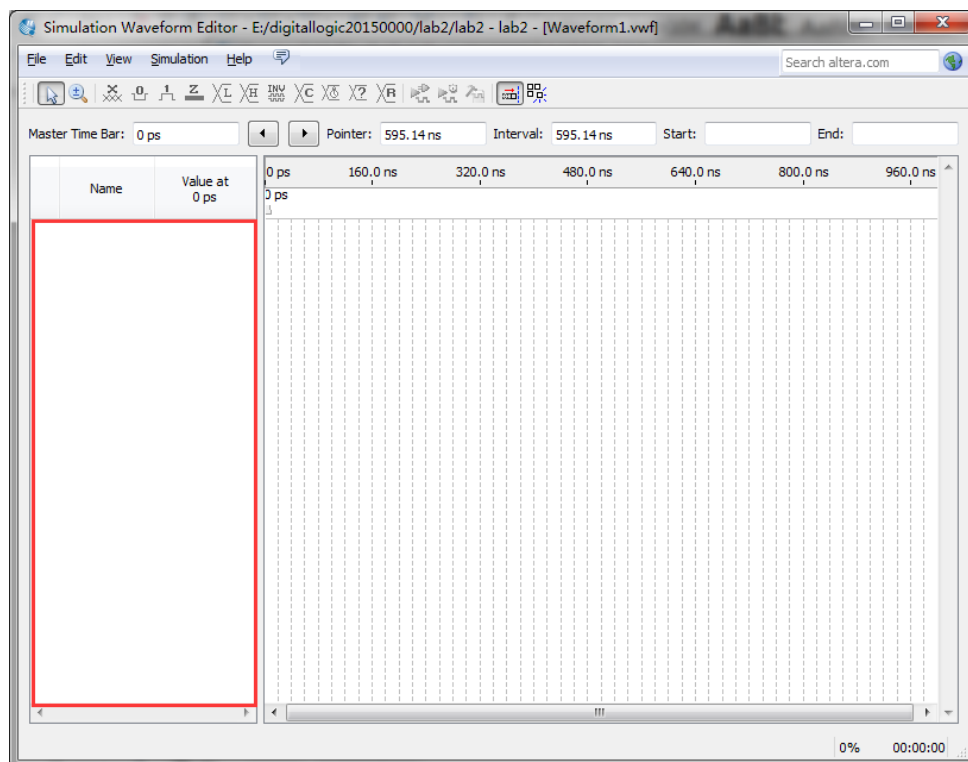


图 8-1：添加信号（1）

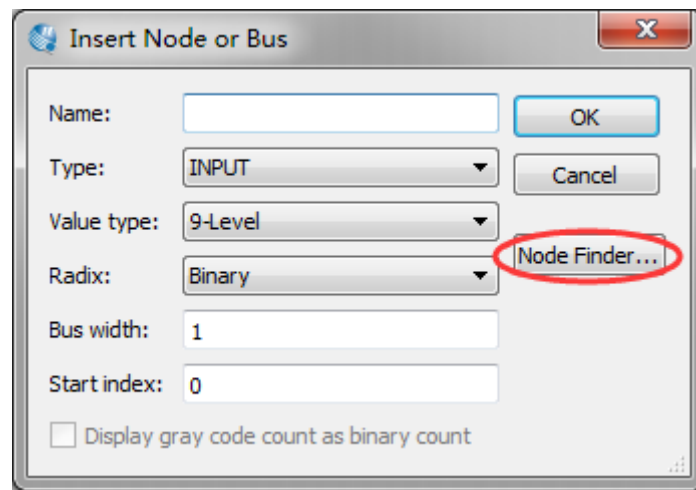


图 8-2: 添加信号 (2)

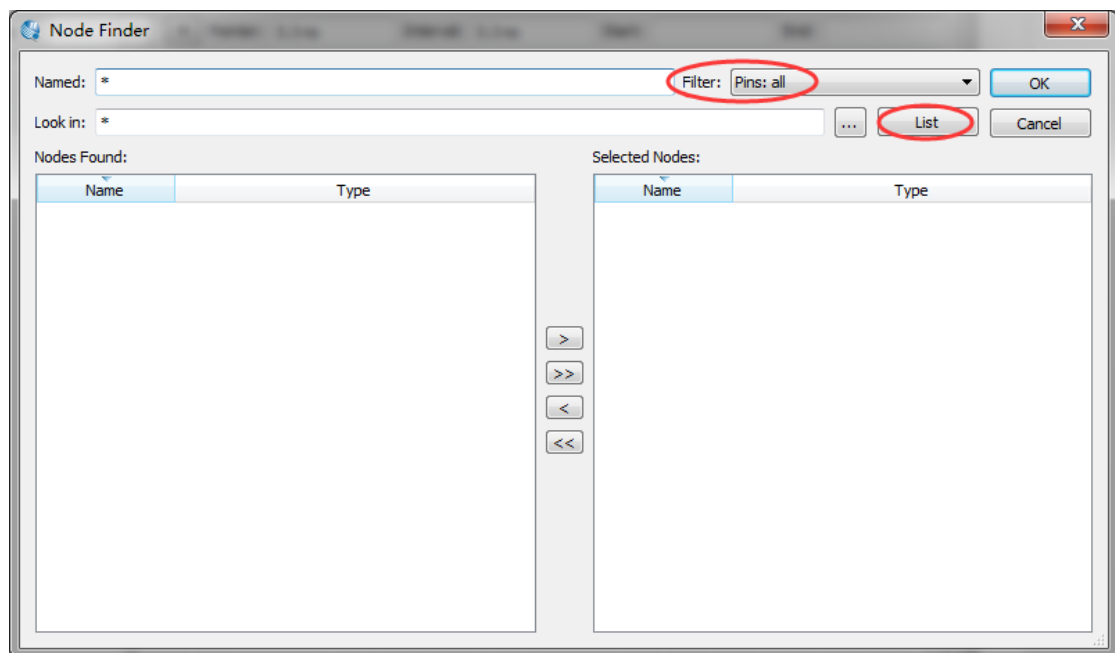


图 8-3: 添加信号 (3)

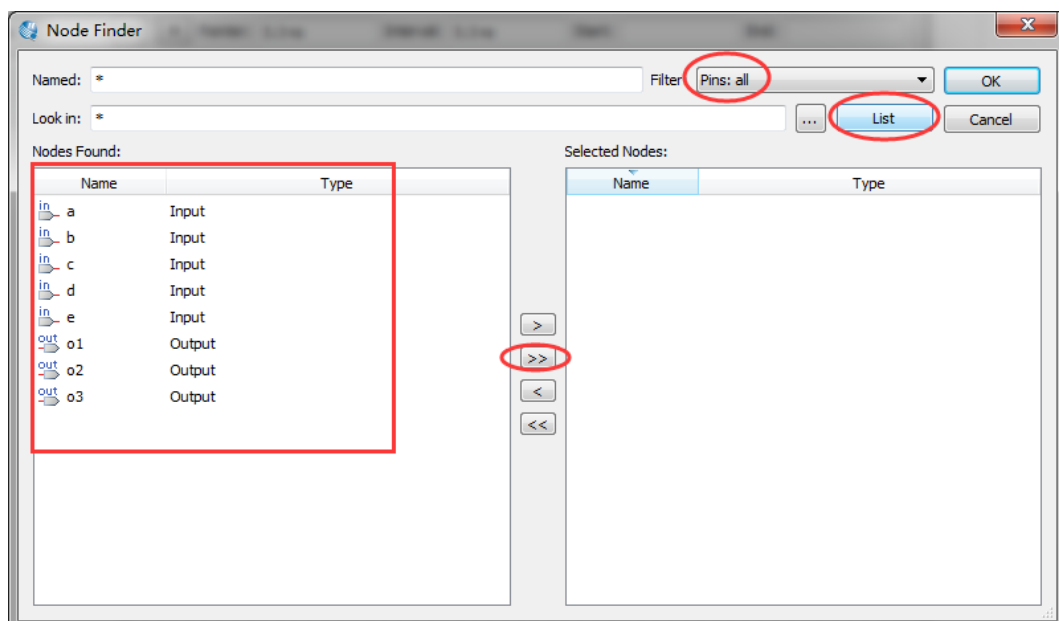


图 8-4: 添加信号 (4)

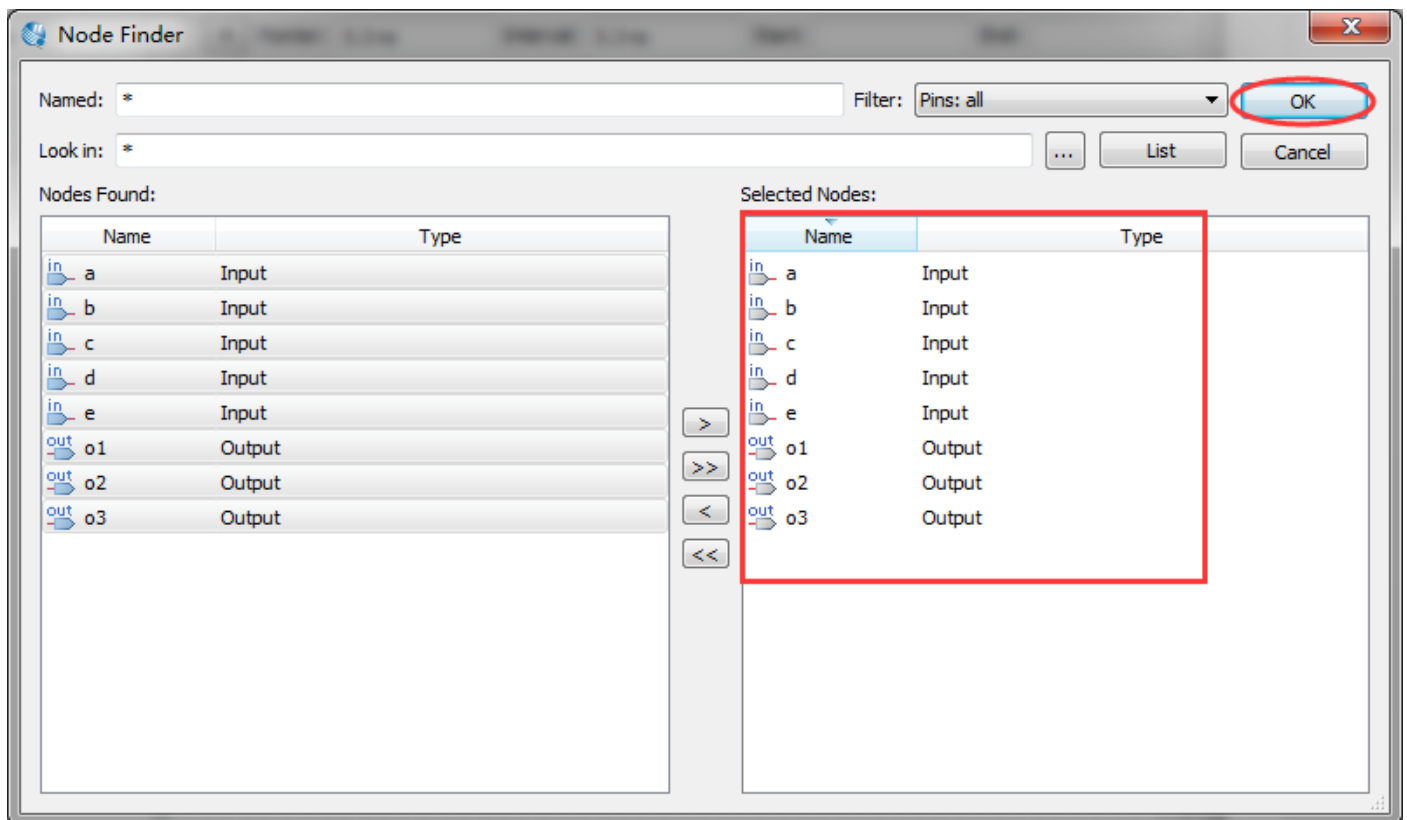


图 8-5: 添加信号 (5)

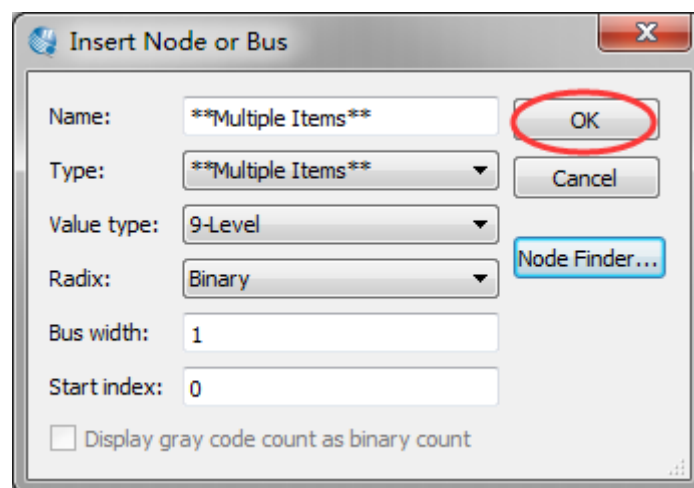


图 8-6: 添加信号 (6)

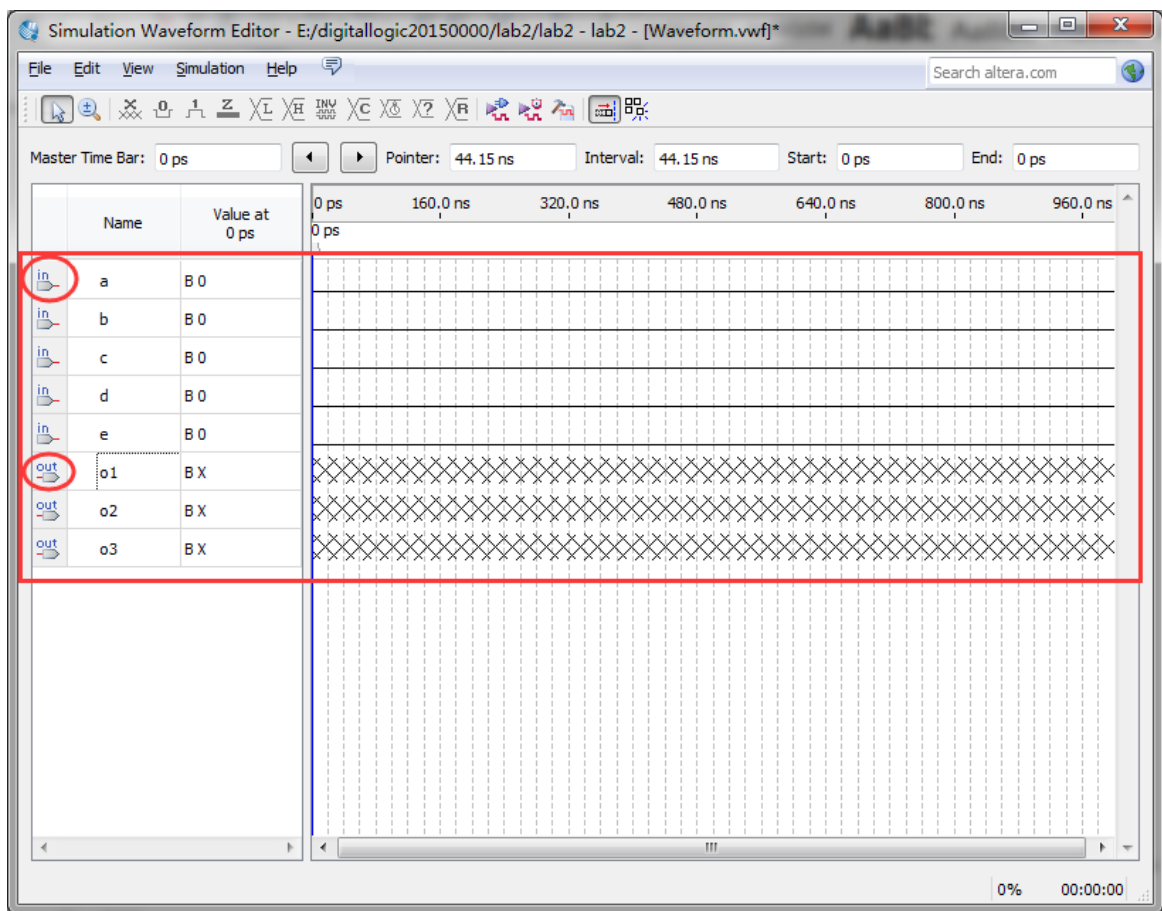


图 8-7: 添加信号 (7)

3. 设置输入信号值。用鼠标选中变量 a 的一段，然后 ForceHigh，将其设为 1。同样方法完成其它输入信号的设置。

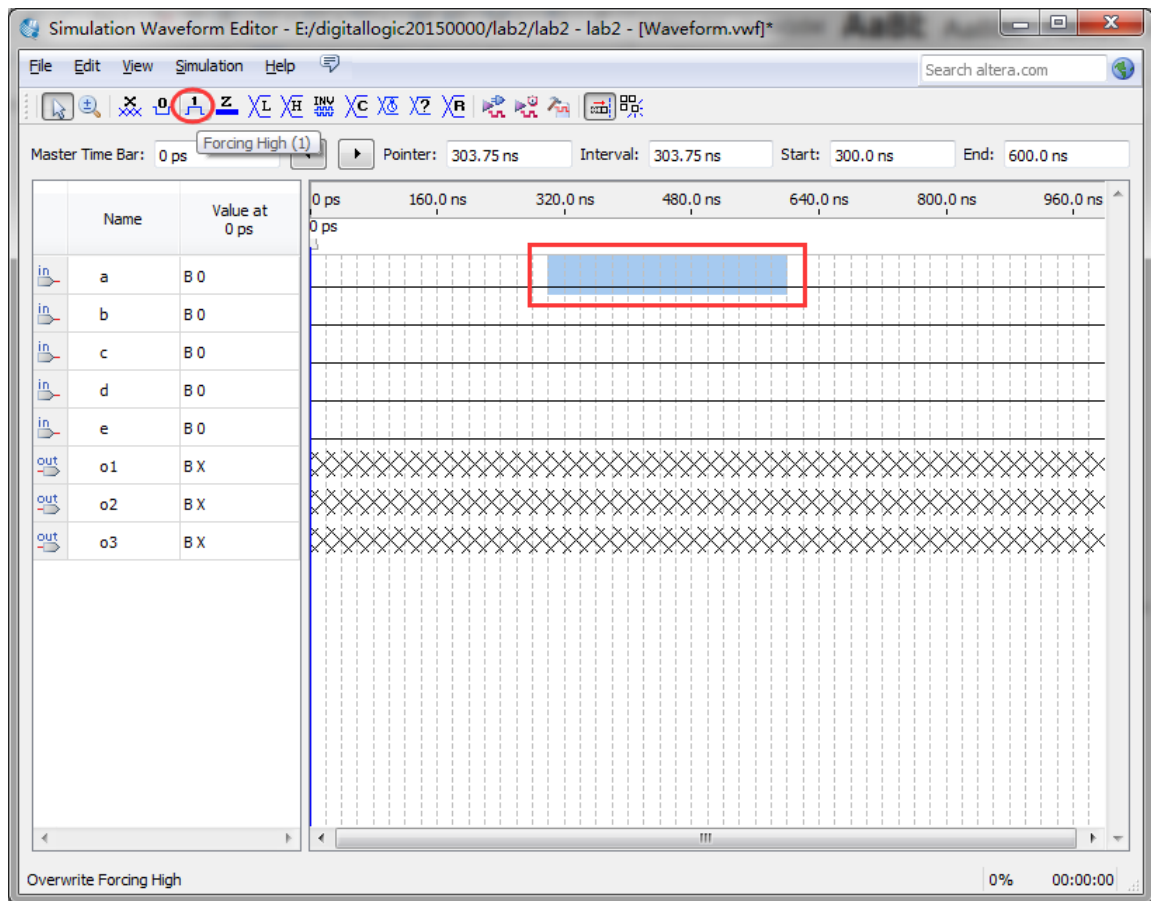


图 9-1: 设置输入信号值 (1)

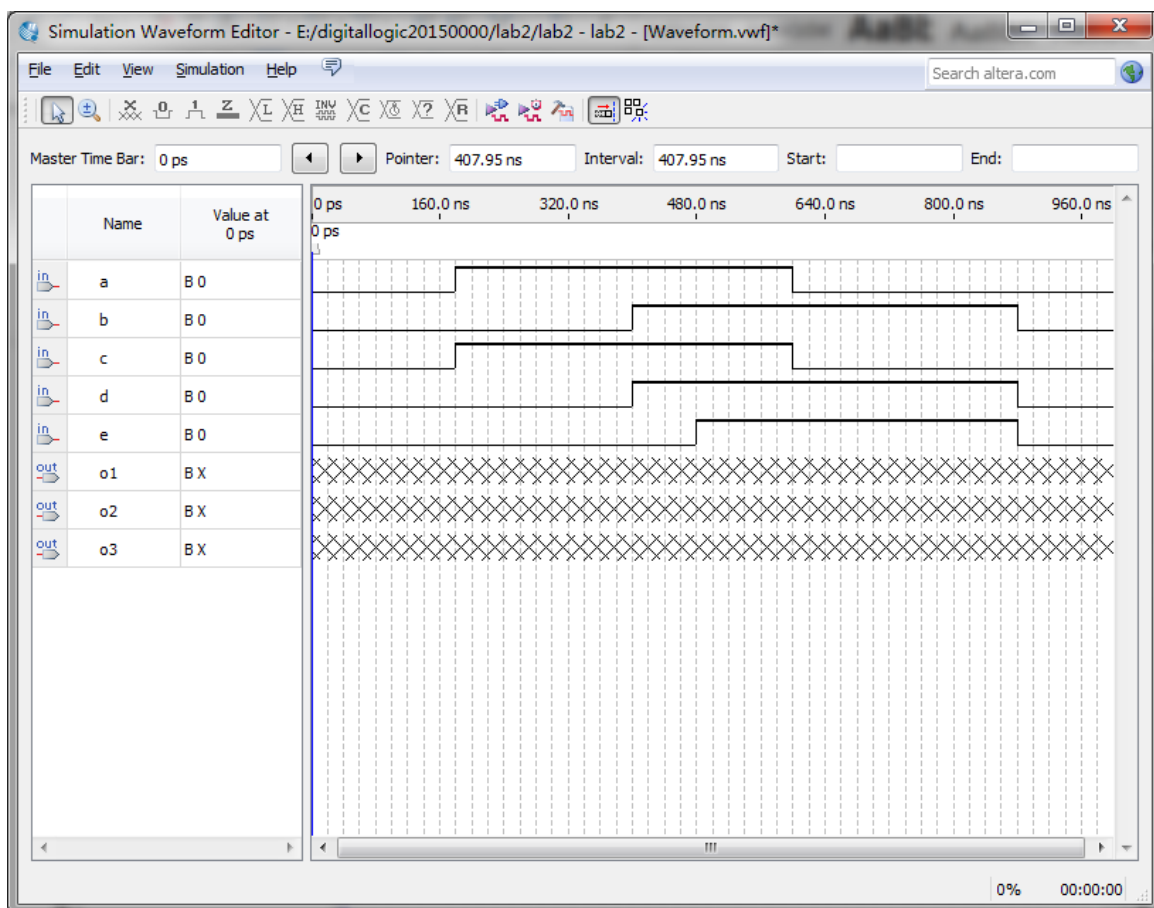


图 9-2: 设置输入信号值 (2)

4. Ctrl+s 保存文件到工程中。

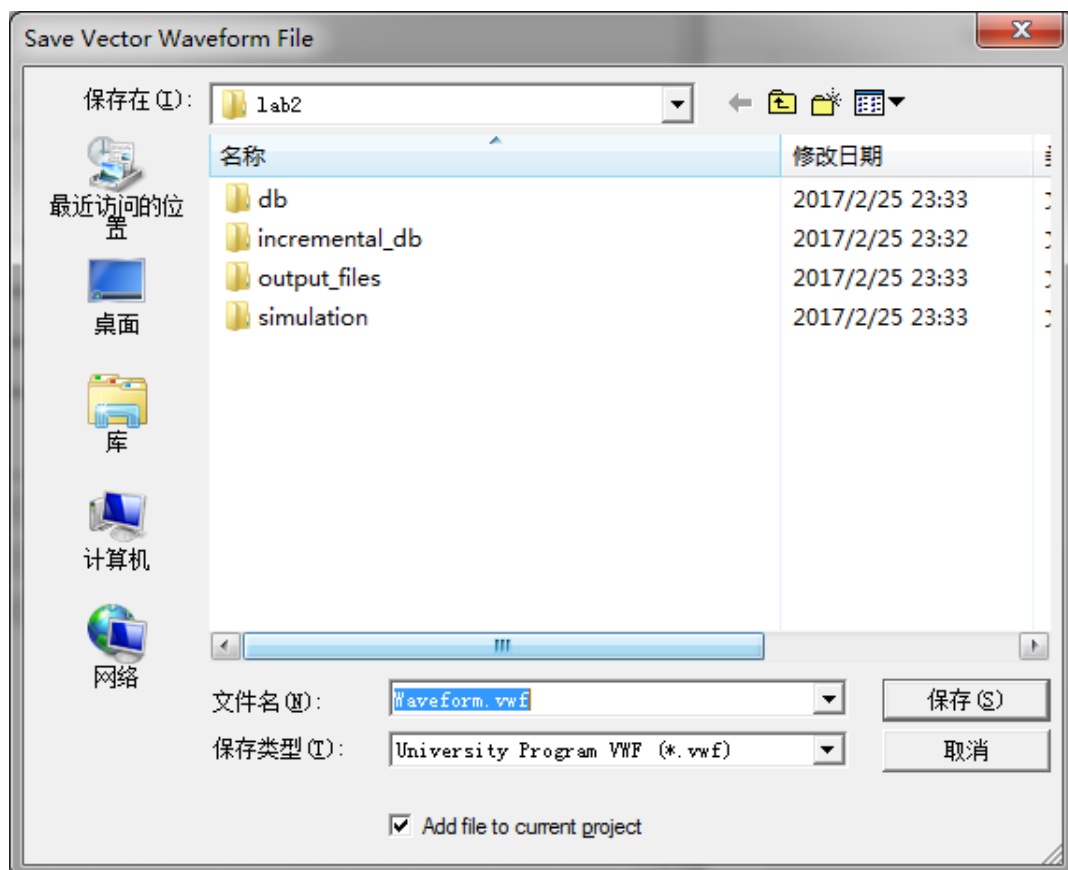


图 10: 保存矢量波形文件

5.运行功能仿真。根据仿真结果验证设计正确与否。

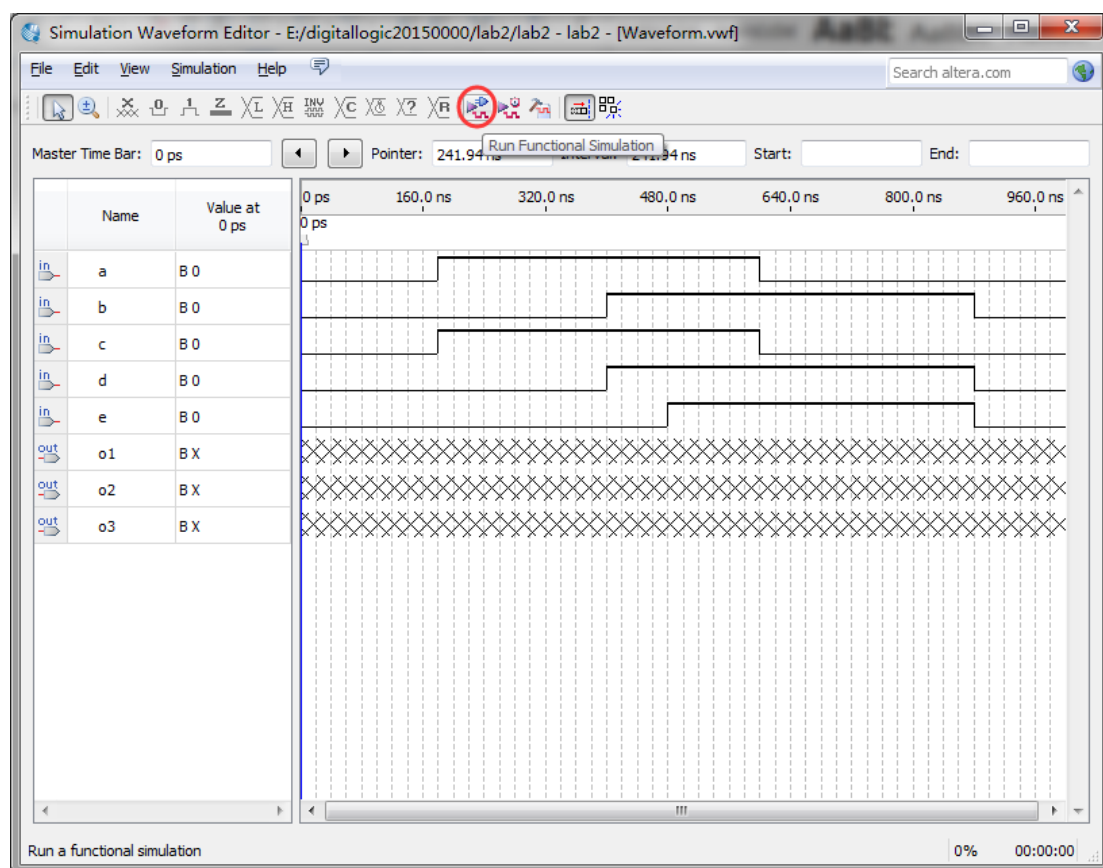


图 11：运行功能仿真

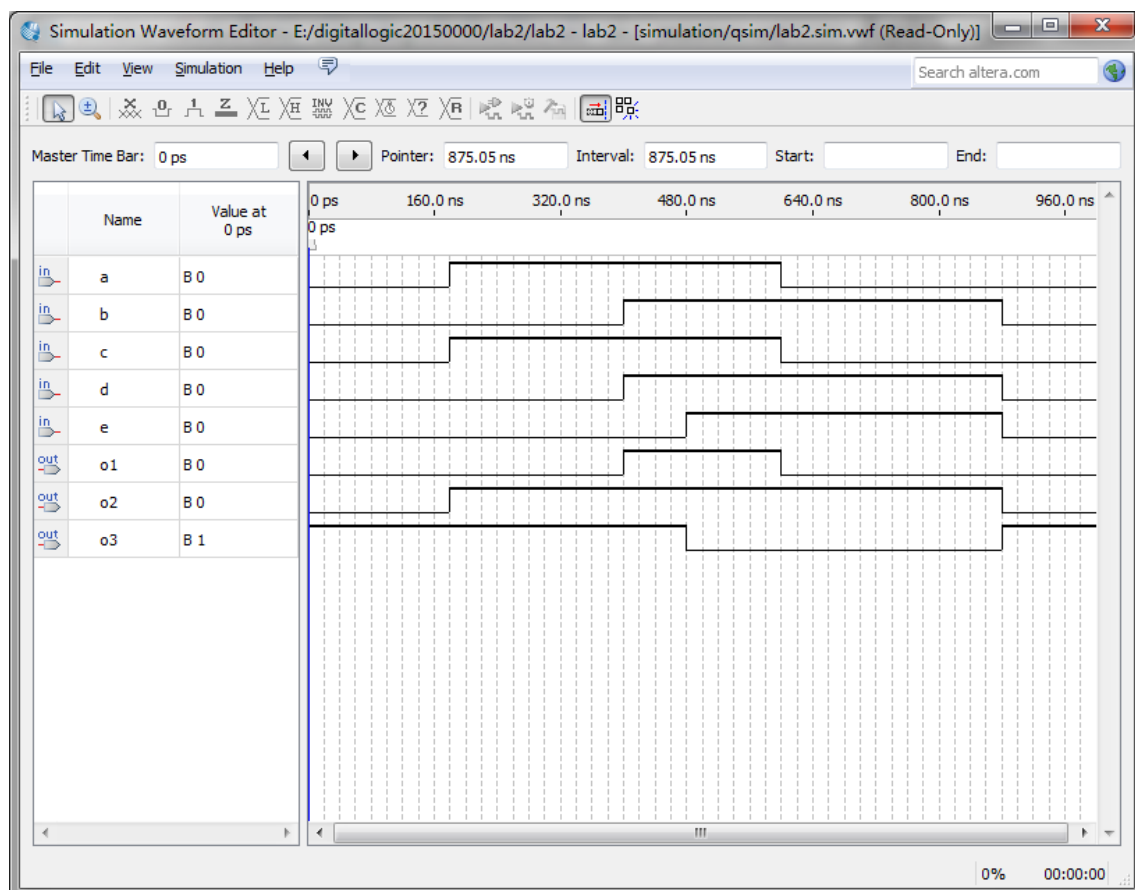


图 12：功能仿真结果



## 六. 使用硬件描述语言进行数字电路设计

### 1. 为工程新建 VerilogHDL 文件。

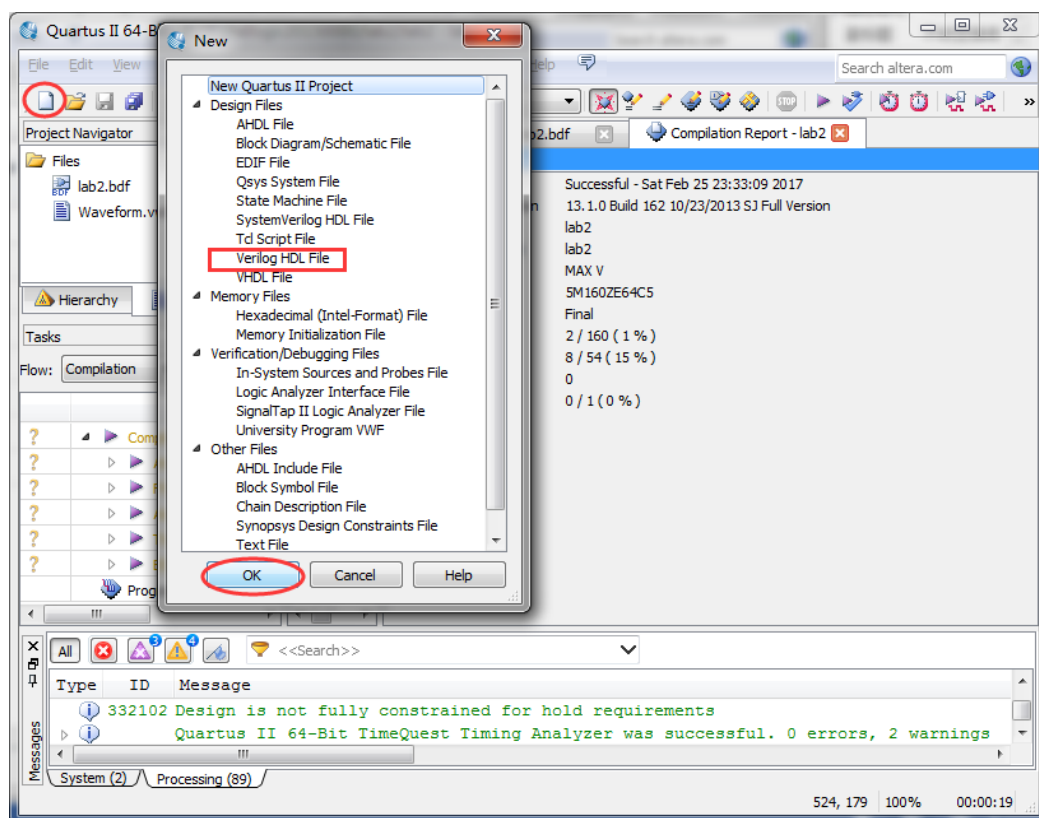


图 13-1: 添加硬件描述语言文件 (1)

### 2. 在 Verilog1.v 文件中输入以下代码，并保存文件为 test.v。注意这里的文件名必须与 module 名称一致。

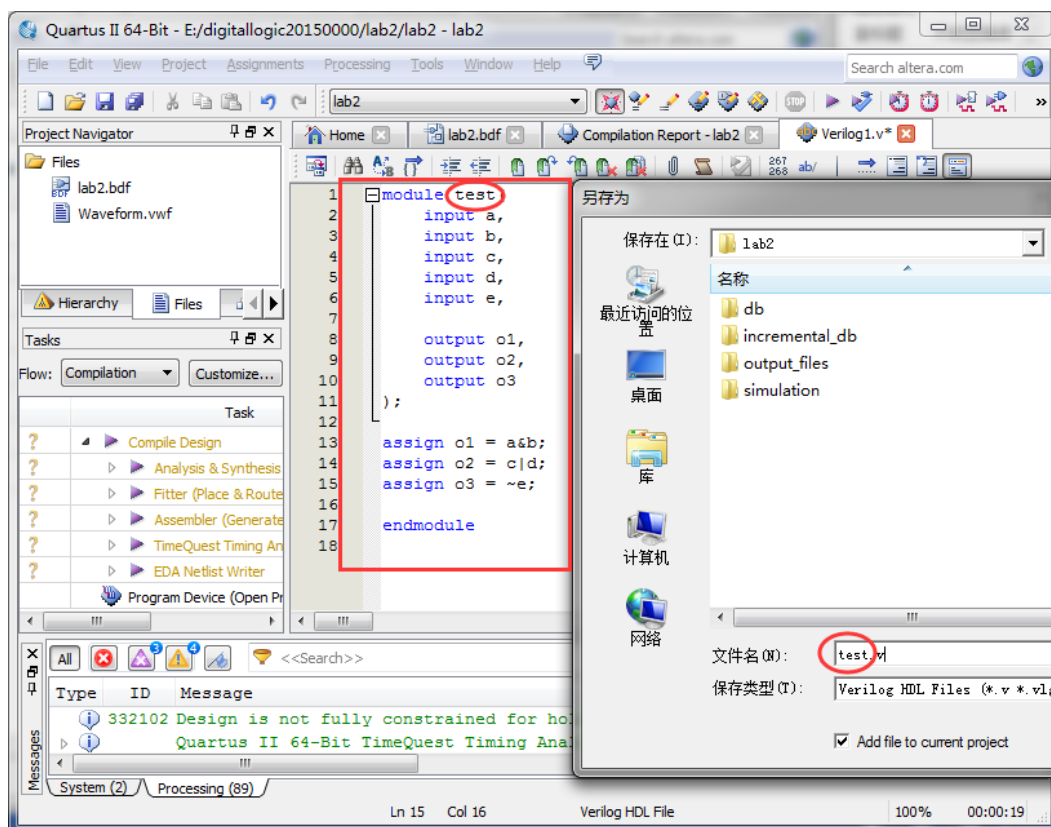


图 13-2: 添加硬件描述语言文件 (2)

3. 设置 test.v 为顶层实体。这时层次结构处原来的 lab2 会变成 test，表示成功的更改了顶层实体。

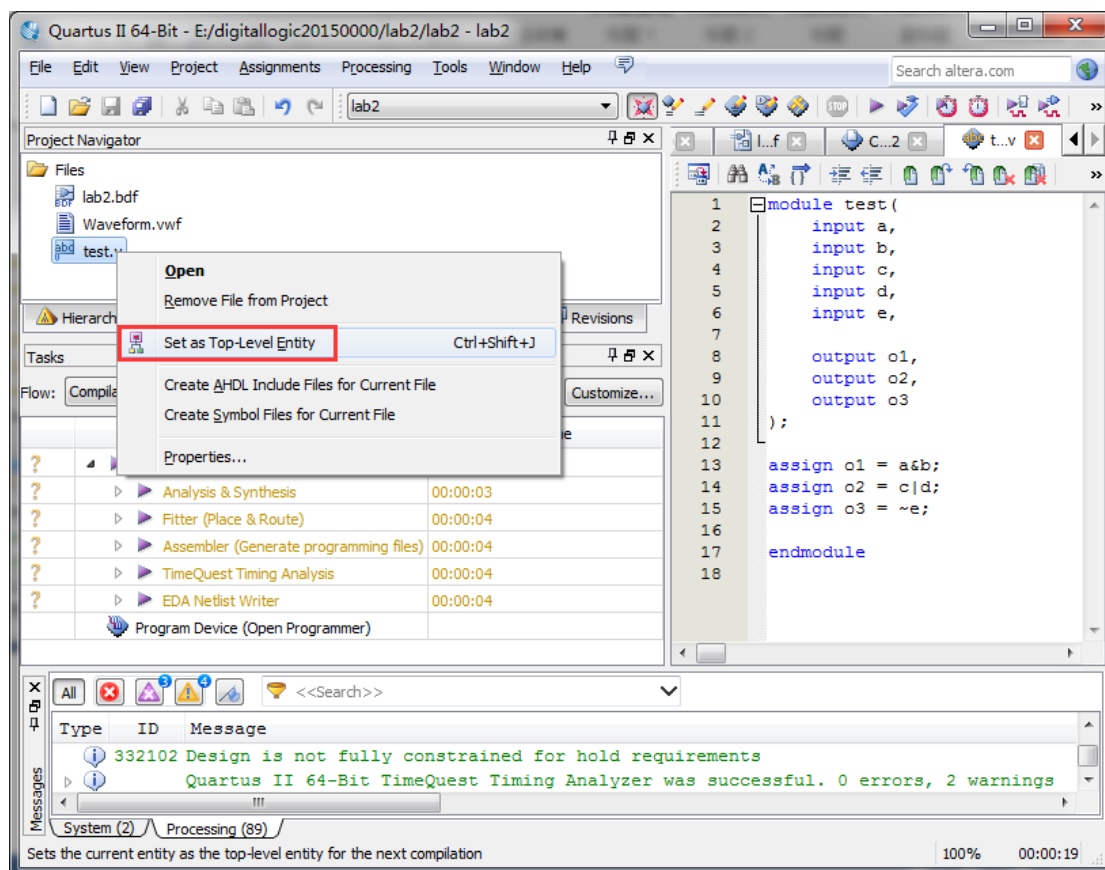


图 13-3：添加硬件描述语言文件（3）

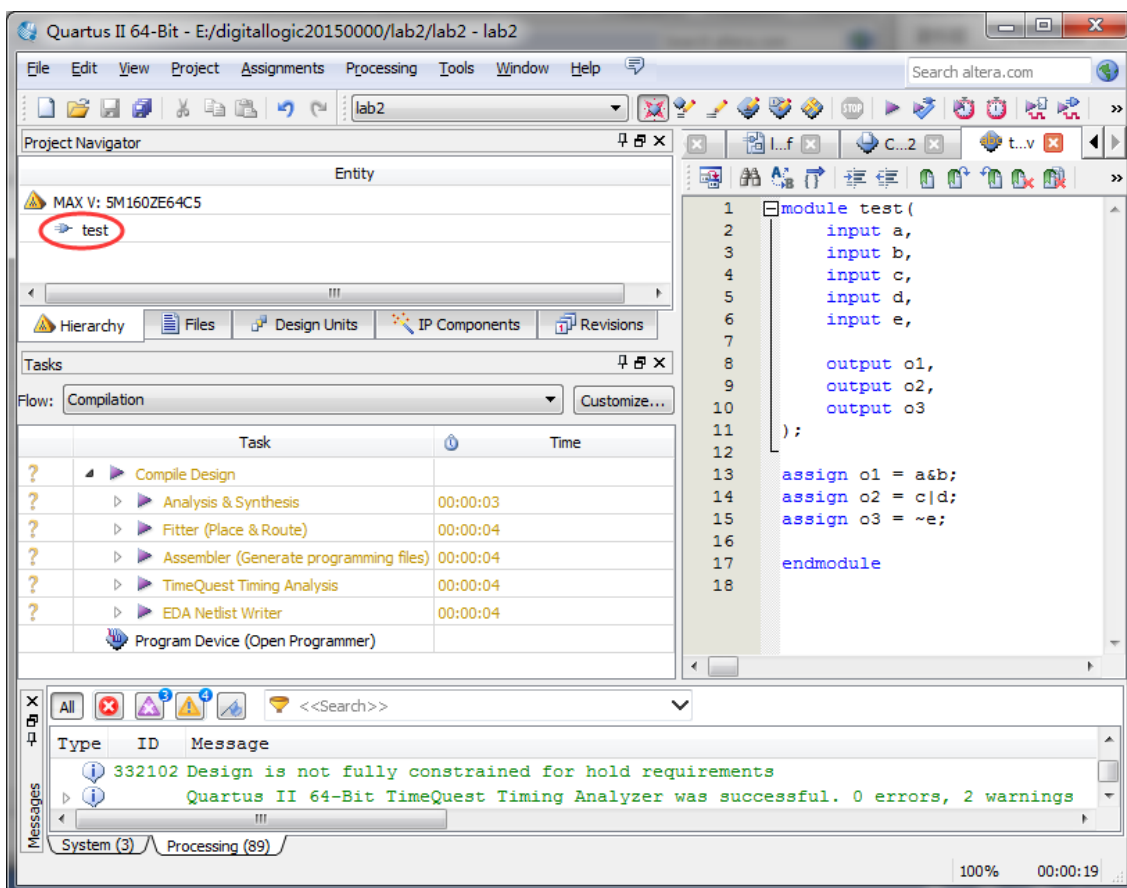


图 13-4：添加硬件描述语言文件（4）

#### 4.全编译。

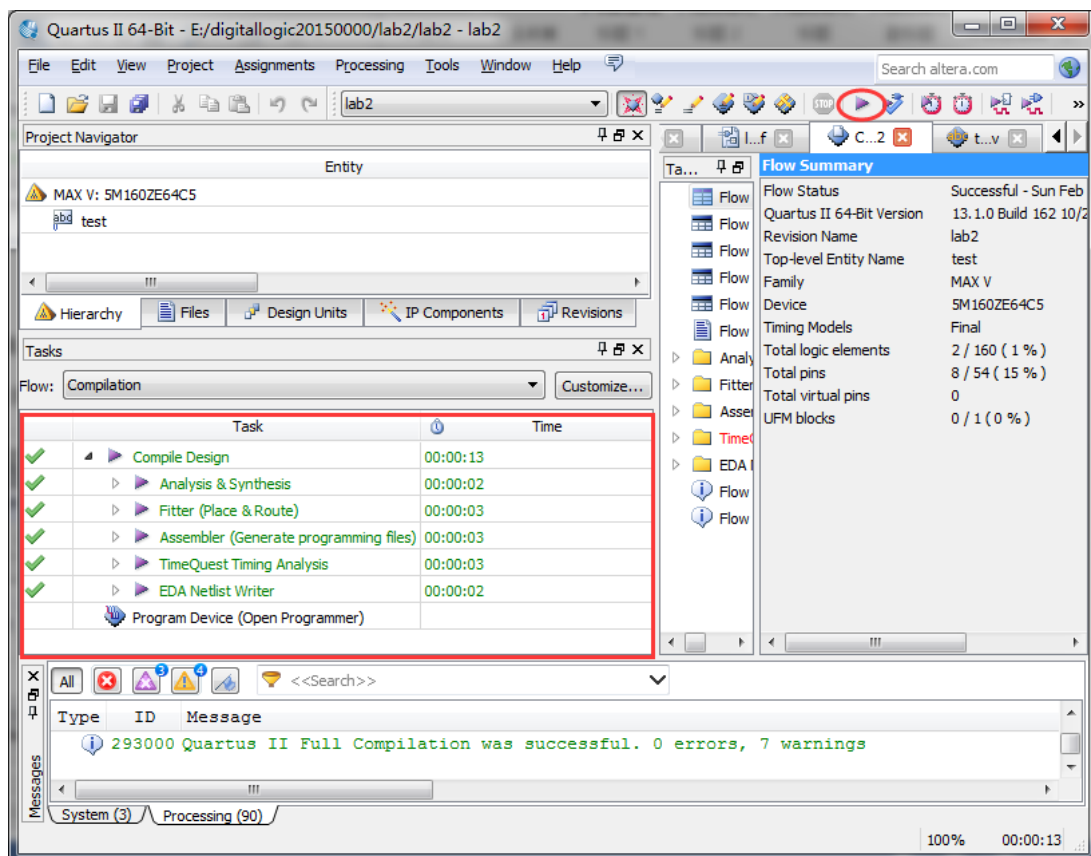


图 13-5: 添加硬件描述语言文件 (5)

#### 5.对工程重新进行功能仿真，观察并记录仿真结果。

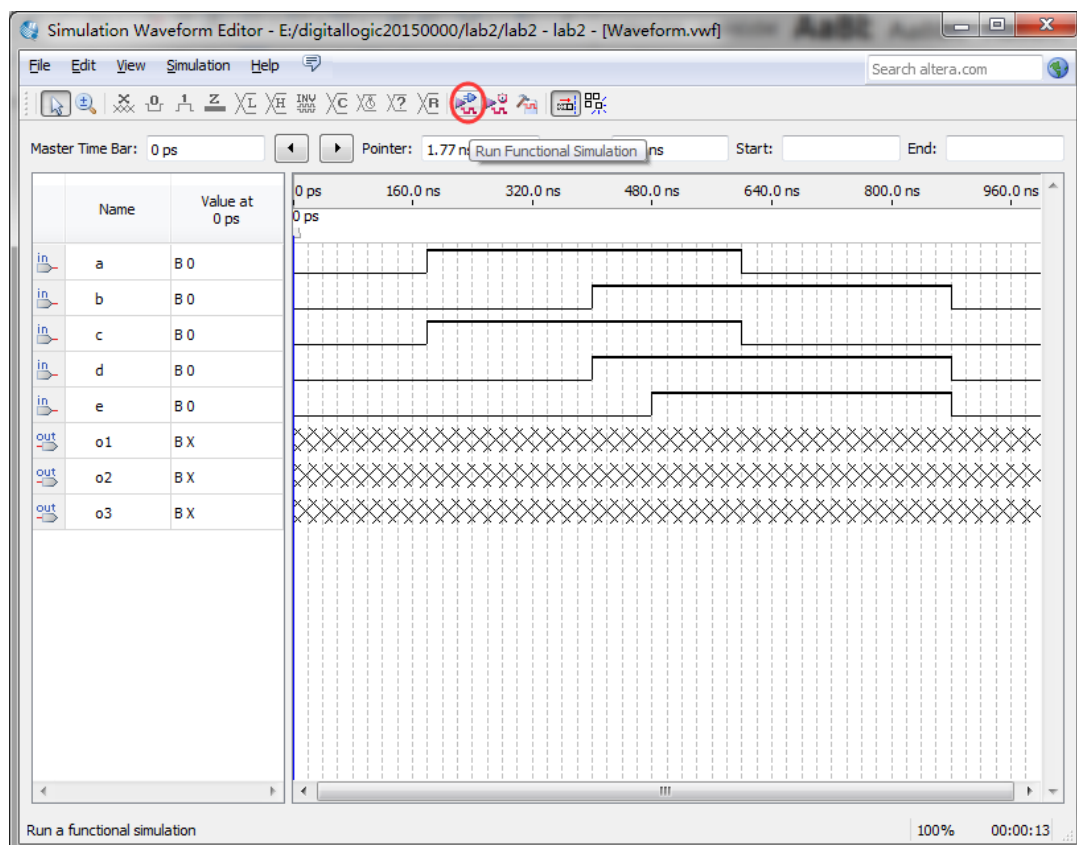


图 13-6: 添加硬件描述语言文件 (6)

6.在 tools 工具下，查看寄存器传输级视图 RTL Viewer。会发现出现的结果同实验内容 2 中我们设计的 bdf 文件基本一致。

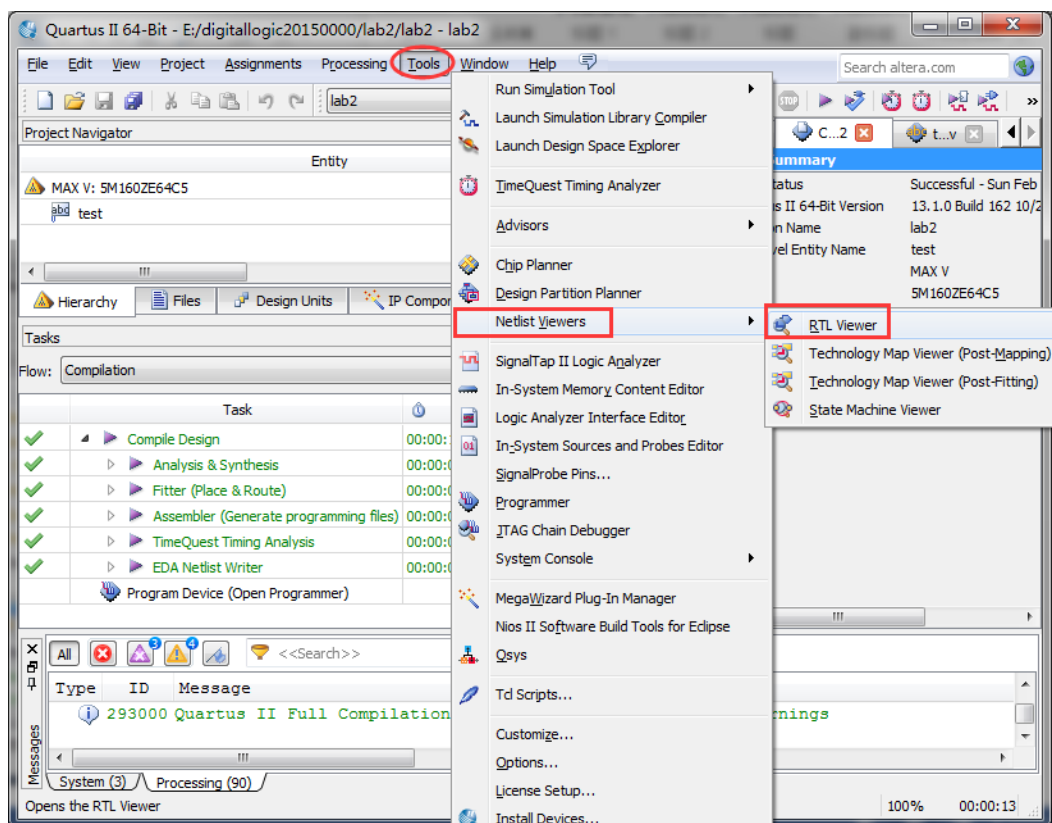


图 13-7：添加硬件描述语言文件（7）

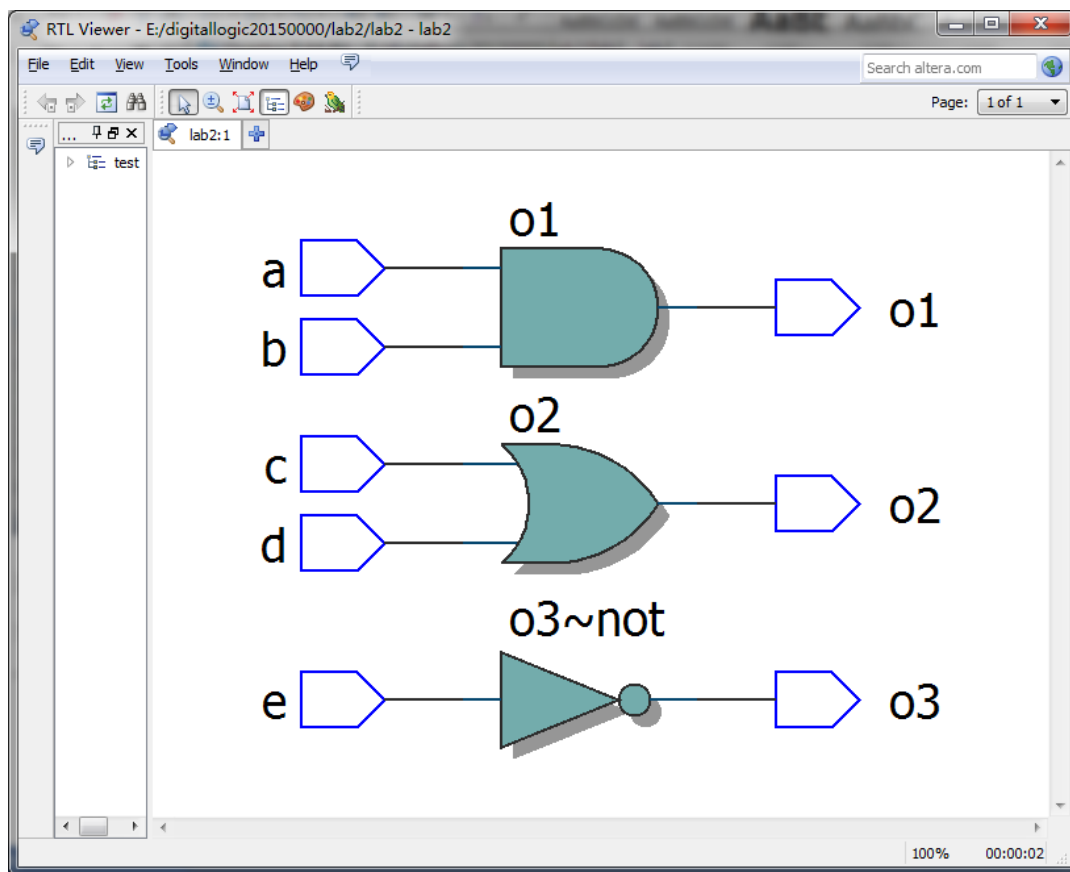


图 13-8：添加硬件描述语言文件（8）

## 七. 分配管脚

八. 下载

九. 片上验证