



2022

西安交通大学 信通学院

电子技术实验2

张翠翠

zhangcuicui@mail.xjtu.edu.cn

5 七段数码管



C 目录

CONTENTS

忠 果 敦 精
恕 毅 笃 勤
任 力 励 求
事 行 志 学

01

七段数码管驱动原理

02

CPLD器件

03

Quartus管脚分配和下载

04

实验报告要求

05

下一次实验内容



Part 01

七段数码管驱动原理

七段数码管驱动原理

◆七段数码管由a b c d e f g dp八段发光管组成，靠每一段的亮灭状态的不同来显示不同的字符。

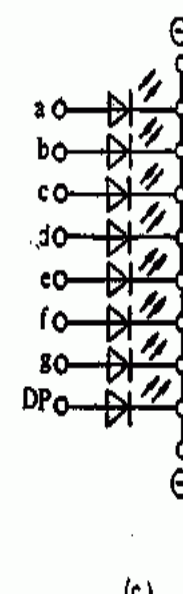
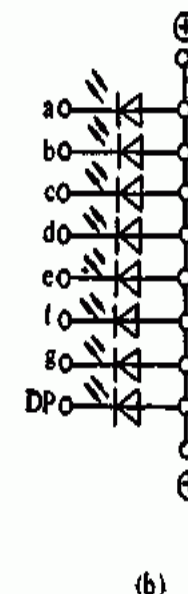
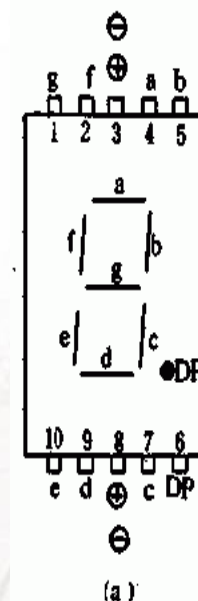
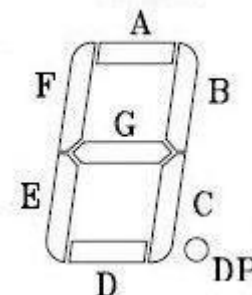
◆分为共阴极和共阳极

◆共阳极数码管是指数码管的八段发光二极管的阳极(正极)都连在一起，而阴极对应的各段可分别控制，如图(b)所示，此时控制各段的信号为低时该段点亮；

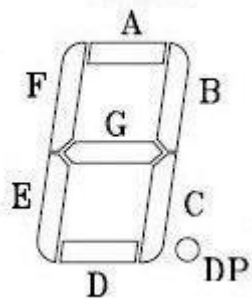
例：abcdefg=7 'b0000001，显示0

◆共阴极数码管是指数码管的八段发光二极管的阴极(负极)都连在一起，而阳极对应的各段可分别控制，如图(c)所示，此时控制各段的信号为高时该段点亮。

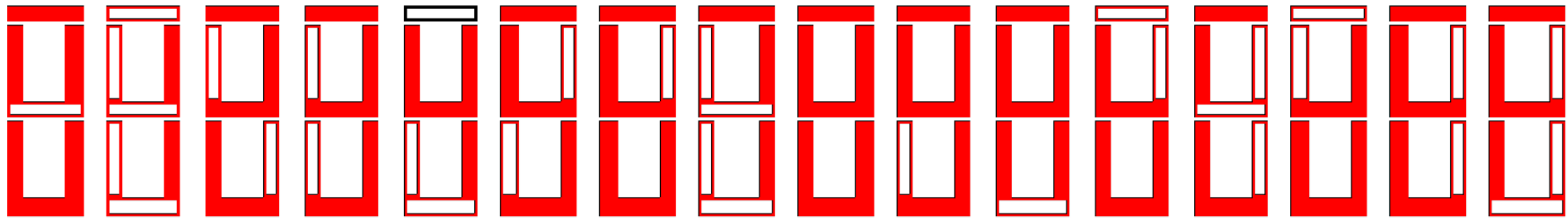
例：abcdefg=7 'b1111110，显示0



(a)管脚排列(俯视图) (b)共阳极结构 (c)共阴极结构

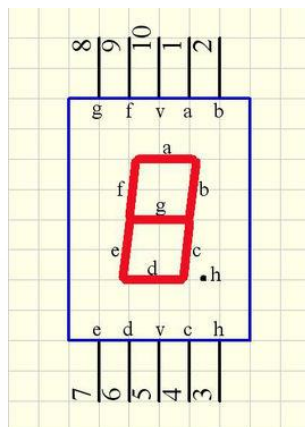


四位二进制数	对应的16进制数	a	b	c	d	e	f	g
0000	0	0	0	0	0	0	0	1
0001	1	1	0	0	1	1	1	1
0010	2	0	0	1	0	0	1	0
0011	3							
0100	4							
0101	5							
0110	6							
0111	7							
1000	8							
1001	9							
1010	A							
1011	B							
1100	C							
1101	D							
1110	E							



◆ case语句

• 例4：七段数码管



```
always @(k) begin
    case (k)
        4'b0000: seg7out = 7'b0000001;
        4'b0001: seg7out = 7'b1001111;
        4'b0010: seg7out = 7'b0010010;
        4'b0011: seg7out = 7'b0000110;
        4'b0100: seg7out = 7'b1001100;
        4'b0101: seg7out = 7'b0100100;
        4'b0110: seg7out = 7'b0100000;
        4'b0111: seg7out = 7'b0001111;
        4'b1000: seg7out = 7'b0000000;
        4'b1001: seg7out = 7'b0000100;
        4'b1010: seg7out = 7'b0001000;
        4'b1011: seg7out = 7'b1100000;
        4'b1100: seg7out = 7'b0110001;
        4'b1101: seg7out = 7'b1000010;
        4'b1110: seg7out = 7'b0110000;
        4'b1111: seg7out = 7'b0111000;
    endcase
end
```

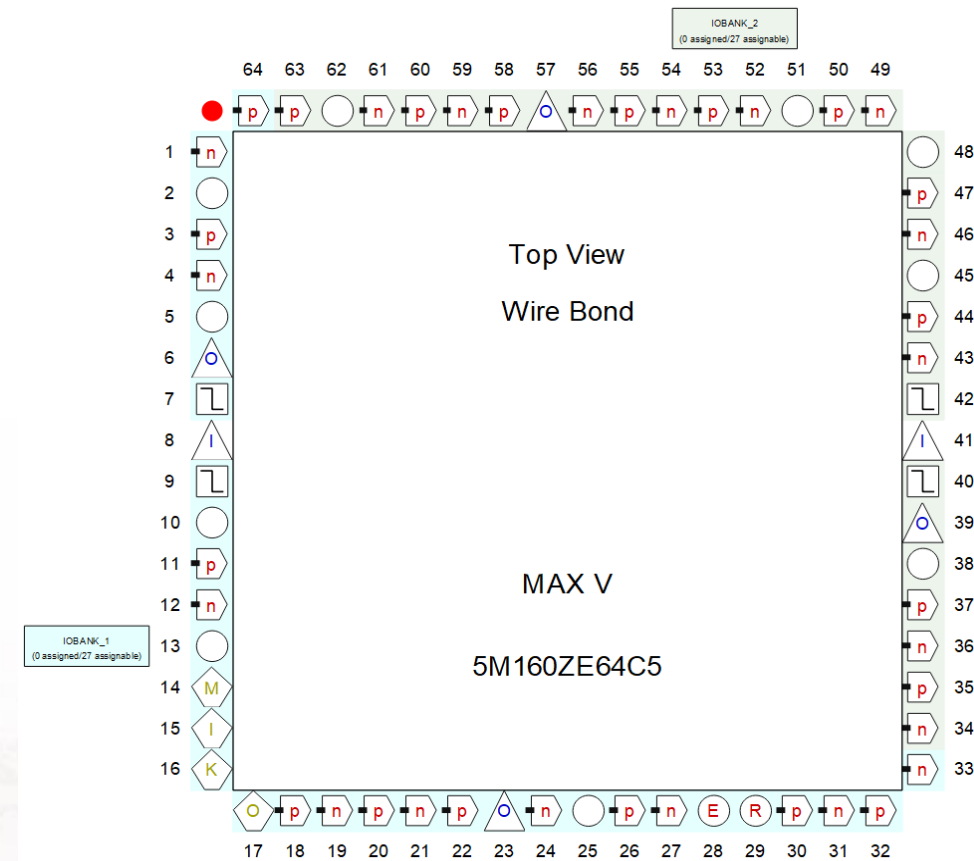
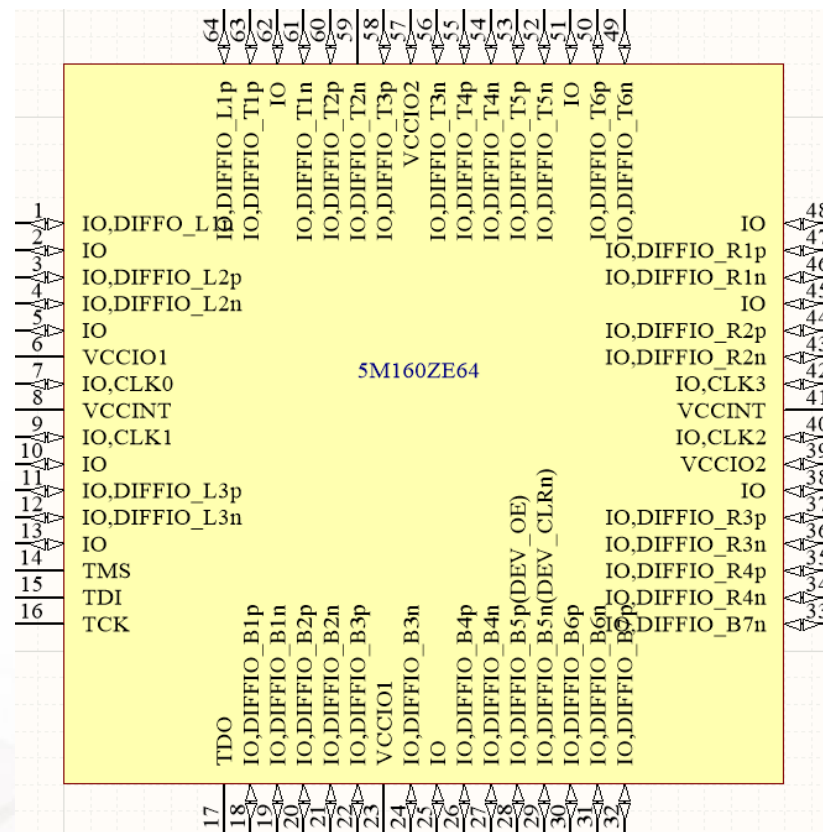


Part 02

CPLD器件

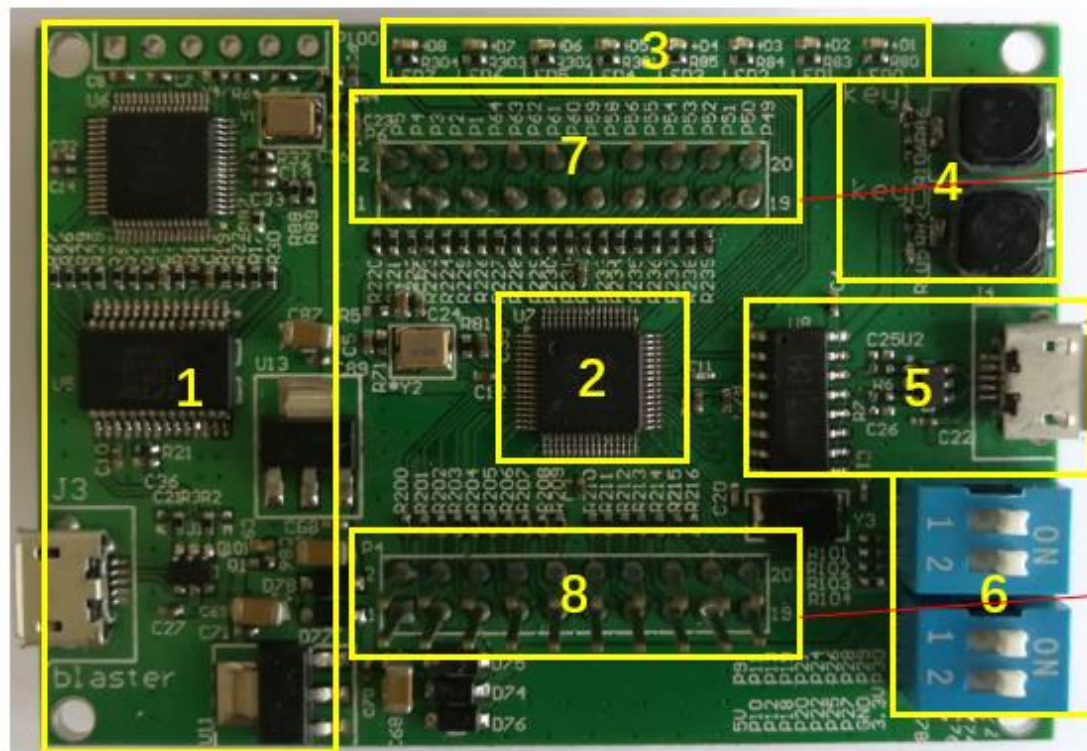


2.1 CPLD器件



CPLD型号: **5M160ZE64C5N**

5M: MAX V 系列的命名
160Z: 含有的逻辑单元的多少, 即容量大小
E: 封装类型
64: 管脚数目
C: 工作温度
5: 速度等级
N: 多功能后缀, N表示无铅封装

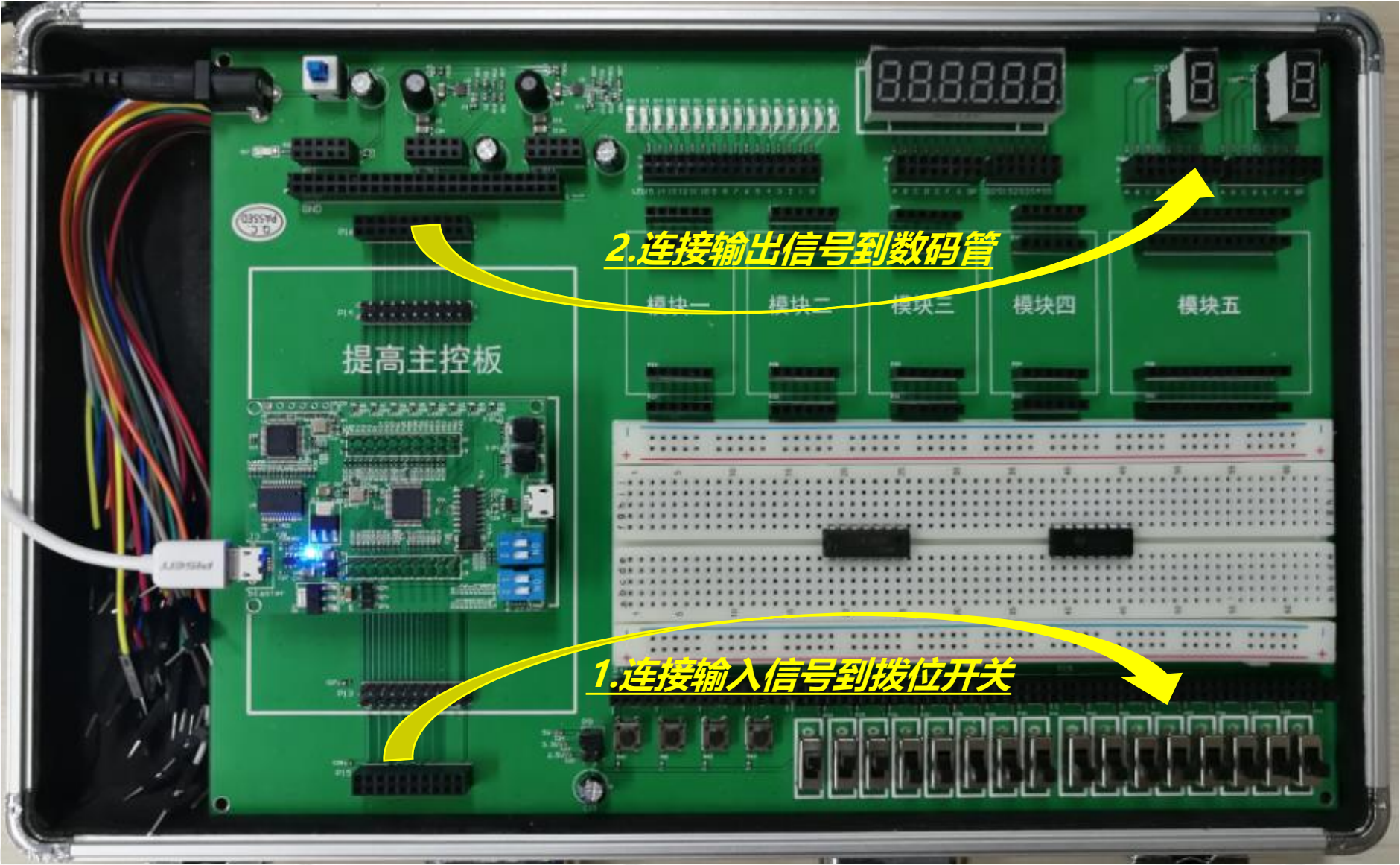


P6

PIN5	PIN3	PIN1	PIN63	PIN61	PIN59	PIN56	PIN54	PIN52	PIN50
PIN4	PIN2	PIN64	PIN62	PIN60	PIN58	PIN55	PIN53	PIN51	PIN49

P4

PIN9	PIN11	PIN13	PIN19	PIN21	PIN24	PIN26	PIN28	P29	PIN30
5V	PIN10	PIN12	PIN18	PIN20	PIN22	PIN25	PIN27	GND	3.3V





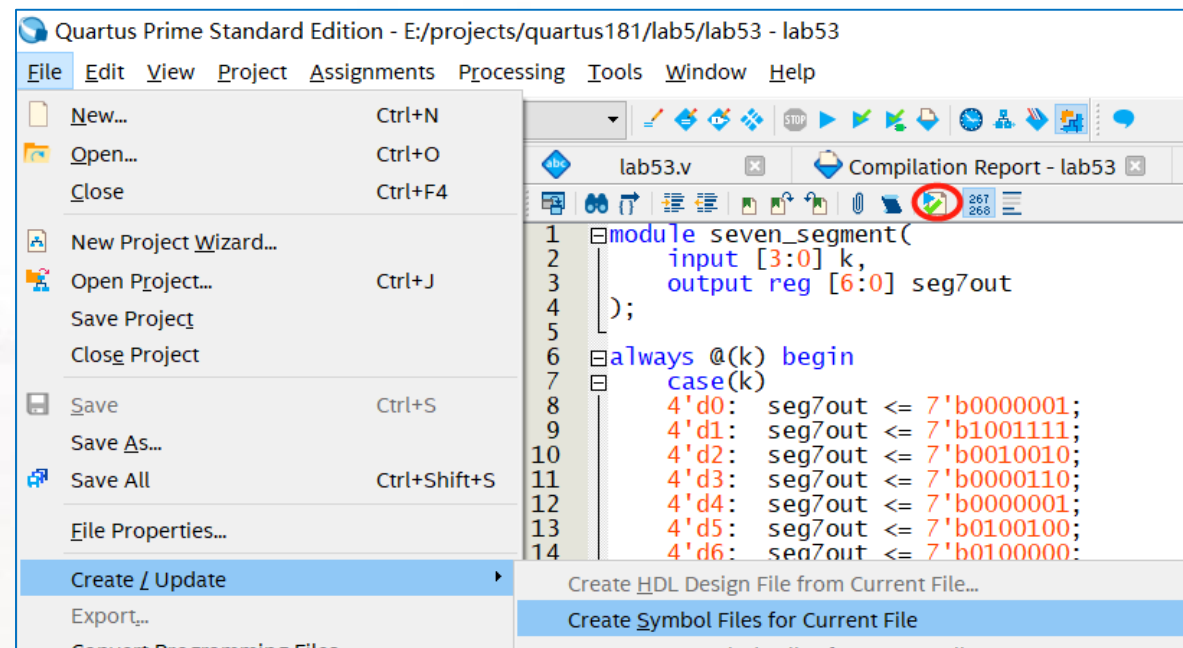
Part 03

Quartus管脚分配和下载



3.1 ◆ 第一步：设计七段数码管并仿真

1. 新建工程lab5
2. 新建Verilog HDL文件，完成七端数码管的Verilog程序设计
3. 保存.v文件的名称与module的名称一致
4. 添加波形仿真文件，设计合适激励，验证设计是否正确
5. 将设计封装成符号

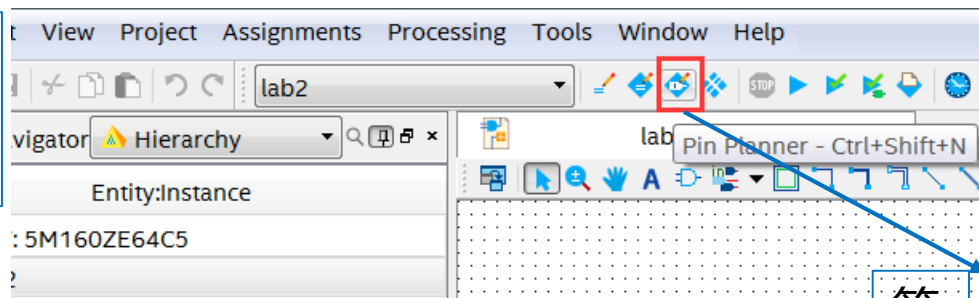


3.2

◆ 第二步：管脚分配

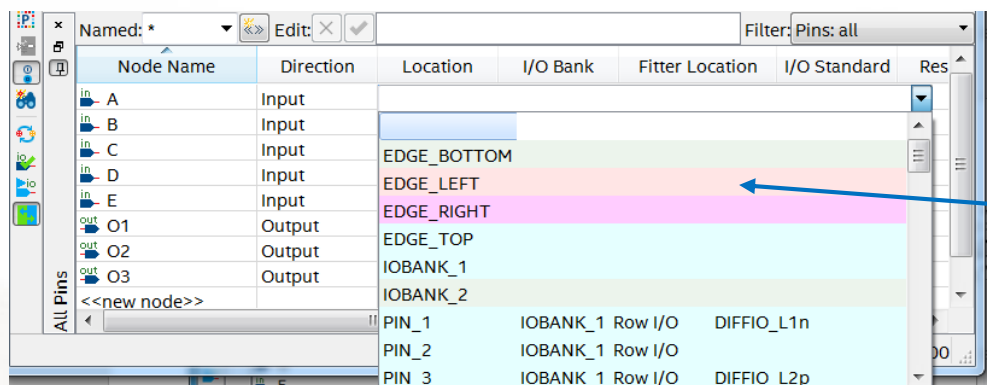
!!! 分配管脚完成后一定要重新编译整个工程

第一步

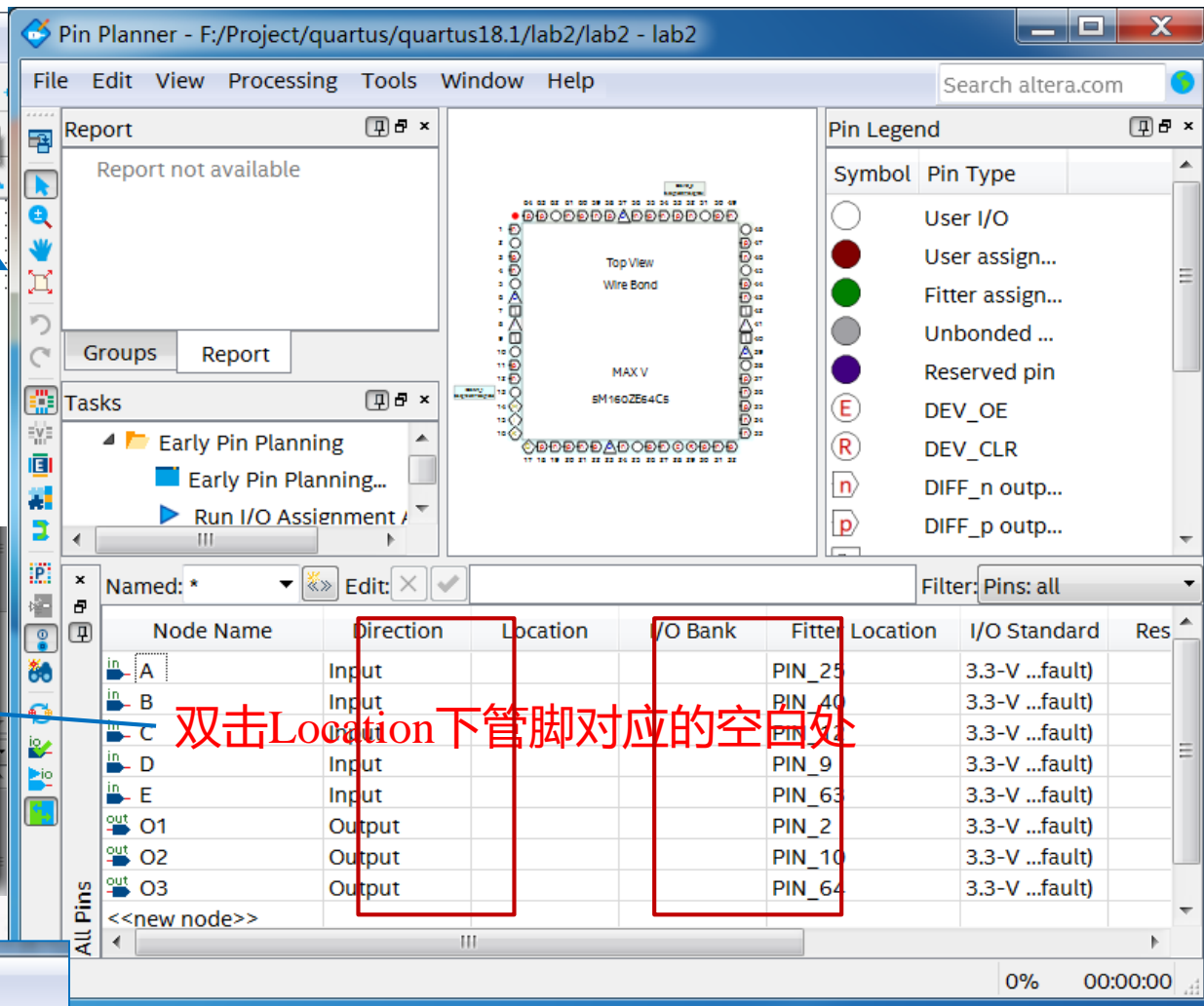


第二步

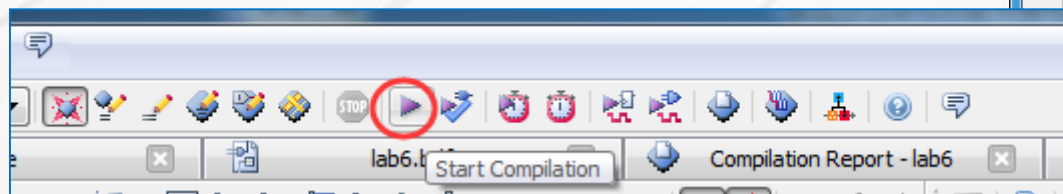
出现下拉菜单，从下拉菜单中选择要分配的pin脚



双击Location下管脚对应的空白处

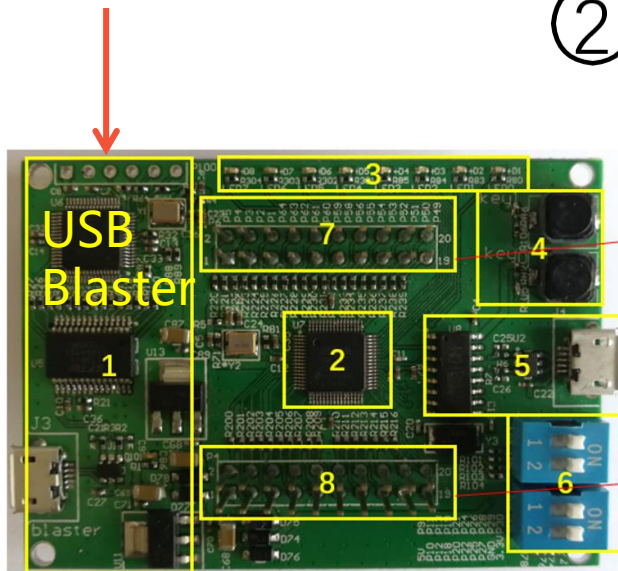


第三步

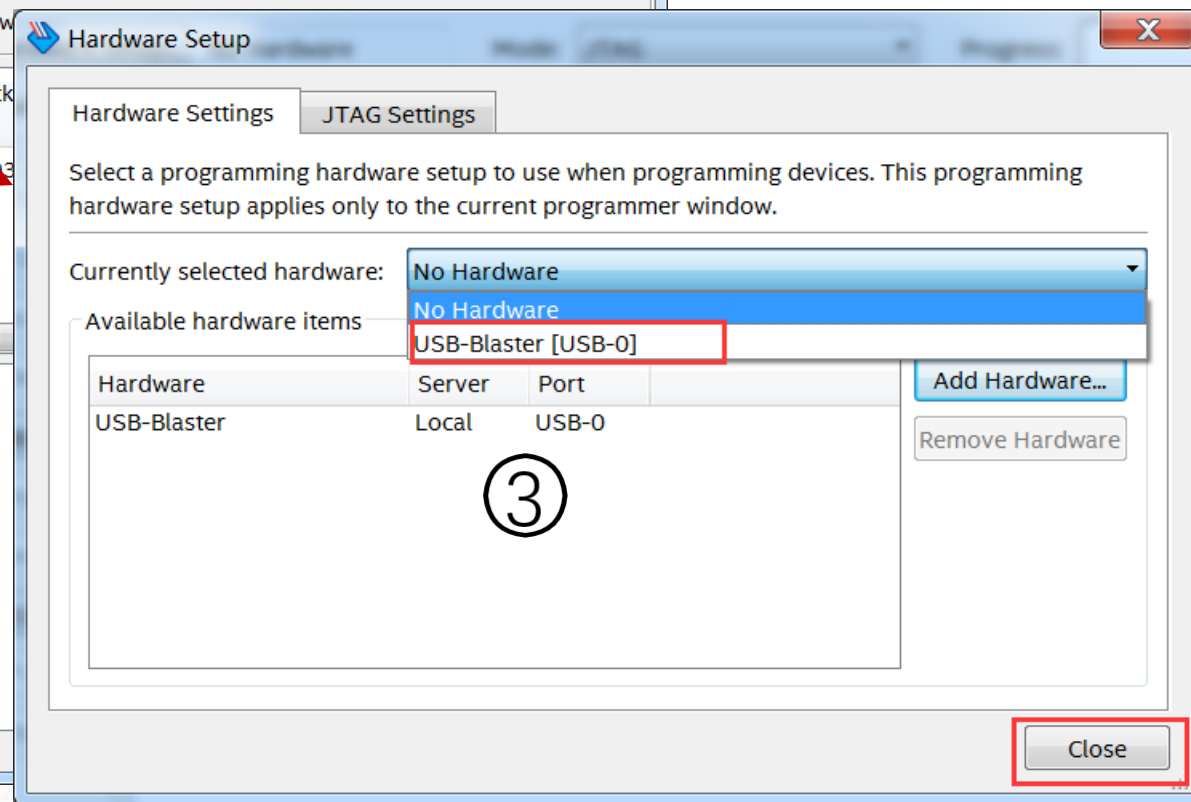
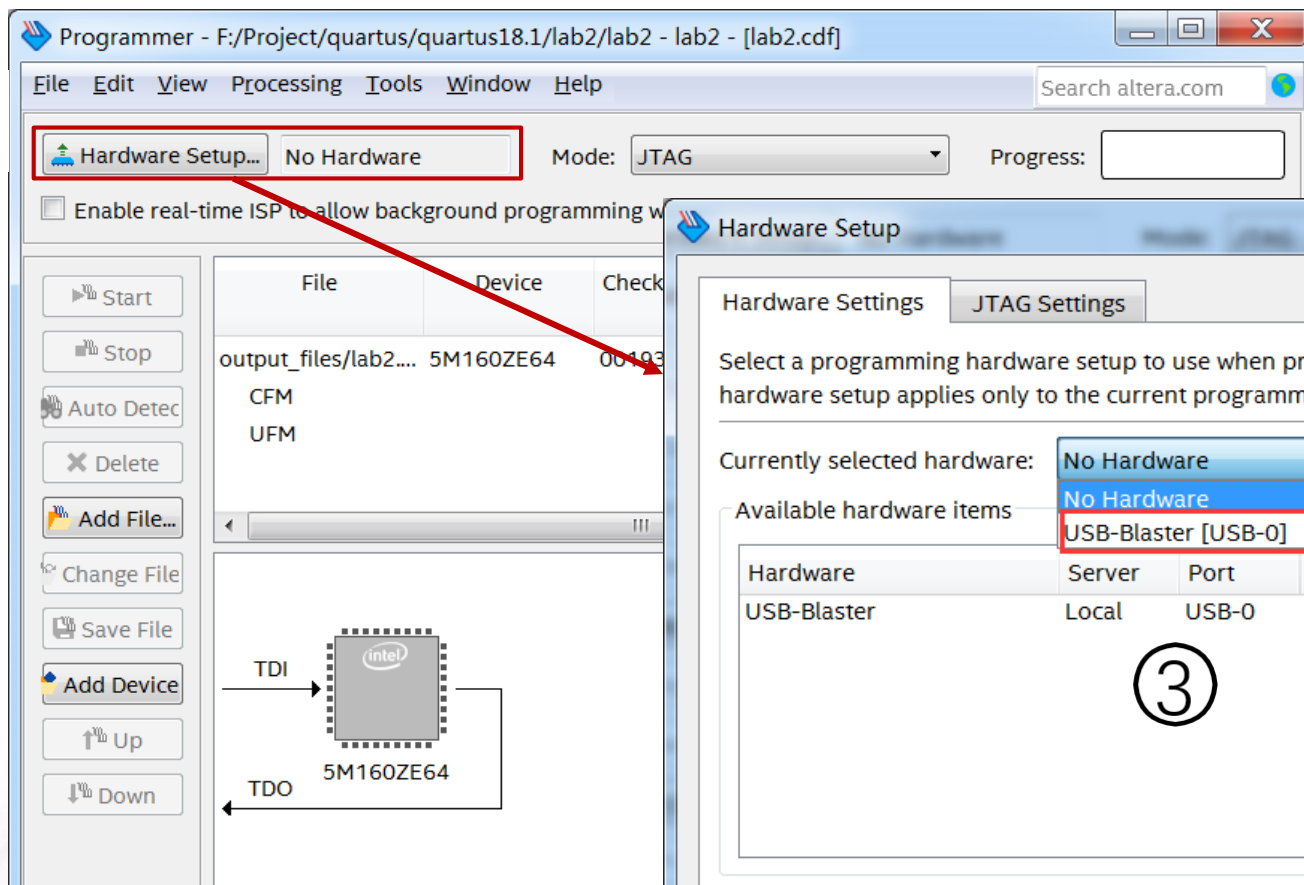


3.3

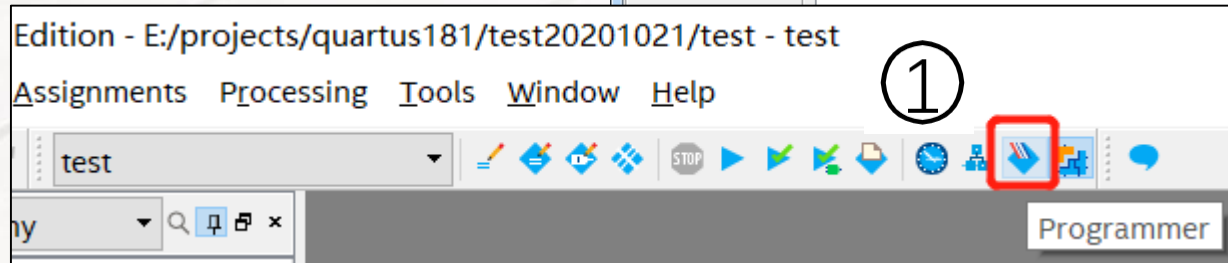
◆ 第三步：下载



②

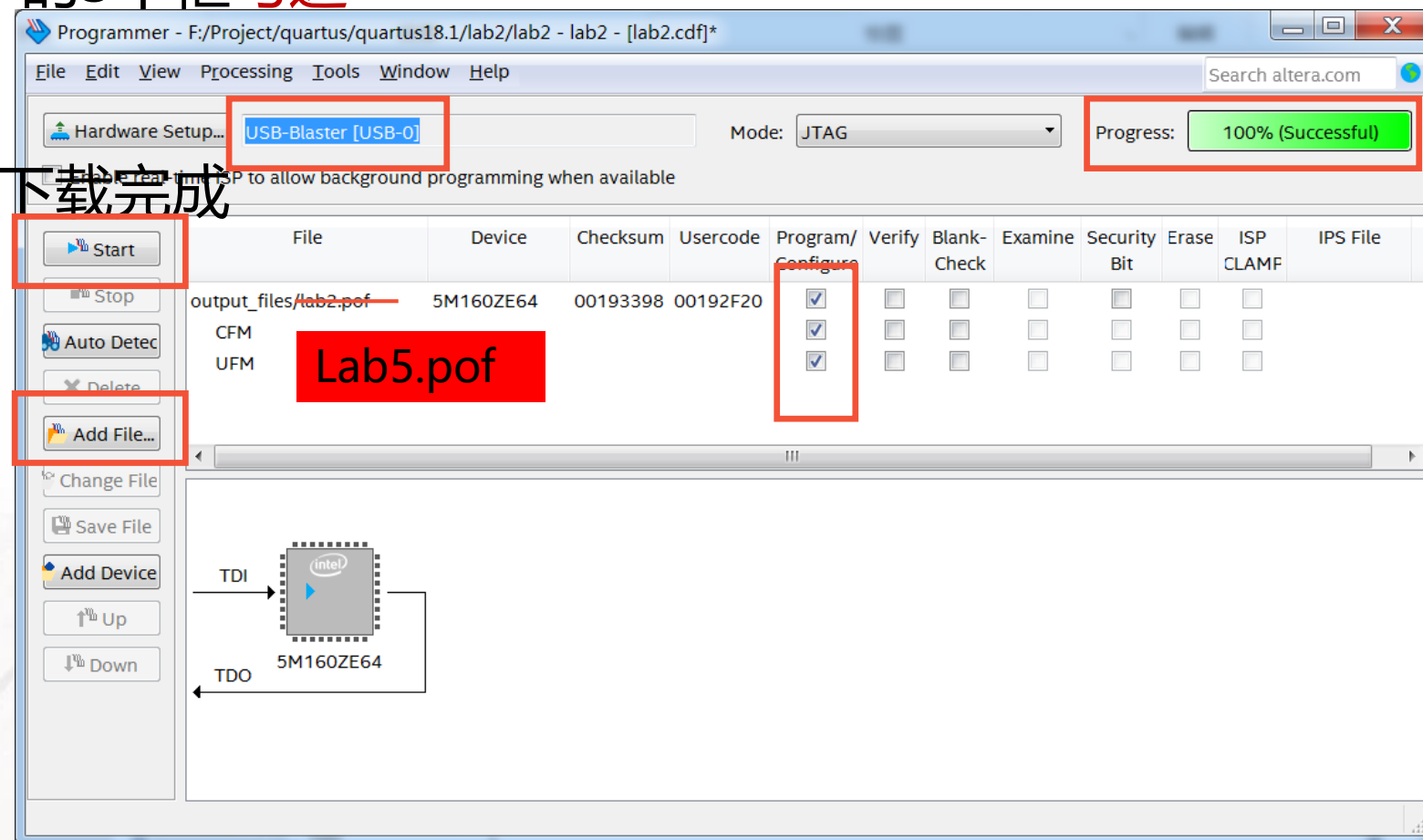


③

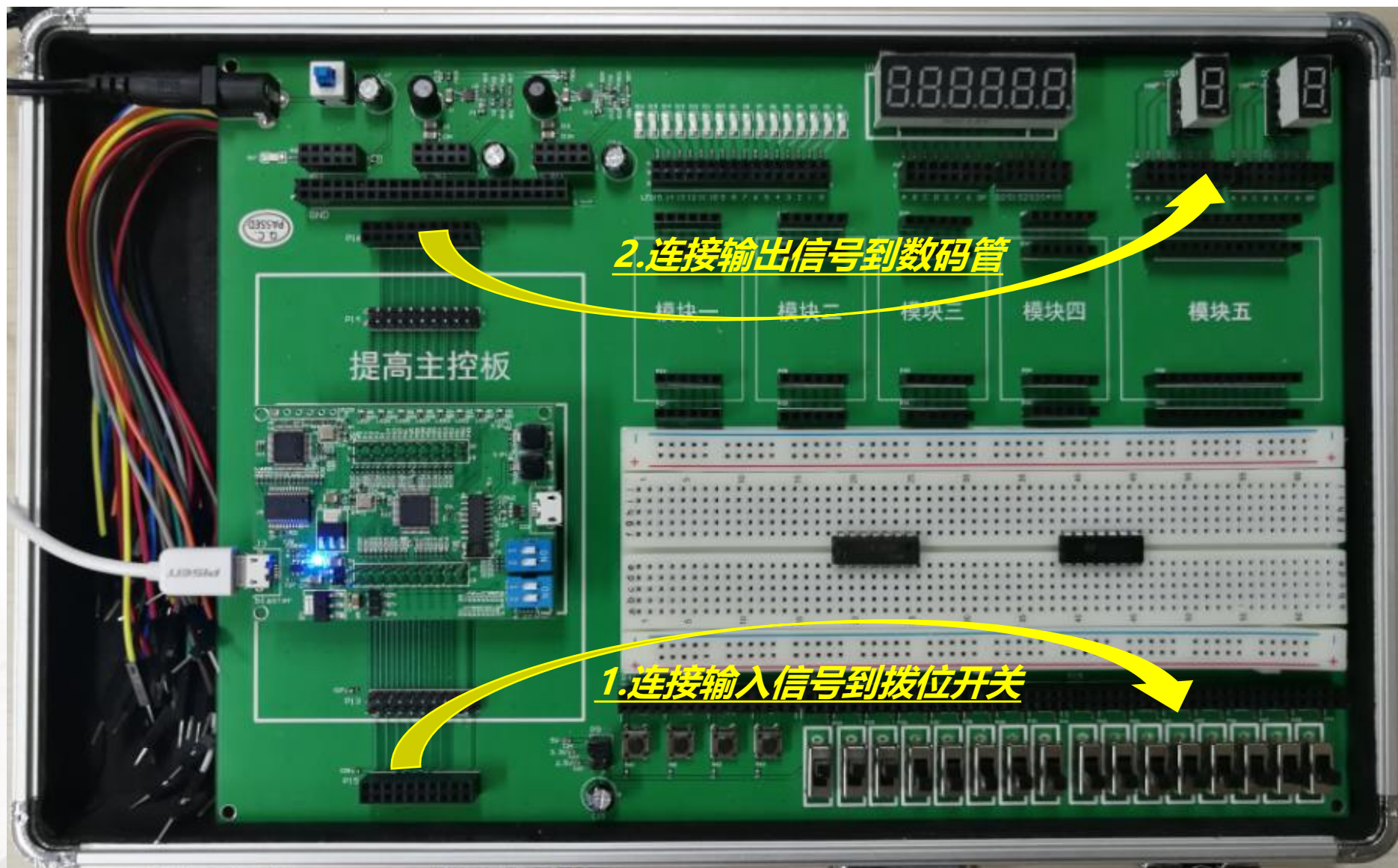


①

- 1) **Add File**, 选择要下载的配置文件.pof
- 2) 将Program/Configure下的3个框**勾选**
- 3) 点击**Start**按钮开始下载
- 4) **Progress**显示100%表示**下载完成**



◆ 第四步：连线验证





Part 04

实验报告要求



电子技术实验 2 实验报告

学号：
班级：
姓名：
编号：

5 七段数码管

一 实验内容

1.七段数码管驱动器

二 实验原理

七段数码管的驱动原理

三 具体实现

包括工程创建、七段数码管驱动代码设计、仿真、管脚分配、下载验证

四 实验结果

仿真结果+验证结果

五 实验总结

对实验箱、核心板、下载验证等的理解和总结
对遇到的问题的总结



Part 05

下一次实验内容

● 计数器