

电子技术实验 2 实验报告

学号：2206113602
班级：信息 005
姓名：王靳朝
编号：

7 时序逻辑电路设计

一 题目描述

本次实验中要实现任意模值计数器，但为了和下一次实验内容即数字钟衔接，因此本次实验中选择制作模 24 的计数器。

二 实验原理

设计原理：模 24 的 BCD 计数器实际有两个四位二进制输出，当低位为 9 时，下一次时钟来临要向上进位，因此高位加 1，低位重新制为 0。当高位为 2 且低位为 3 时，达到上线，下一次时钟来临重新制为 0，表示一次计数。

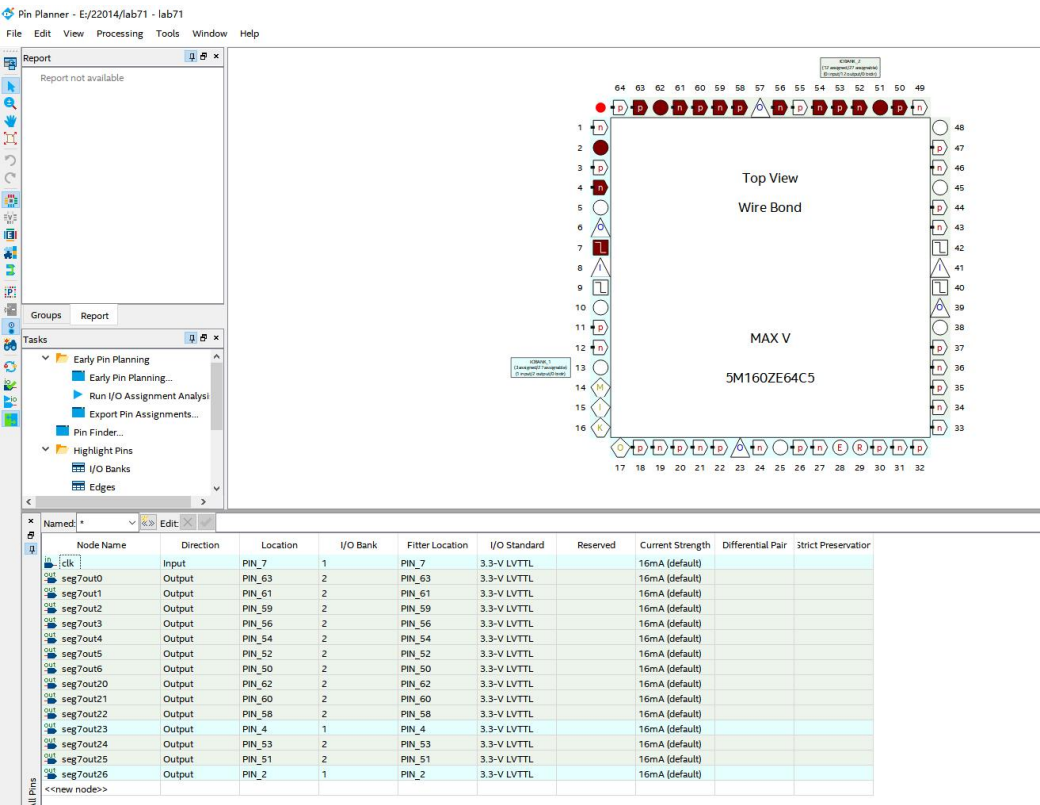
三 实验过程

新建工程文件夹，整个工程包含模 24 计数器和 7 段数码管两个部分，分别为 lab7_1 和 lab7_2，同时有相应的波形文件。

db	2022/5/30 23:07	文件夹	
incremental_db	2022/5/29 23:36	文件夹	
output_files	2022/5/30 23:07	文件夹	
simulation	2022/5/29 23:37	文件夹	
lab7.qpf	2022/5/29 23:30	QPF 文件	2 KB
lab7.qsf	2022/5/30 23:05	QSF 文件	3 KB
lab7_1.v	2022/5/29 23:36	V 文件	1 KB
lab7_1.v.bak	2022/5/29 23:31	BAK 文件	1 KB
lab7_2.v	2022/5/30 20:16	V 文件	1 KB
Waveform.vwf	2022/5/30 23:03	VWF 文件	8 KB

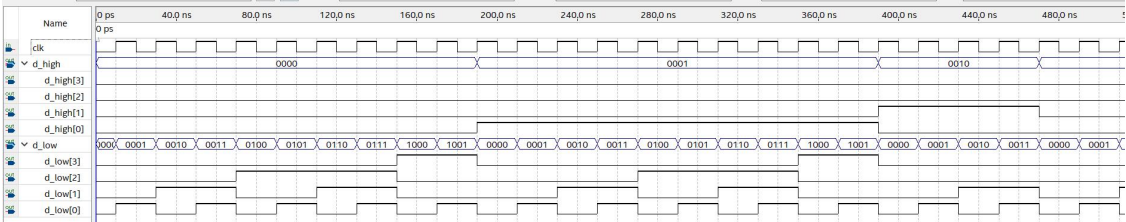
```
1 module lab7_1
2   input clk,
3   output reg[3:0] d_low,
4   output reg[3:0] d_high
5 );
6
7 always @(posedge clk) begin
8   d_low<=d_low+4'd1;
9   if(d_low==4'd9) begin
10    d_high<=d_high+4'd1;
11    d_low<=4'd0;
12  end
13   if(d_high==4'd2&& d_low==4'd3) begin
14    d_high<=4'd0;
15    d_low<=4'd0;
16  end
17 end
18 endmodule
19
```

管脚分配如下：



四 实验结果

仿真结果如下：



五 总结

1. 时序逻辑电路的设计主要有以下几个步骤：首先明确设计指标和设计目的，例如本次实验中要明确需要设计的时模 24 的 BCD 计数器，要清楚输入输出的要求。其次要清楚 Verilog 语句的逻辑关系和条件。最后要注意逻辑仿真和功能仿真并进行下载验证。
2. 实验过程中要清楚输出的高低位，防止做许多无用功。

