

电子技术实验 2 实验报告

学号：2206113602

班级：信息 005

姓名：王靳朝

Verilog 语法基础

一 实验内容

1. 掌握基本的 verilog 语法和语句，认识 Verilog 中的变量类型及声明方法、循环语句
2. 使用 if 嵌套语句和 case 语句实现逻辑电路。

二 设计步骤

1. 打开 Quartus 软件，新建工程文件，保存在全英文路径的工程文件夹中。
2. 声明电路、变量类型，并使用 if 和 case 语句分别实现带使能的二选一数控开关和数据分配器。
3. 添加波形显示文件，在考虑到仿真完备性和可读性的基础上设置输入信号，进行仿真。
4. 将结果进行检验，判断逻辑电路是否正确。

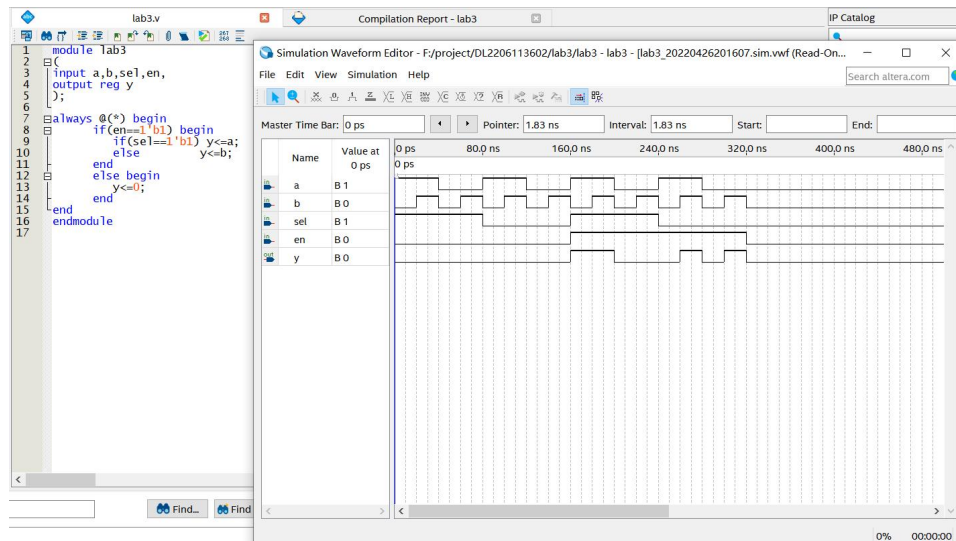
三 结果图示（含代码设计和仿真结果）

Lab3_1 代码部分：

```
module lab3
(
input a,b,sel,en,
output reg y
);

always @(*) begin
    if(en==1'b1) begin
        if(sel==1'b1) y<=a;
        else          y<=b;
    end
    else begin
        y<=0;
    end
end
endmodule
```

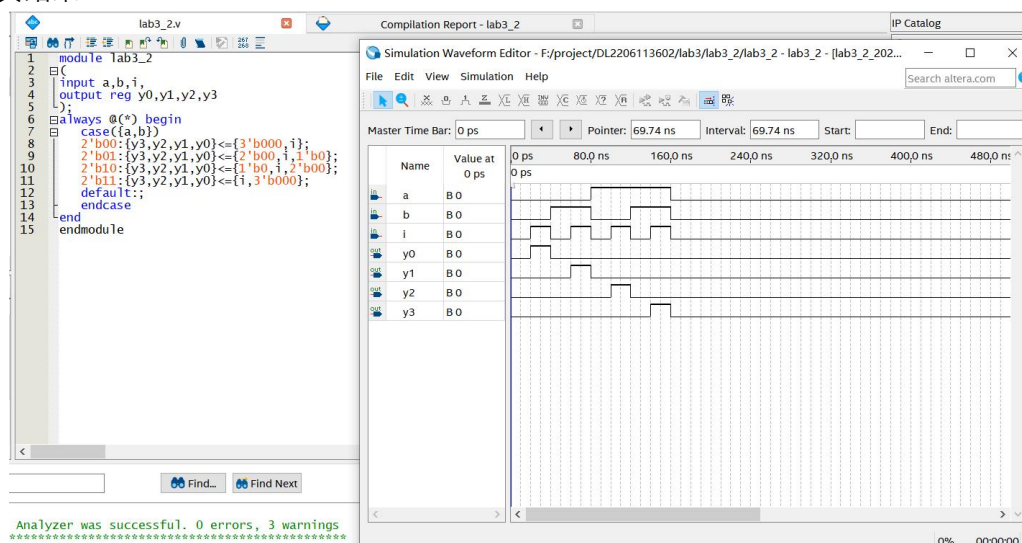
仿真结果：



Lab3_2 代码部分：

```
module lab3_2
(
input a,b,i,
output reg y0,y1,y2,y3
);
always @(*) begin
    case({a,b})
        2'b00:{y3,y2,y1,y0}<={3'b000,i};
        2'b01:{y3,y2,y1,y0}<={2'b00,i,1'b0};
        2'b10:{y3,y2,y1,y0}<={1'b0,i,2'b00};
        2'b11:{y3,y2,y1,y0}<={i,3'b000};
        default;;
    endcase
end
endmodule
```

仿真结果：



四 Verilog 相关知识

4.1 Verilog 中 module 的基本框架

Module 基本框架共有三个大的模块，分别是物理模块，逻辑模块和整个系统。物理模块包含如 IC 或 ASIC 单元，逻辑包含一个 CPU 设计的 ALU 部分。

4.2 Verilog 中的主要数据类型和主要赋值方法

主要数据类型有分别是线网类型(net)，寄存器类型(register)和参数类型(parameters)，线网类型主要表示物理器件之间的连接，寄存器类型是表示抽象的存储元件，参数类型是运行时的常数。

4.3 Verilog 中的两个条件语句

条件语句分别是 if 语句和 case 语句。If 语句可以嵌套，同时 if 可以和 else 语句混合使用表达多种情况。同时用 begin 和 end 语句控制作用范围。