3.8（3）用带使能端的 T触发器和组合逻辑构成 D 触发器。

（4）用带使能端的 T触发器和组合逻辑构成 J-K 触发器。

3.13 分别作出下列两种方式的 “101” 序列检测器的 Mealy 型和 Moore 型状态图。该同步时序电路有一个输入 *x*，一个输出 *Z*。

（1）“101”序列可以重叠，例如：

*x*：10100101011

*Z*：00100001010

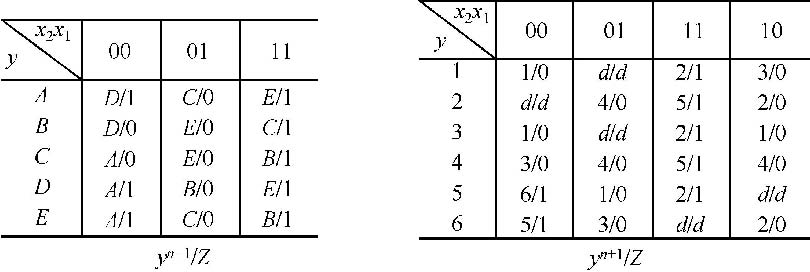
（2）“101”序列不可以重叠，例如：

*x*：10100101011

*Z*：00100001000

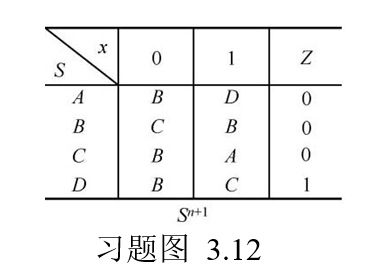
3.14 化简习题图 3.10 所示原始状态表。

3.15 化简习题图 3.11 所示原始状态表。



习题图 3.10 习题图 3.11

3.16 分别用 D 触发器、 J-K 触发器和 T 触发器设计习题图 3.12 所示状态表所对应的电路，两个状态变量为 *Q*2, *Q*1，且状态分配为： *A*=00，*B*=01，*C*=11，*D*=10。



3.18 试设计一个串行数据 1111序列检测器。当连续输入 4个或 4个以上的 1时，检测器输出为 1，否则输出为 0。

3.19 试设计一个五进制可逆计数器。

3.22 试设计一个能产生 011100111001110 的序列脉冲发生器。

3.23 设计一个串行乘法器电路，该电路具有控制开关 *K*3*K*2*K*1*K*0，当输入一串二进制 *x* 时，输出 *Z*=*Kx*。其中，0≤ *K*≤15，*K*= *K*3*K*2*K*1*K*0。