电子技术实验2 实验报告

学号：王靳朝

班级：信息005

姓名：2206113602

**3 译码器**

## 一 实验内容

1.1 Quartus Prime基本使用

1.2 Quartus实现3-8译码器

1.3 用译码器实现全加器

## 二 实验原理

2.1 Quartus Prime设计流程及设计要点

打开软件之后，首先要在全英文路径下新建工程文件夹，并将所有工程文件保存其中。在建立工程文件的过程中，依次需要设置工程路径、工程名、顶层实体名、加入文件数、添加的库数、选择的器件信息、EDA 工具信息及器件操作条件信息。工程新建完成后，选择器件进行电路搭建，并使用鼠标链接输入输出。电路搭建完毕并检查无误后点击全编译，产生output\_files的文件夹。随后利用波形观察设置输入，观察输出是否符合逻辑正确。

2.2 译码器的电路原理

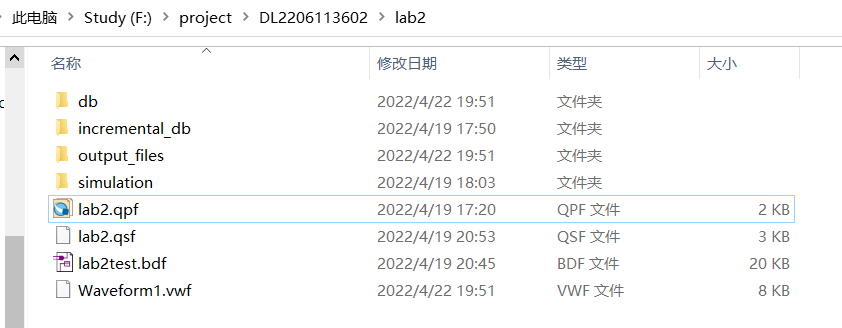
译码器实际为最小项生成器，3-8译码器实际是将三个输入对应位8个输出，从高位到低位为8个最小项。输入信号之后分别连接非门，使存在反变量，之后利用与门将对应的三位输入相连，最后输出。

2.3 译码器设计全加器的电路原理

一位全加器有三个输出、两个输出，输入分别为本位的两个被加数和进位，输出分别为本为和和进位。本为和Si为译码器输出得到的Y1、Y2、Y4、Y7或，进位Ci为译码器得到的Y3、Y5、Y6、Y7或。分别将译码器的输出端连接或门可得到一位全加器的结果。

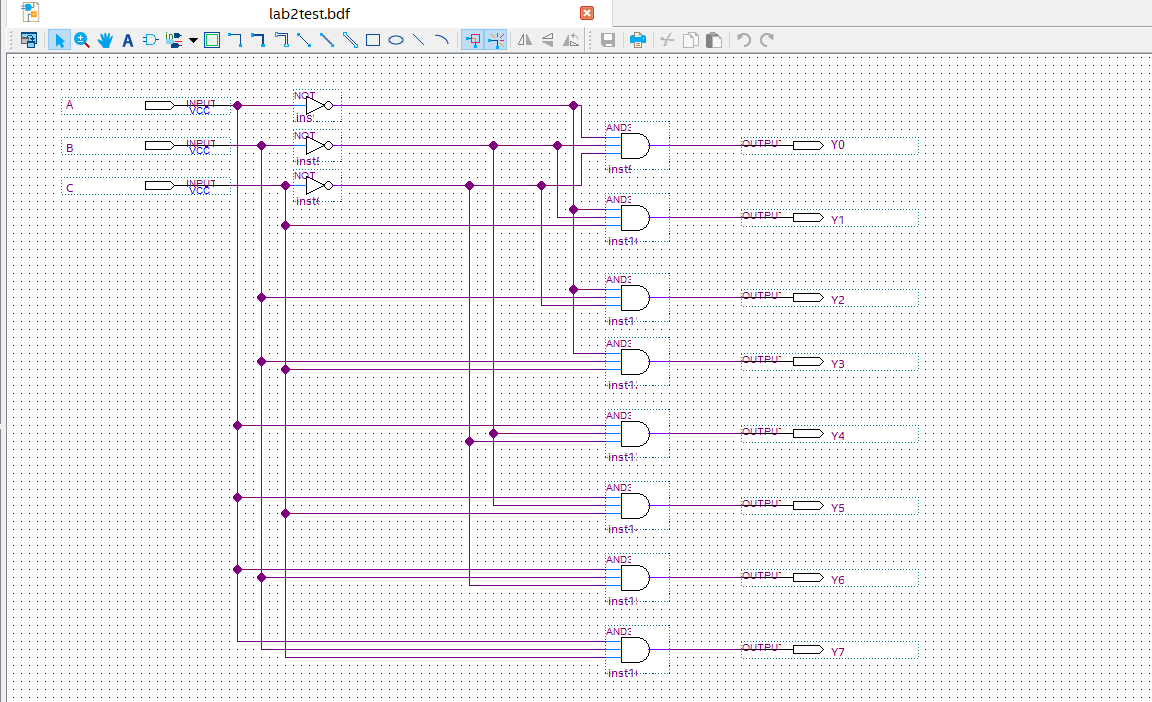
三 实验结果

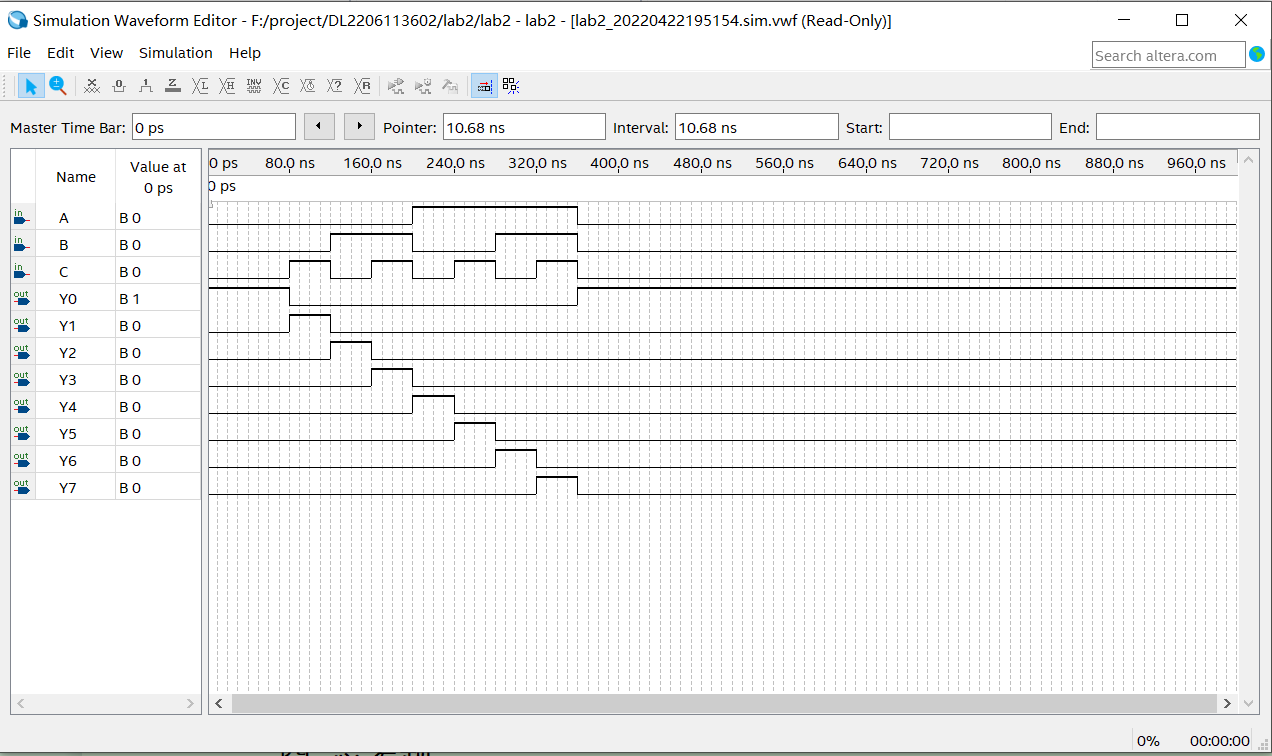
3.1 Quartus Prime基本使用



文件夹中包含.qpf工程文件、.vmf波形文件、.bdf原理图文件。

3.2 Quartus实现3-8译码器





包括工程文件夹截图、电路设计图、仿真结果图

## 四 思考题

4.1 Quartus Prime除了原理图（即BDF）输入文件外，还有哪些种类的设计文件？

还包含有：1.包含.qpf工程文件2.vmf波形文件3.bdf原理图文件4.psf工程设置文件。

4.2 在设计完成并且编译通过之后，还需要哪些步骤才可以使你设计的电路呈现在CPLD芯片里？

需要设置CPLD的输入输出引脚、将模拟得到的结果转换成为代码文件、将代码下载到芯片里。

4.3 译码器是组合逻辑器件中非常重要的一个器件，写出译码器的几个功能。

译码器可以用于代码转换、信号的数字显示、作为数据分配器等等。