电子技术实验2 实验报告

学号：2206113602

班级：信息005

姓名：王靳朝

**Verilog 语法基础**

## 一 实验内容

1. 掌握基本的verilog语法和语句，认识Verilog中的变量类型及声明方法、循环语句
2. 使用if嵌套语句和case语句实现逻辑电路。

## 二 设计步骤

1. 打开Quartus软件，新建工程文件，保存在全英文路径的工程文件夹中。
2. 声明电路、变量类型，并使用if和case语句分别实现带使能的二选一数控开关和数据分配器。
3. 添加波形显示文件，在考虑到仿真完备性和可读性的基础上设置输入信号，进行仿真。
4. 将结果进行检验，判断逻辑电路是否正确。

## 三 结果图示（含代码设计和仿真结果）

Lab3\_1代码部分：

module lab3

(

input a,b,sel,en,

output reg y

);

always @(\*) begin

if(en==1'b1) begin

if(sel==1'b1) y<=a;

else y<=b;

end

else begin

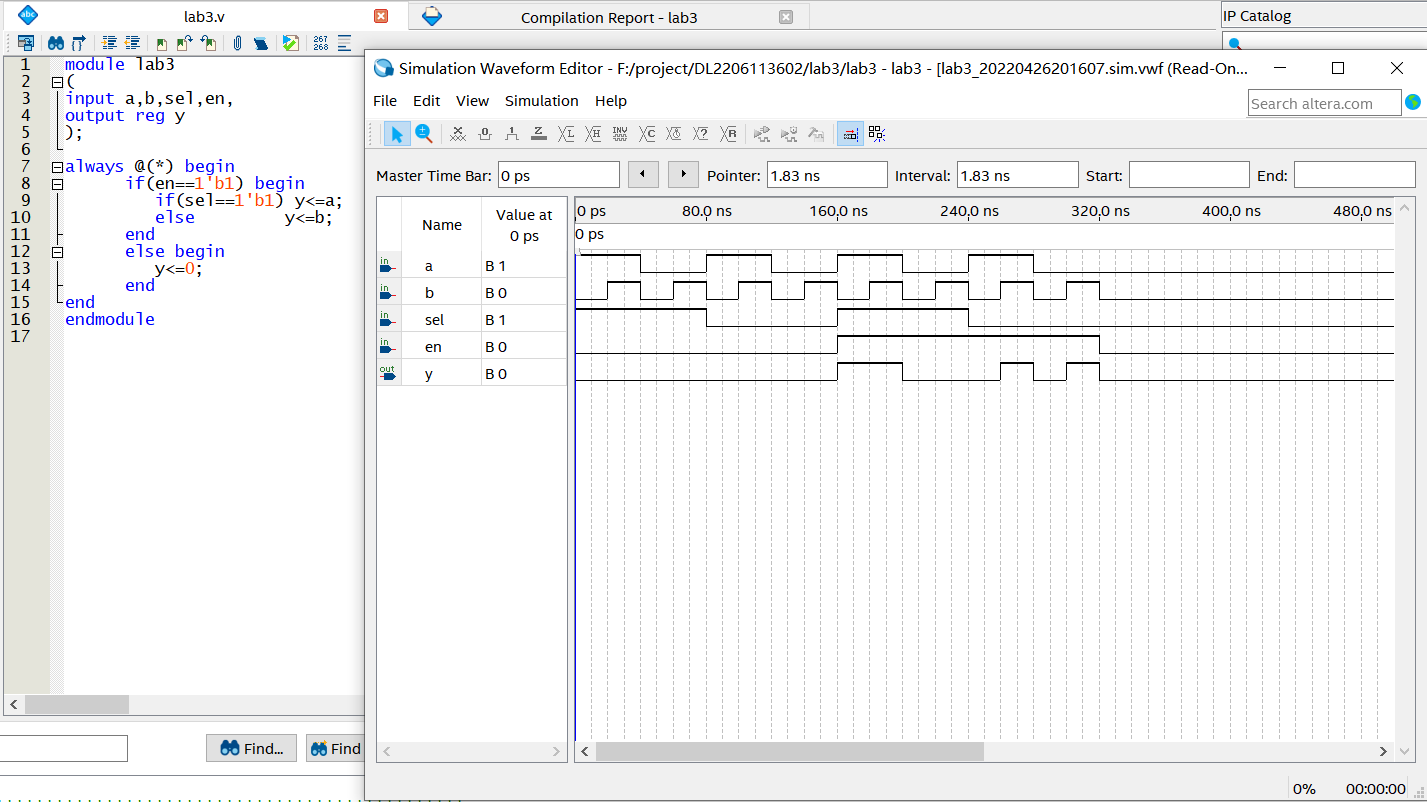
y<=0;

end

end

endmodule

仿真结果：



Lab3\_2代码部分：

module lab3\_2

(

input a,b,i,

output reg y0,y1,y2,y3

);

always @(\*) begin

case({a,b})

2'b00:{y3,y2,y1,y0}<={3'b000,i};

2'b01:{y3,y2,y1,y0}<={2'b00,i,1'b0};

2'b10:{y3,y2,y1,y0}<={1'b0,i,2'b00};

2'b11:{y3,y2,y1,y0}<={i,3'b000};

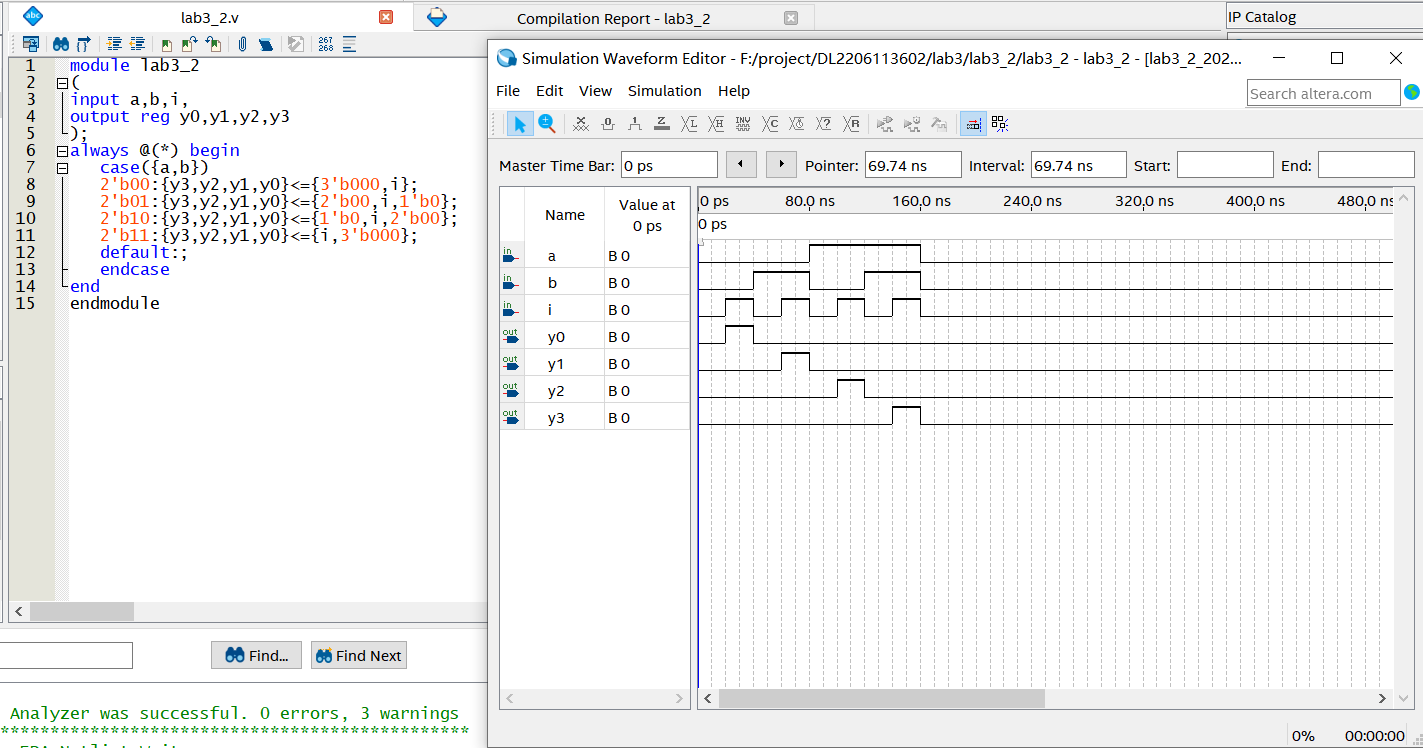
default:;

endcase

end

Endmodule

仿真结果：



## 四 Verilog相关知识

4.1 Verilog中module的基本框架

Module基本框架共有三个大的模块，分别是物理模块，逻辑模块和整个系统。物理模块包含如IC或ASIC单元，逻辑包含一个CPU设计的ALU部分。

4.2 Verilog中的主要数据类型和主要赋值方法

主要数据类型有分别是线网类型(net)，寄存器类型(register)和参数类型(parameters)，线网类型主要表示物理器件之间的连接，寄存器类型是表示抽象的存储元件，参数类型是运行时的常数。

4.3 Verilog中的两个条件语句

条件语句分别是if语句和case语句。If语句可以嵌套，同时if可以和else语句混合使用表达多种情况。同时用begin和end语句控制作用范围。