lab01 report

郑航 520021911347

lab01 report

- 1 实验目的
- 2 实验原理
- 3 实验过程
- 4 实验结果
- 5 反思总结

1 实验目的

- 掌握 Xilinx 逻辑设计工具 Vivado的基本操作
- 掌握使用 Verilog HDL进行简单的逻辑设计
- 掌握功能仿真
- 使用 1/0 Planing 添加管脚约束
- 生成 Bitstream 文件
- 上板验证

其中下载验证部分暂时不做

2 实验原理

实现 LED 流水灯,其功能是每间隔一段时间点亮下一个 LED 灯并且熄灭当前的 LED 灯

- 使用8位的reg类型变量light_reg表示八个LED灯,第 i 位为 0 说明第 i 个 LED 灯未被点亮;第 i 位为 1 说明第 i 个 LED 灯被点亮。
- 使用一个reg类型的计数器cnt_reg来记录已经走过的时间周期

由于8位light_reg表示八盏灯的亮暗情况,每个时间都只会有一盏灯亮(一位为1,其他都为0),因此我们可以使用左移1位的操作,使得为1的位周期性左移(左移到最高位后我们就将其重新设置到最低位),如此即可保证灯的周期性亮和灭

3 实验过程

• reset: 我们的模块需要支持reset功能,当进行reset时,将cnt_reg恢复为0,并将light_reg置为1 (第一盏灯)

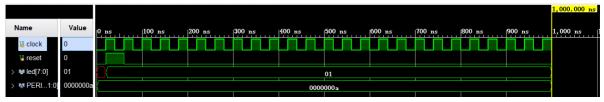
- 每次时钟下降沿处,我们检查reset,若reset不为1,则将cnt_reg递增,并更新light_reg(若已经最高位为1,则恢复为最低位为1,否则直接左移一位),我们将对cnt_reg和light_reg的处理分别放在两个always块中,分别进行操作,可以使得代码更加整洁
- 由于初始设定当cnt_reg达到24'hffffff时进行light_reg的更新,但这个时间持续时间过长使得还未完整模拟完8盏灯而波形已经提前结束,因此我们修改cnt_reg为2位,当其达到2'b11时即进行light_reg更新

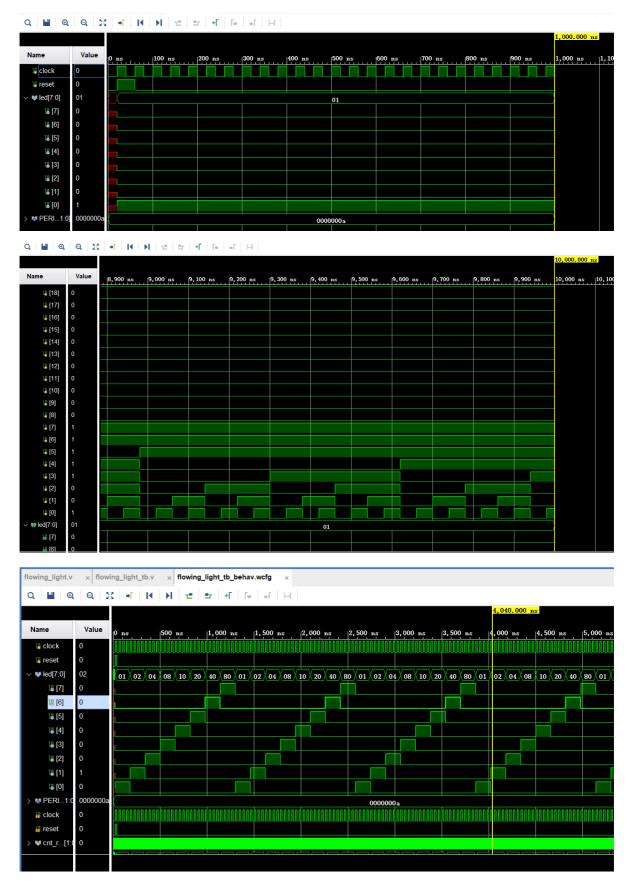
完整代码如下:

```
module flowing_light(
1
 2
         input clock,
 3
         input reset,
 4
         output [7:0] led
 5
         );
6
         reg [1 : 0] cnt_reg;
8
         reg [7 : 0] light_reg;
9
10
         always @ (posedge clock)
11
             begin
12
                  if (reset)
13
                      cnt_reg <= 0;</pre>
14
                  else
15
                      cnt_reg <= cnt_reg + 1;</pre>
16
             end
17
18
         always @ (posedge clock)
19
             begin
20
                  if (reset)
21
                      light_reg <= 8'h01;</pre>
22
                  else if (cnt_reg == 2'b11)
23
24
                           if (light_reg == 8'h80)
25
                               light_reg <= 8'h01;</pre>
26
                           else
27
                               light_reg <= light_reg << 1;</pre>
28
                      end
29
             end
30
31
         assign led = light_reg;
32
    endmodule
```

4 实验结果

实验的仿真结果如图:





5 反思总结

本实验实现了 FPGA 实验中 LED 流水灯这一基础部件的设计与仿真。基本的代码框架在实验指导书上边已经给出,所以所需要做的就是先自学一些基础的Verilog语法,并根据代码框架对其加以理解,最终实现可以自主进行代码修改以达成所需功能的目的。此外,我还通过本实验,学会了如何进行实验仿真,也通过tb文件理解了仿真的含义,并通过灵活调整界面,设置仿真时长等方式获得较好的仿真效果