

# lab01 report

---

郑航 520021911347

## lab01 report

- 1 实验目的
- 2 实验原理
- 3 实验过程
- 4 实验结果
- 5 反思总结

## 1 实验目的

---

- 掌握 Xilinx 逻辑设计工具 Vivado的基本操作
- 掌握使用 Verilog HDL进行简单的逻辑设计
- 掌握功能仿真
- 使用 I/O Planing 添加管脚约束
- 生成 Bitstream 文件
- 上板验证

其中下载验证部分暂时不做

## 2 实验原理

---

实现 LED 流水灯，其功能是每间隔一段时间点亮下一个 LED 灯并且熄灭当前的 LED 灯

- 使用8位的reg类型变量light\_reg 表示八个LED灯，第 i 位为 0 说明第 i 个 LED 灯未被点亮；第 i 位为 1 说明第 i 个 LED 灯被点亮。
- 使用一个reg类型的计数器cnt\_reg来记录已经走过的时间周期

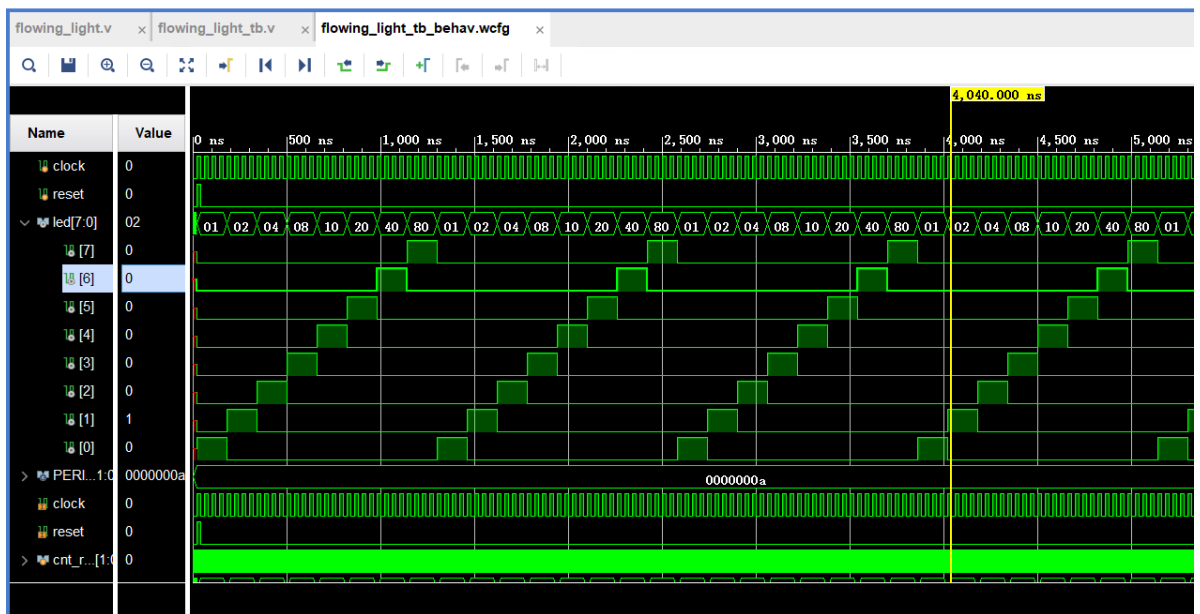
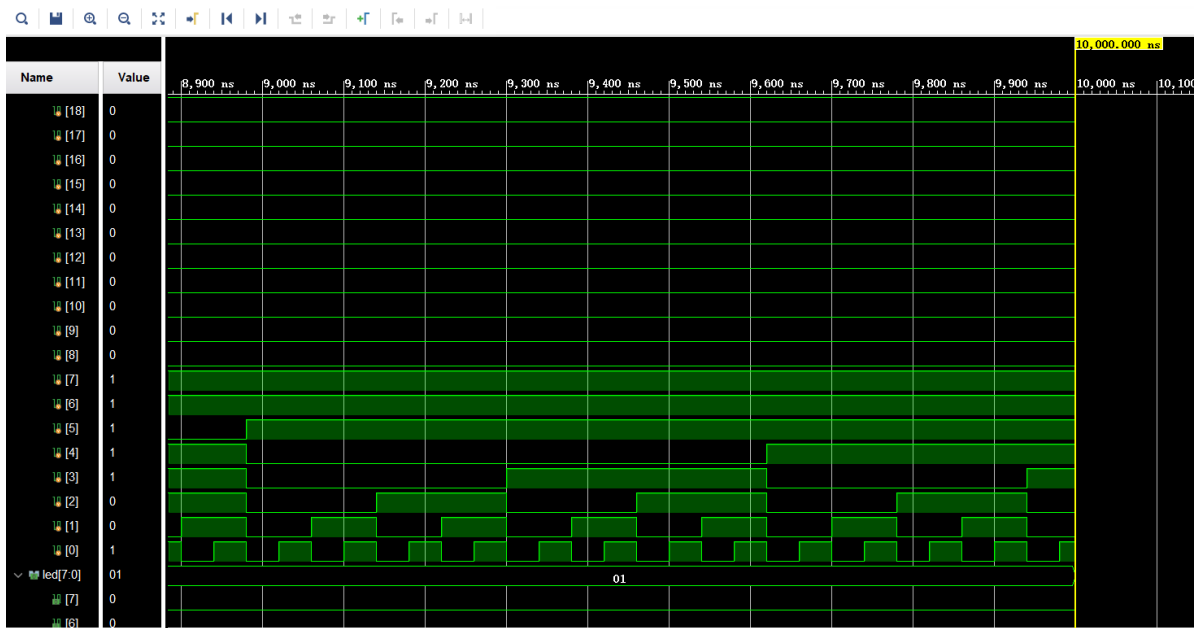
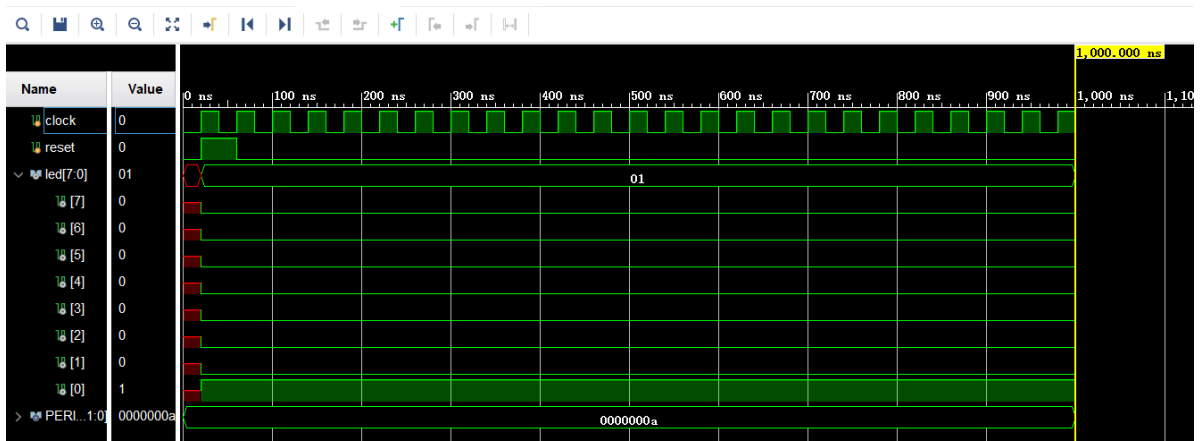
由于8位light\_reg表示八盏灯的亮暗情况，每个时间都只会有一盏灯亮（一位为1，其他都为0），因此我们可以使用左移1位的操作，使得为1的位周期性左移（左移到最高位后我们就将其重新设置到最低位），如此即可保证灯的周期性亮和灭

## 3 实验过程

---

- reset: 我们的模块需要支持reset功能，当进行reset时，将cnt\_reg恢复为0，并将light\_reg置为1（第一盏灯）





## 5 反思总结

本实验实现了 FPGA 实验中 LED 流水灯这一基础部件的设计与仿真。基本的代码框架在实验指导书上边已经给出，所以所需要做的就是先自学一些基础的Verilog语法，并根据代码框架对其加以理解，最终实现可以自主进行代码修改以达成所需功能的目的。此外，我还通过本实验，学会了如何进行实验仿真，也通过tb文件理解了仿真的含义，并通过灵活调整界面，设置仿真时长等方式获得较好的仿真效果

总之，这是一个学习Verilog很好的开端，也为我后续实验的顺利开展奠定了基础

