

homework 3

郑航 520021911347

1.

	BrEq	BrLT	PCSel	ImmSel	BrUn	ASel	Bsel	ALUSel	MemRW	RegWen	WBSEL
slli	*	*	0	I	*	0	1	Sll (左移)	0	1	1
AUIPC	*	*	0	U	*	1	1	Add	0	1	1

2.

- 需要添加的新功能部件：
在DMEM的Addr入口前增加一个选路器Mux1，负责选择地址来源是ALU或Reg[rs1]
在DMEM的DataW入口前增加一个选路器Mux2，负责选择写入数据来源是ALU或寄存器
- 现有需要改造的部件：
ASel信号控制的ALU第一个数据入口的选路器需要增加一个可能数据来源，Reg[rs2]，选路器路径数量由二变为三
- 需要新添加的数据通路：
 - ① 由Reg[rs1]到Mux1
 - ② 由Reg[rs2]到ASel控制的选路器
 - ③ 由ALU到Mux2
 - ④ 由Reg[rs2]到Mux2
 - ⑤ Mux1到DMEM的Addr入口
 - ⑥ Mux2到DMEM的DataW入口
 - ⑦ 控制单元到Mux1和Mux2（可以共用一个信号）
- 新添加的控制信号：
设置一个CSel的信号，Mux1和Mux2可以共用这个信号，当信号为0是表示执行ss指令，否则执行别的指令（信号标号如作业文件所给的图）

3.

- 用到关键路径的指令：lw
关键路径：IMEMread+RegFileRead+Mux+ALU+DMEMRead+Mux
- tclk=950ps
fclk=1.053*10⁹

4.

1. 最小时钟周期长度：325ps (DM段, lw指令)

最大时钟频率： 3.077×10^9

2. 加速比： $3.077/1.053 = 2.92$

为什么小于5：流水化后完成单条指令的时间变长了，每条指令的完成过程中都增加了多个clk-to-q和段寄存器的set-up time。同时不同阶段内所需的时间是不一样的，而最短的时钟周期长度需要依据所需时间最长的阶段来定，因此大部分的阶段完成时间都不需要一个周期，也有一定时间被浪费了。

5.

1. add x15,x12,x11

NOP

NOP

ld x13,4(x15)

ld x12,0(x2)

NOP

or x13,x15,x13

NOP

NOP

sd x13,0(x15)

2. 无法进行编译优化
3. 没有指令间需要停顿

6.

- lw指令，在第四阶段取完数据之后，下一条指令是bne在第二阶段即使用数据进行比较，因此需要阻塞两个时钟周期
- bne t0,s5,exit 指令若判断t0和s5不等则会跳转，会发生流水线阻塞，阻塞一个时钟周期
- j loop指令总会发生流水线阻塞，阻塞一个时钟周期