

hw5

郑航 520021911347

一、存储器

1

顺序存储器：

$$64\text{bit}/100\text{ns}=6.4\times 10^8\text{ bit/s}$$

交叉存储器：

由于 $8\tau=80\text{ns}<T=100\text{ns}$ ，因此一个存储周期内可以完成8个bank的并发读写，故其带宽应该是顺序存储器的8倍，即：

$$64\text{bit}\times 8/100\text{ns}=5.12\times 10^9\text{ bit/s}$$

2

(1)

$$256/64=4, \quad 8/1=8, \quad \text{故总共需} 4\times 8=32 \text{块芯片}$$

(2)

$$64\text{K}=2^{16}=(2^8)^2, \quad \text{即该芯片有} 2^8=256 \text{行, 刷新信号间隔为} 2\text{ms}/256=7.8125\times 10^{-6}=7.82\times 10^{-6}\text{s}$$

二、高速缓存

1、直接映射

Address size(bits)	Cache size	Block Size	tag bits	Index bits	Offset bits	Bits per row
16	4KB	4B	4	10	2	$32+4+1=37$
32	32KB	16B	17	11	4	$16\times 8+17+1=146$
32	64KB	16B	16	12	4	$16\times 8+16+1=145$
64	2048KB	128B	43	14	7	$128\times 8+43+1=1068$

2、组相联映射

(1) 块大小为64B，则地址末6位得作为块内偏移，主存有64MB/64B= 2^{20} 块，cache有4KB/64B= 2^6 块，则tag位数为14位， $32-14-6=12$ 位为组数，即主存地址编码如下：

Tag (31-16)	组 (15-6)	块内偏移量 (5-0)
-------------	----------	-------------

(2) WB策略，需要1位的dirty bit；LRU替换，共四路，则每行需要 $\log_4=2$ 个位记住组内顺序，此外还有Tag位 16位，valid bit 1位，即除了数据之外每行需要 $1+2+16+1=20$ 位，共有 2^6 行，即 20×2^6 位

故总容量为 $4K \times 8 + 20 \times 2^6 = 34048$ bits

3、代码分析与高速缓存的性能

前四个都会Miss，情况如下：

cache块编号	内容
0	table[0][0]~table[0][3]
1	table[1][0]~table[1][3]
2	table[2][0]~table[2][3]
3	table[3][0]~table[3][3]

然后后续12个都会hit，再然后从table[0][4]开始又是4个miss，之后情况如下：

cache块编号	内容
0	table[0][4]~table[0][7]
1	table[1][4]~table[1][7]
2	table[2][4]~table[2][7]
3	table[3][4]~table[3][7]

即后续12个都会hit

因此总共8个miss，24个hit，失效率 $8/32 \times 100\% = 25\%$

4、平均存储器访问时间

local miss rate:

$L1\$ = 25\%$ $L2\$ = 40\%$ $L3\$ = 6\% / (40\% \times 25\%) = 60\%$

故AMAT= $1 + 25\% \times (10 + 40\% \times (50 + 60\% \times (100))) = 14.5$ cycles

三、虚拟存储器 (Virtual Memory)

(1) 会将所有的TLB entry valid置为0，表示该缓存已经无效了

(2)

VPN	PPN	Valid	Dirty	LRU
0x01	0x11	1	1	6
0x13	0x17	1	1	4
0x10	0x13	1	1	7
0x20	0x12	1	1	1
0x23	0x18	1	1	2
0x11	0x14	1	0	5
0xac	0x15	1	1	7
0x34	0x19	1	1	0