

## 实验4 time 电路设计及验证

### 一、实验目的

- 1、了解数码管动态扫描显示的原理及显示控制电路的设计。
- 2、掌握计数器、分频器的设计。
- 3、掌握层次化、模块化的设计方法及元件例化。
- 4、掌握多进制计数器的构建。

### 二、实验设备及软件

Modelsim 软件    Quartus 软件    PC 机    FPGA 开发板

### 三、实验原理

#### 1、本设计的组成结构

本设计是基于 FPGA，使用 Verilog HDL 进行电路设计，实现一个基本的电子钟。FPGA 开发板上有 1 个 50MHz 的有源晶振，产生频率为 50MHz 的脉冲信号。分频电路使用计数器进行分频，先产生频率为 1000Hz 的脉冲信号供显示控制及译码电路使用，再进行分频，产生 1Hz 的脉冲信号给时、分、秒计数电路进行计数。时、分、秒计数电路对 1Hz 的脉冲信号进行计数，用于走时时。显示控制及译码电路接收时、分、秒计数电路的计数值，然后再显示控制电路的控制下，动态选择合适的计数值，进行译码，送给数码管显示。

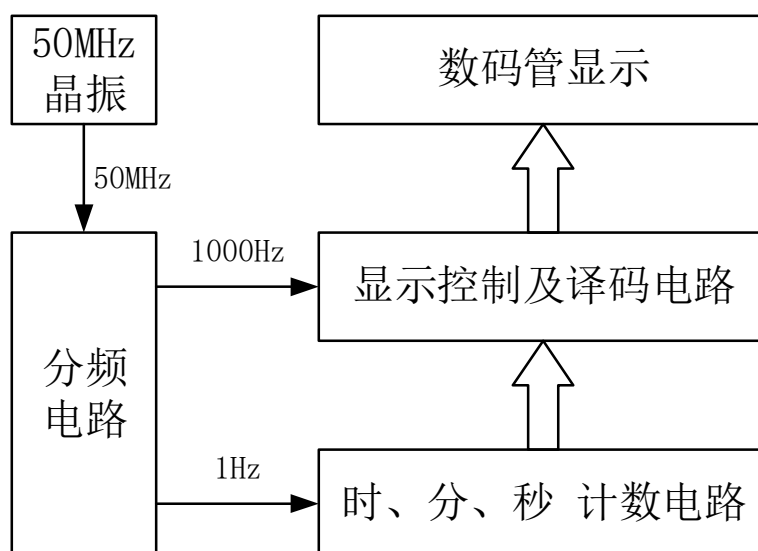


图1 time 电路组成结构

#### 2、分频电路设计

先设计 1 个 5 分频电路对 50MHz 信号进行分频，得到 10MHz 信号。再设计 1 个 10 分频电路。用 4 个 10 分频电路级联对 10MHz 信号进行分频，得到 1000Hz 在的信号。再用 3 个 10 分频电路级联对 1000Hz 信号进行分频，得到 1Hz 的信号。

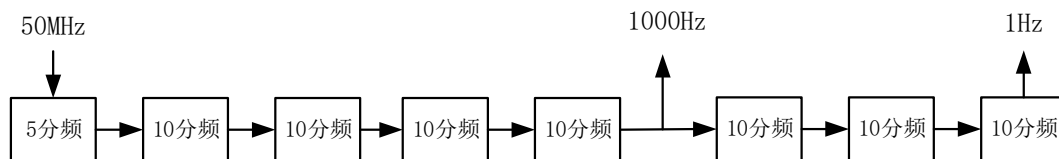


图2 分频电路组成

### 3、时、分、秒计数电路设计

先设计1个十进制加1计数器，计数范围0~9。再设计一个六进制计数器，计数范围0~5。十进制计数器先对1Hz信号进行计数，然后再级联六进制计数器计数，构成一个六十进制的计数器计数范围0~59，对1Hz信号进行计数，产生秒计时结果。

用十进制计数器和六进制计数器级联为六十进制计数器，计数范围0~59，级联在秒计数后面，进行分钟计数计时。

设计一个三进制计数器（计数范围为0~2），结合十进制计数器，构成一个二十四进制计数器（计数范围为0~23）进行小时计数。或自己用Verilog HDL直接设计一个计数范围为0~23的BCD计数器，进行小时计数。

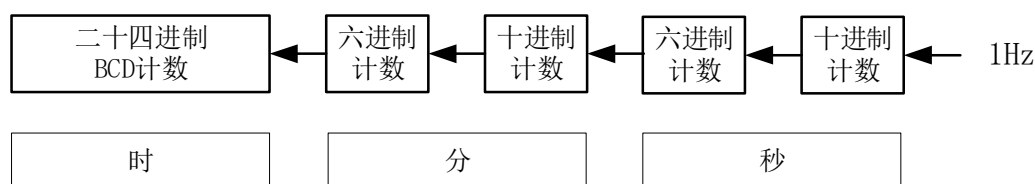


图3 时、分、秒计数电路组成

### 4、显示控制及译码电路设计

数码管动态显示是将所有数码管的8个显示笔划“a, b, c, d, e, f, g, dp”的同名端连在一起，另外为每个数码管的公共极COM增加位选通控制电路，位选通由各自独立的I/O线控制，当FPGA输出字形码时，所有数码管都接收到相同的字形码，但究竟是哪个数码管会显示出字形，取决于位选通COM端电路的控制，所以我们只要将需要显示的数码管的选通控制打开，该位数码管就显示出字形，没有选通的数码管就不会亮。通过分时轮流控制各个数码管的COM端，就使各个数码管轮流受控显示，这就是数码管动态扫描显示。在轮流显示过程中，每位数码管的点亮时间为1~20ms，由于人的视觉暂留现象，尽管实际上各位数码管并非同时点亮，但只要扫描的速度足够快，给人的印象就是一组稳定的显示数据，不会有闪烁感，动态显示的效果和静态显示是一样的，能够节省大量的I/O端口，而且功耗更低。

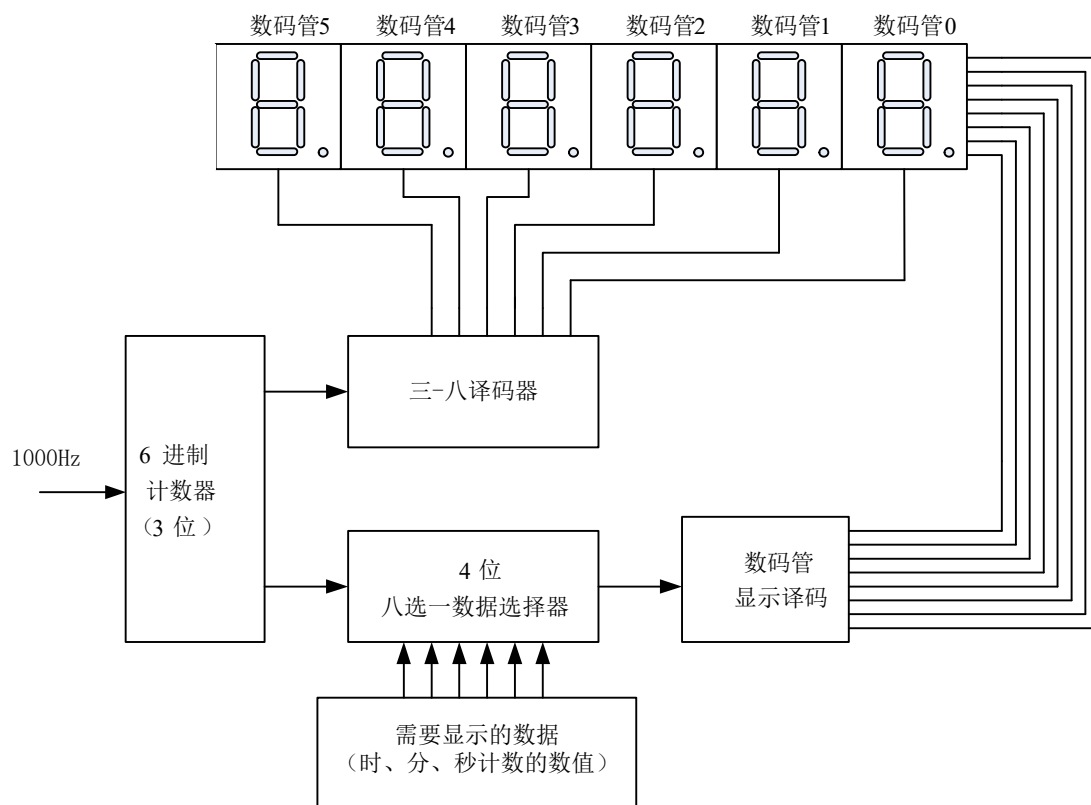


图4 数码管动态扫描显示接口电路组成

本实验中，对 1000Hz 频率的信号进行计数，产生（3 位）6 进制的计数结果。（3 位）6 进制的计数值也作为 4 位八选一数据选择器的数据选择控制信号，选择对应数码管应显示的数据，送入数码管译码显示电路译码后，作为数码管的字型码，使数码管显示对应的字形。（3 位）6 进制的计数值进行三—八译码操作，产生数码管的公共端选通控制信号，这个选通控制信号负责各个数码管的点亮和关灭。例如，需要在 6 个数码管上显示“543210”，即数码管 0 显示 0，依次循环，数码管 5 显示 5。送给数码管动态扫描显示接口电路的数据是“0101”、“0100”、“0011”、“0010”、“0001”、“0000”。当 6 进制的计数值是“000”是，4 位八选一数据选择器选择“0000”输出，“0000”作为数码管显示译码的输入，数码管显示译码电路的输出为“1000000”，显示“0”的字形。6 进制的计数值是“000”是，“000”作为三—八译码器的输入，三—八译码器的输出为“11111110”（本实验中**最高两位没有使用**），故经三极管 9012 驱动后，数码管 0 的公共端接高电平，其它数码管的公共端接低电平，因数码管是共阳型，故只有数码管 0 点亮。故数码管 0 显示“0”字形。6 进制的计数器加 1 后，计数值是“001”是，4 位八选一数据选择器选择“0001”输出，“0001”作为数码管显示译码电路的输入，故数码管显示译码电路的输出为“1111001”，显示“1”的字形。6 进制的计数值是“001”是，“001”作为三—八译码器的输入，三—八译码器的输出为“11111101”，经三极管 9012 驱动后，

数码管 1 的公共端接高电平，其它数码管的公共端接低电平，因数码管是共阳型，故只有数码管 1 点亮。故数码管 1 显示“1”字形。依次类推，数码管 5 显示“5”字形。6 进制的计数器再次加 1 后，计数值为“000”，数码管 0 显示“0”字形。周而复始，在数码管上就成功显示“543210”。

表 1 7 段共阳数码管显示译码表

输入 a	0000	0001	0010	0011	0100	0101	0110	0111
输出 led7s	1000000	1111001	0100100	0110000	0011001	0010010	0000010	1111000
显示	0	1	2	3	4	5	6	7
输入 a	1000	1001	1010	1011	1100	1101	1110	1111
输出 led7s	0000000	0010000	0001000	0000011	1000110	0100001	0000110	0001110
显示	8	9	A	B	C	D	E	F

5、实验中涉及的硬件电路

六位数码管

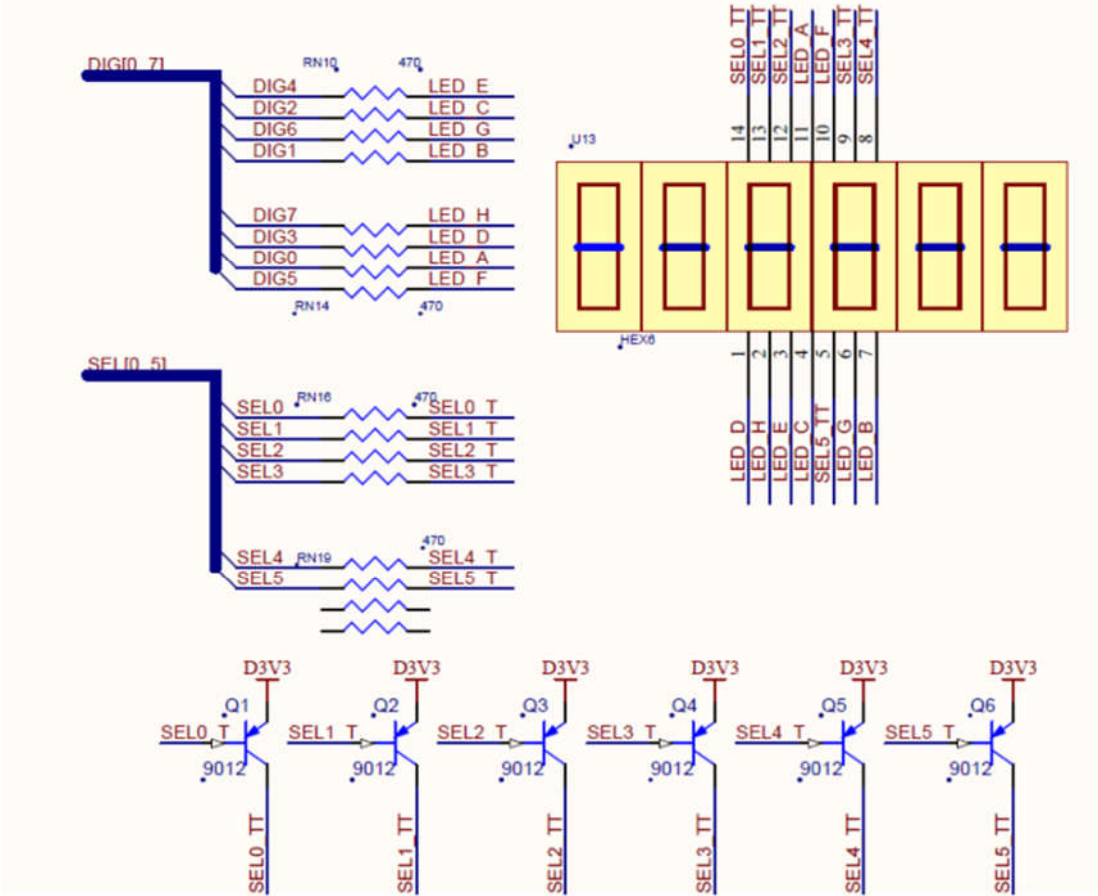


图 5 数码管显示电路图

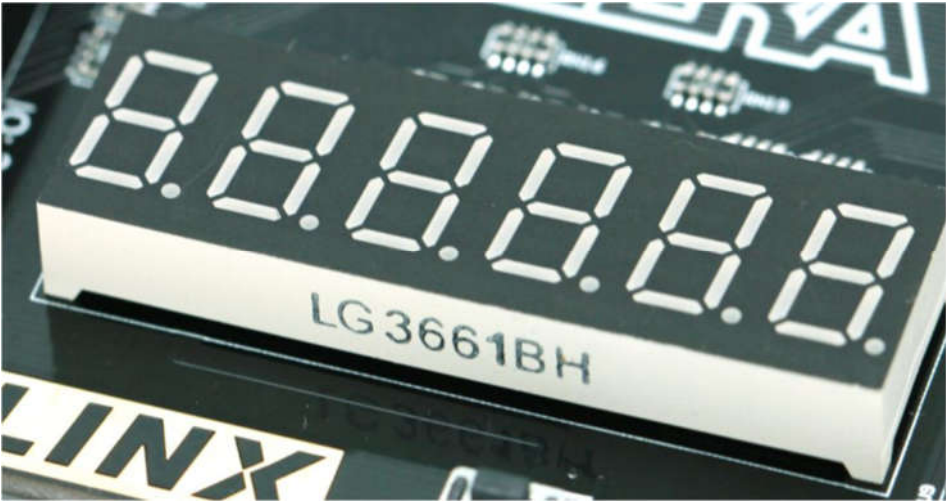


图 6 数码管实物图

数码管引脚分配

引脚名称	FPGA 引脚	备注
DIG[0]	R14	对应段 A
DIG[1]	N16	对应段 B
DIG[2]	P16	对应段 C
DIG[3]	T15	对应段 D
DIG[4]	P15	对应段 E
DIG[5]	N12	对应段 F
DIG[6]	N15	对应段 G
DIG[7]	R16	对应点 DP
SEL[0]	M11	从右面数第一个数码管
SEL[1]	P11	从右面数第二个数码管
SEL[2]	N11	从右面数第三个数码管
SEL[3]	M10	从右面数第四个数码管
SEL[4]	P9	从右面数第五个数码管
SEL[5]	N9	从右面数第六个数码管

开发板提供时钟源的 50M 有源晶振电路。晶振输出连接到 FPGA 的全局输入时钟管脚 (CLK1 PinE1)，这个 CLK1 可以用来驱动 FPGA 内的用户逻辑电路。

时钟引脚分配：

引脚名称	FPGA 引脚
CLK	E1

#### 按键引脚分配：

按键名称	FPGA 引脚	按键标号
RESET	N13	RESET
KEY1	M15	KEY 1
KEY2	M16	KEY 2
KEY3	E16	KEY 3

按下按键，产生低电平。松开按键，恢复为高电平。选择一个按键作为电子钟系统的复位按钮。设计的更复杂时，可以用按键调节电子钟。

#### 四、实验内容

- 1、设计一个 10 进制加法计数器，计数范围 0~9，计数器具有异步复位控制端，具有计数使能允许控制信号，具有置数控制端，具有置数数据输入，具有计数输出，具有进位输出。（**输入输出的名称自己定义**）对 10 进制计数器进行时序仿真。
- 2、在 10 进制计数器的基础上进行修改，设计出一个 6 进制计数器，计数范围 0~5。
- 3、在十进制计数器、六进制计数器的基础上，使用元件例化，设计电子钟的时、分、秒计数，完成电子钟的计时计数。在 quartus 中编译，生成 RTL 图。然后对时、分、秒计时计数电路进行时序仿真。（**需能观察到 23 时 59 分 59 秒加 1 计数后变为 0 时 0 分 0 秒这一过程**）
- 4、根据已提供的分频电路程序（fenpinmodule.v）、显示控制及译码电路程序（display.v），及自己设计的时、分、秒计时计数电路程序，设计一个顶层模块，组成一个可实际运行显示的电子钟。在 quartus 中进行引脚分配，编译，下载，查看运行结果。

#### 五、实验操作步骤

- 1、建立文件夹，新建工程。
- 2、编辑程序文件及测试文件。
- 3、编译文件。
- 4、仿真工程
- 5、查看仿真结果，观察仿真结果。
- 6、截图保存仿真结果。
- 7、编译、引脚分配、再次编译。
- 8、编程下载。

#### 六、实验报告要求

打印空白报告纸，**手写实验目的、实验设备及软件、实验原理、实验内**

容、实验操作步骤，程序源代码（含测试文件）、实验结果截图、实验结果的分析说明，实验中遇到的问题、总结、心得体会（此内容手写）、做成 WORD 文档，然后打印，一个实验报告装订在一起，然后上交。

备注：

```
module
display(clk_1000Hz, x5_in, x4_in, x3_in, x2_in, x1_in, x0_in, decoder_outd, segdec_out)
;
input clk_1000Hz;
input  [3:0] x5_in, x4_in, x3_in, x2_in, x1_in, x0_in;
output  [5:0] decoder_outd;
output  [6:0] segdec_out; //(g, f, e, d, c, b, a)

// x5_in, x4_in, x3_in, x2_in, x1_in, x0_in 为数码管要显示的数字的二进制值，例如
x0_in 为 0001，则最右侧数码管显示 0。x5_in 为 0010，最左侧数码管显示 2 。
decoder_outd[0], 对应数码管电路图中的 SEL0（表格中的 SEL[0]），控制最右侧的数码
管。
```