

CA—project2 Report Team22

組員及分工

組員

- 許正忞，鐘紫育，李柚昇

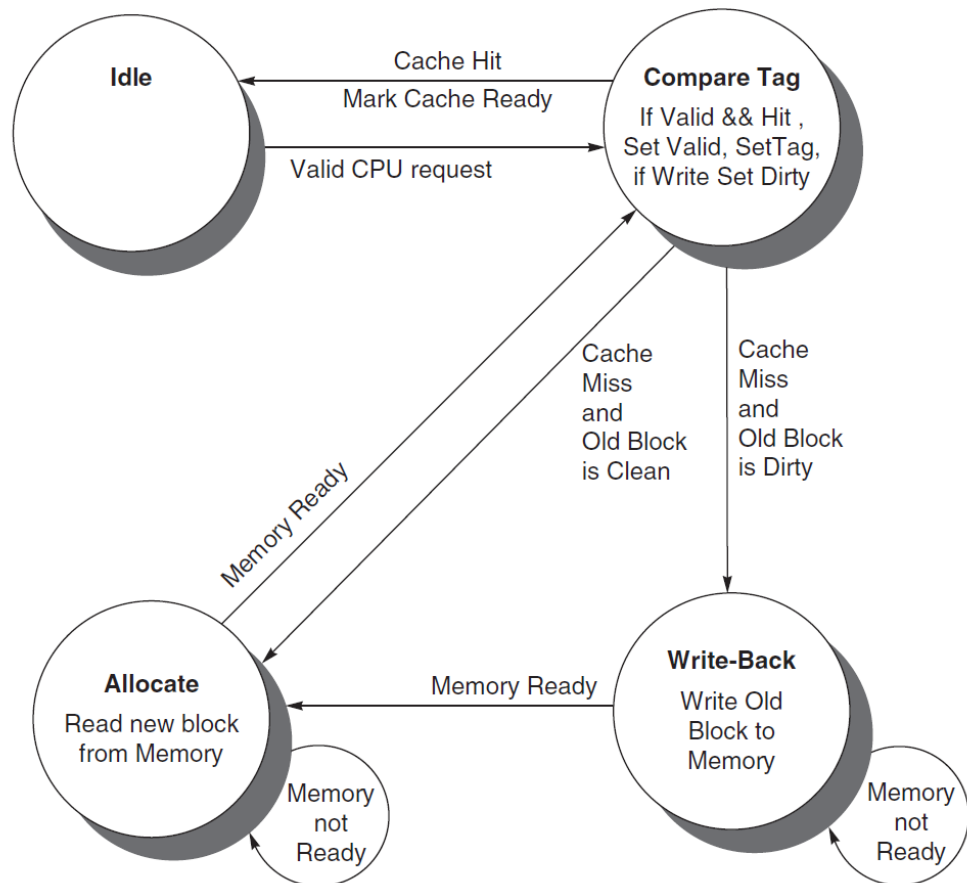
分工

- Controller 部分：鐘紫育，李柚昇
- 連線及整合：許正忞

Implementation

- dcache top
 - tag comparator 把 存在 sram 中的 data 放入 hit_data 中。判斷 sram & p1 的 tag 是否相同，而且 sram 現在是不是 valid，以上皆成立，hit。
 - write data & read data read data:當 cache hit 的時候，使用 p1_offset 當作起始位置經位移與運算後，取得實際儲存位置中的資料 writw data:當 cache hit 的時候，依照目前 offset 位置，取得對應位置的資料。
- connect dcache top to CPU
 - 把 project1 中連接到 Data memory 的線改成連接到 cache。
 - 添加一條 mem stall 的線，從 cache 連接到 PC, IF/ID, ID/EX, EX/MEM, MEM/WB，讓它們在 cache miss 的時候可以保持其中的值不變。

Cache Controller in detail



- **STATE_MISS**
 - 假如 old block is dirty，要寫 memory 並進入 WRITE BACK STATE，所以 mem_enable, mem_write 以及 write_back 都設為 1，並將 state 改為 STATE_WRITEBACK。
 - 反之，若 old block is clean，要讀 memory 並進入 ALLOCATE STATE，所以 mem_enable 設為 1，mem_write, write_back 設為 0，並將 state 改為 STATE_READMISS。
- **STATE_READMISS**
 - 這個 state 作用在於等待 data memory ready，假如 mem_ack_i 為 1，代表 memory is ready，mem_enable 設為 0，cache_we 設為 1，state 變成 STATE_READMISSOK。
 - 若 mem_ack_i 為零，代表 memory is not ready，state 保持在 STATE_READMISS。
- **STATE_READMISSOK**
 - READMISS 已解決，讓 cache_we 變回 0，state 回到 STATE_IDLE。
- **STATE_WRITEBACK**

- 一樣是在等 memory ready，把相關參數變回原狀，若 mem_ack_i 為 1，write_back 和 mem_write 設成 0，state 跳到 STATE_READMISS。
- 相反地，要是 memory 還沒好，state 保持在 STATE_WRITEBACK。

問題及解決

- 最初沒注意到 testbench 中已經把 data memory 單獨拿出來，沒有放在 CPU 中了，所以剛開始在 CPU 里重複寫了 data memory 的部分，出現了一些錯誤。
 - 解決：把 data memory 部分刪除。
- 在我們原先的答案中，第 98 個 cycle 時 read data 會讀出 0123，但這時正確的應該是 0000。
 - 解決：在 dcache_top.v 的 read data 中的 always 加入 hit，使每次去重新檢查 p1_data_o 的資料是正確的。