**参考文档：**<https://www.jianshu.com/p/7e49071f9e11>

### Makefile 的基本工作原理

makefile默认执行第一个目标

make XX的时候，Makefile会自动执行xx这个目标下面的命令语句。

当我们make xx的时候，是否执行命令是取决于依赖的。依赖如果成立就会执行命令，否则不执行。

### Makefile 的工作方式

读入主Makefile（主Makefile中可以引用其他Makefile）

读入被include的其他Makefile

初始化文件中的变量

推导隐晦规则, 并分析所有规则

为所有的目标文件创建依赖关系链

根据依赖关系, 决定哪些目标要重新生成

执行生成命令

### Makefile的基本语法知识

**定义变量（=or:=）**

其中 = 和 := 的区别在于, := 只能使用前面定义好的变量, = 可以使用后面定义的变量

#此行为注释行

#测试变量定义 =

OBJS2 = $(OBJS1) c.c

OBJS1 := $(OBJS0) b.c

OBJS0 = a.c

all:

    @echo $(OBJS2)

**输入 make test1**

**输出结果 b.c c.c**

**变量替换**

#变量替换

SRCS := a.c b.c c.c

OBJS := $(SRCS:%.c=%.o)

test2:

    @echo "SRCS: " $(SRCS)

    @echo "OBJS: " $(OBJS)

**输入 make test2**

**输出结果 SRCS: a.c b.c c.c**

**OBJS: a.o b.o c.o**

**变量追加**

SRCS1 := a.c b.c c.c

SRCS1 += d.c

test3:

    @echo "SRCS: " $(SRCS1)

**输入 make test3**

**输出结果 SRCS: a.c b.c c.c d.c**

**变量覆盖**

#变量覆盖

SRCS2 := d.c

override SRCS2 := a.c b.c c.c

test3:

    @echo "SRCS: " $(SRCS2)

**输入make test4**

**输出结果 SRCS: a.c b.c c.c**