ACUR101 FPGA详细设计说明

修订 1.1

版本记录：

|  |  |  |  |
| --- | --- | --- | --- |
| 版本 | 日期 | 修改者 | 修订内容 |
| 1.0 | ~ | 李吉星 | 初始版本 |
| 1.1 | 2023/02/17 | 宋伟 | 补充DSP相关模块文档 |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

目录

[目录 - 3 -](#_Toc127635688)

[1 ACUR101-FPGA简介 - 5 -](#_Toc127635689)

[1.1 ACUR101-FPGA的一级模块划分 - 5 -](#_Toc127635690)

[1.2 ACUR101-FPGA的内部功能模块结构图 - 5 -](#_Toc127635691)

[2 一级模块（system\_wrapper） - 6 -](#_Toc127635692)

[2.1 功能描述 - 6 -](#_Toc127635693)

[2.2 接口说明 - 7 -](#_Toc127635694)

[2.3 接口时序 - 8 -](#_Toc127635695)

[2.4 实现说明 - 8 -](#_Toc127635696)

[2.5 表项/寄存器设置 - 8 -](#_Toc127635697)

[2.6 重要资源使用情况说明 - 8 -](#_Toc127635698)

[3 一级模块dsp\_top - 9 -](#_Toc127635699)

[3.1 功能描述 - 9 -](#_Toc127635700)

[3.2 接口说明 - 9 -](#_Toc127635701)

[3.1 实现时序 - 9 -](#_Toc127635702)

[3.2 实现说明 - 10 -](#_Toc127635703)

[3.3 表项/寄存器设置 - 10 -](#_Toc127635704)

[3.4 重要资源使用情况说明 - 10 -](#_Toc127635705)

[3.5 二级模块（rdmap） - 10 -](#_Toc127635706)

[3.5.1 功能描述 - 10 -](#_Toc127635707)

[3.5.2 接口说明 - 11 -](#_Toc127635708)

[3.5.3 接口时序 - 11 -](#_Toc127635709)

[3.5.4 实现说明 - 11 -](#_Toc127635710)

[3.5.4.1 r\_win - 12 -](#_Toc127635711)

[3.5.4.2 r\_fft - 12 -](#_Toc127635712)

[3.5.4.3 row\_2\_col - 12 -](#_Toc127635713)

[3.5.4.4 win\_v - 12 -](#_Toc127635714)

[3.5.4.5 v\_fft - 12 -](#_Toc127635715)

[3.5.4.6 logLn\_calc - 12 -](#_Toc127635716)

[3.5.5 表项/寄存器设置 - 12 -](#_Toc127635717)

[3.5.6 重要资源使用情况说明 - 12 -](#_Toc127635718)

[3.6 二级模块（clutter\_map\_top） - 12 -](#_Toc127635719)

[3.6.1 功能描述 - 12 -](#_Toc127635720)

[3.6.2 接口说明 - 12 -](#_Toc127635721)

[3.6.3 接口时序 - 13 -](#_Toc127635722)

[3.6.4 实现说明 - 14 -](#_Toc127635723)

[3.6.5 表项/寄存器设置（空） - 14 -](#_Toc127635724)

[3.6.6 重要资源使用情况说明（空） - 14 -](#_Toc127635725)

[3.6.7 DFX - 14 -](#_Toc127635726)

[3.7 二级模块row\_2\_col - 14 -](#_Toc127635727)

[3.7.1 功能描述 - 14 -](#_Toc127635728)

[3.7.2 接口说明 - 15 -](#_Toc127635729)

[3.7.3 接口时序 - 15 -](#_Toc127635730)

[3.7.4 实现说明 - 16 -](#_Toc127635731)

[3.7.5 表项/寄存器设置（空） - 17 -](#_Toc127635732)

[3.7.6 重要资源使用情况说明 - 17 -](#_Toc127635733)

[4 一级模块二 - 18 -](#_Toc127635734)

[5 参考资料 - 19 -](#_Toc127635735)

[6 附录一：XXXX - 20 -](#_Toc127635736)

# ACUR101-FPGA简介

{简要介绍一下芯片研发的背景、使用环境、芯片类型等}。

## ACUR101-FPGA的一级模块划分

{简要介绍一下芯片划分为几个一级模块，每个一级模块的名称、主要功能等}。

## ACUR101-FPGA的内部功能模块结构图

{给出芯片的结构框图，至少细化至一级模块，并标注主要信号}。例如

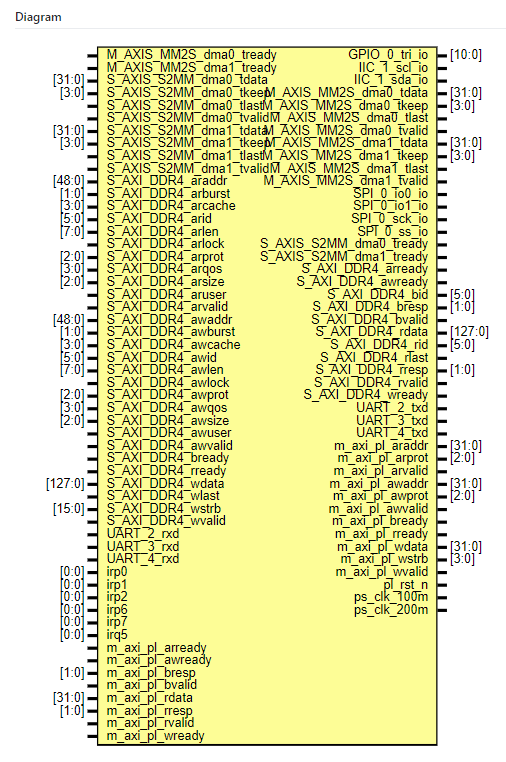
图 1‑1 ACUR101-FPGA内部模块结构图

# 一级模块（system\_wrapper）

## 功能描述

PS 模块顶层设计主要包括PS端的时钟，复位，DMA0 DMA1数据通道，AXI数据通道，PS 控制器，中断，以及GPIO等。

## 接口说明

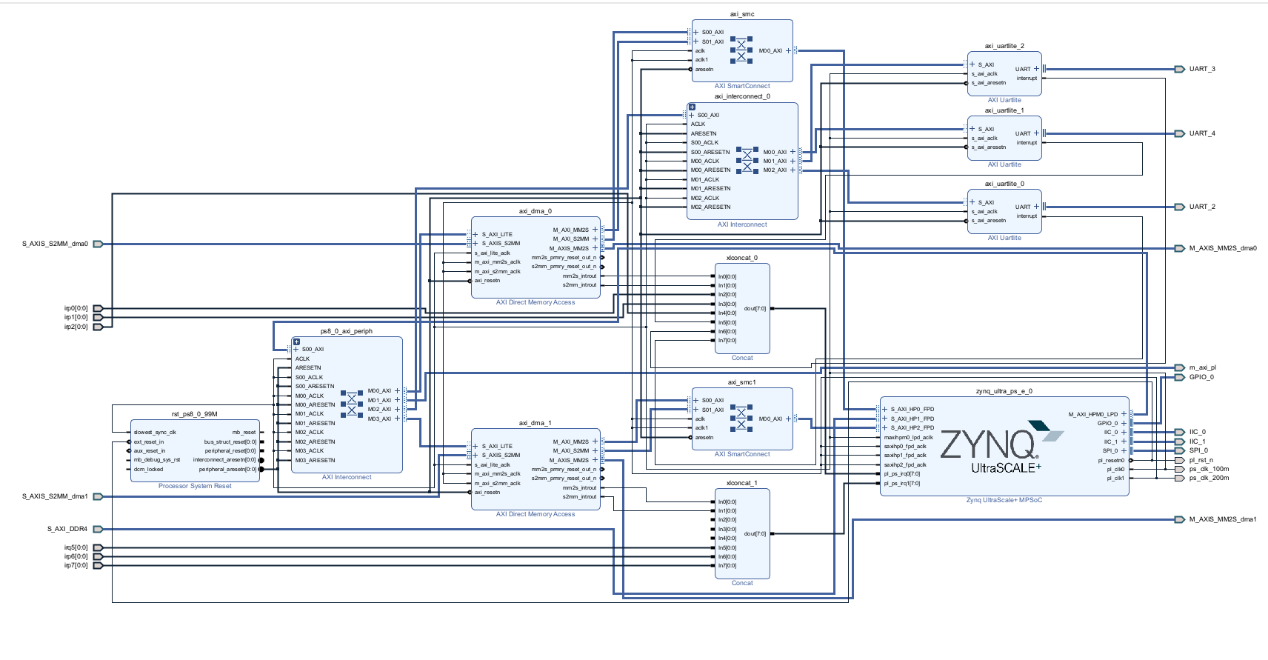




## 接口时序

略。。

## 实现说明



## 表项/寄存器设置

参考寄存器手册《7ev调试寄存器手册.xlsx》

## 重要资源使用情况说明

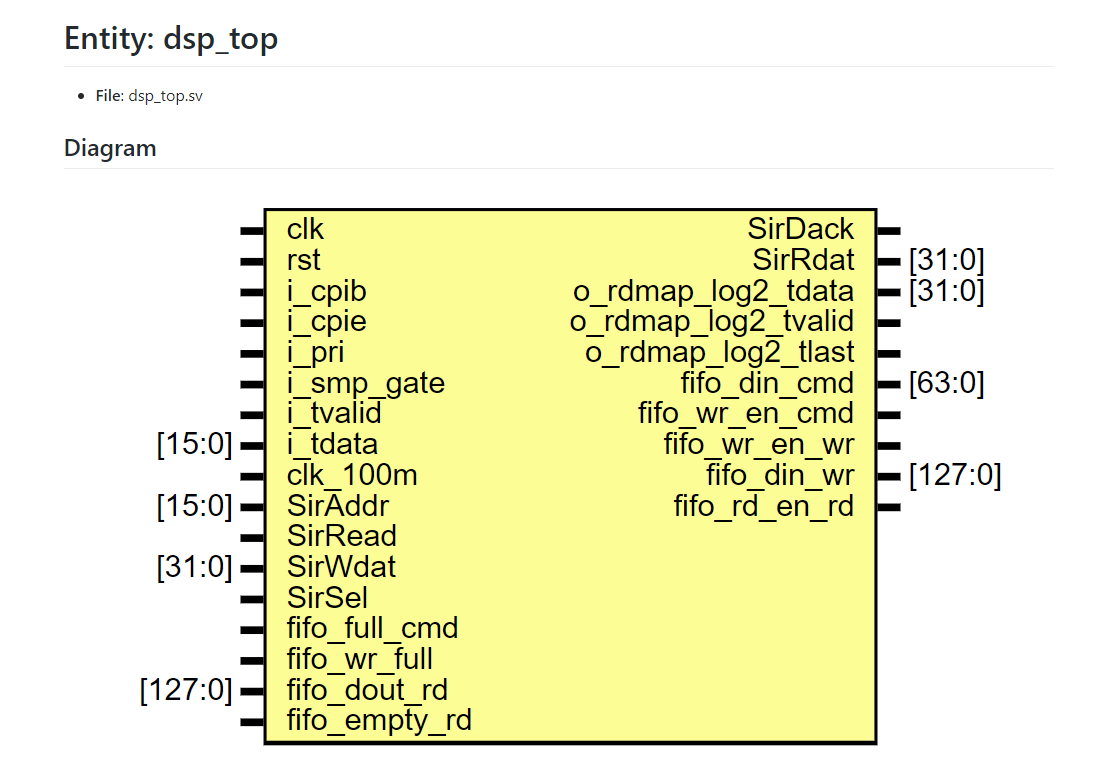
略。。。

# 一级模块dsp\_top

## 功能描述

模块接受ADC数据，计算RDMAP，杂波图，等DSP 信号处理相关。

## 接口说明



端口参考：



## 实现时序

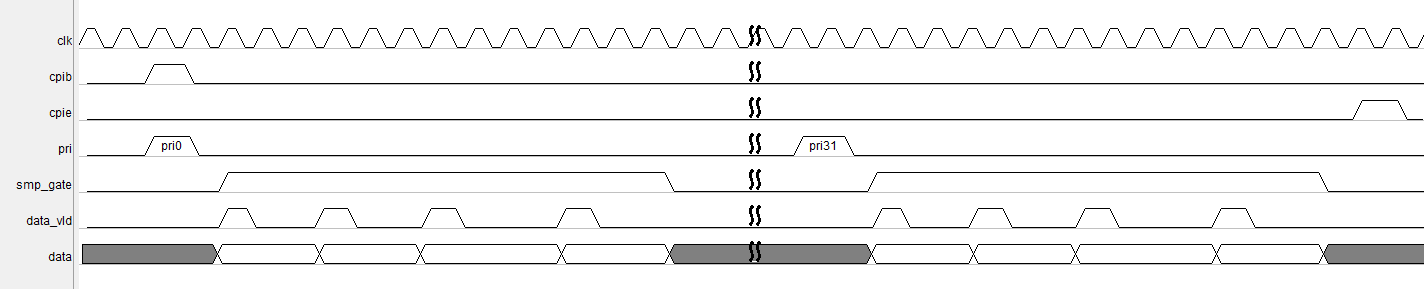
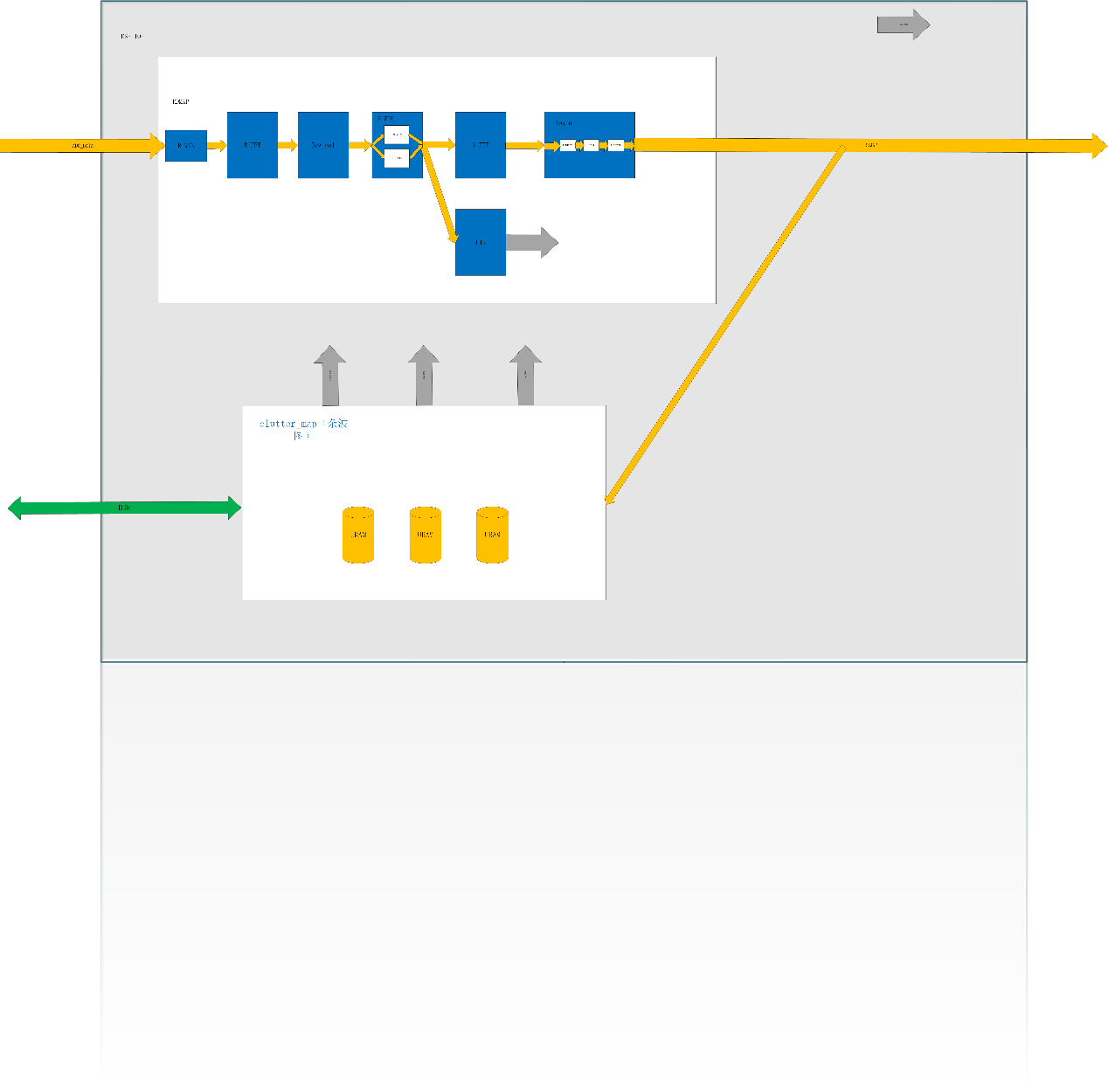


图3‑1 dsp\_top输入接口时序图

## 实现说明



## 表项/寄存器设置

参考寄存器手册《7ev调试寄存器手册.xlsx》

## 重要资源使用情况说明

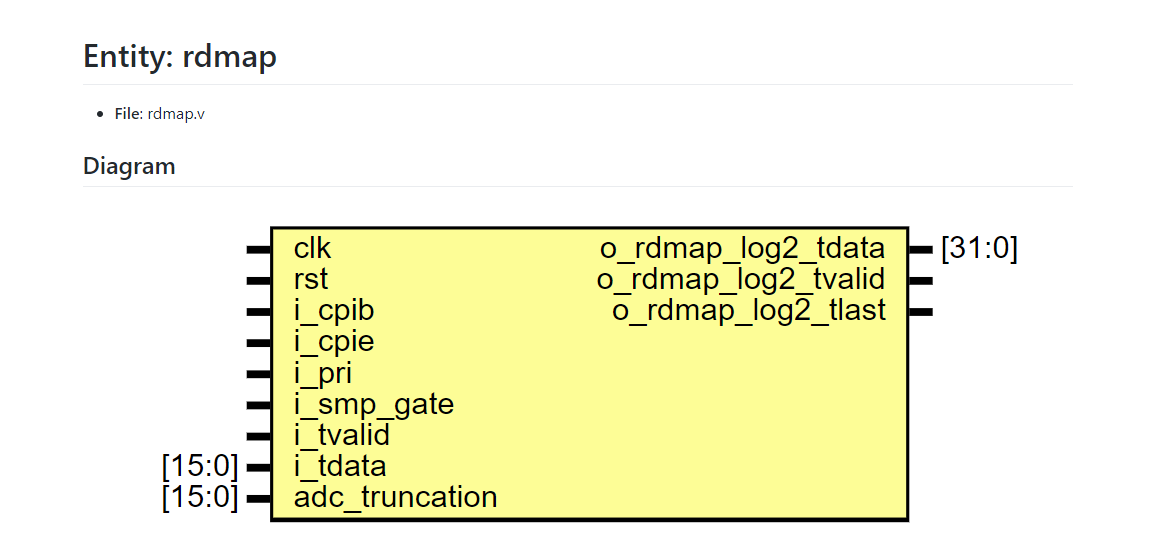
参考资源报告

## 二级模块（rdmap）

### 功能描述

ADC 输入数据经过距离维fft 和速度维fft 得到雷达rdmap 图。

### 接口说明



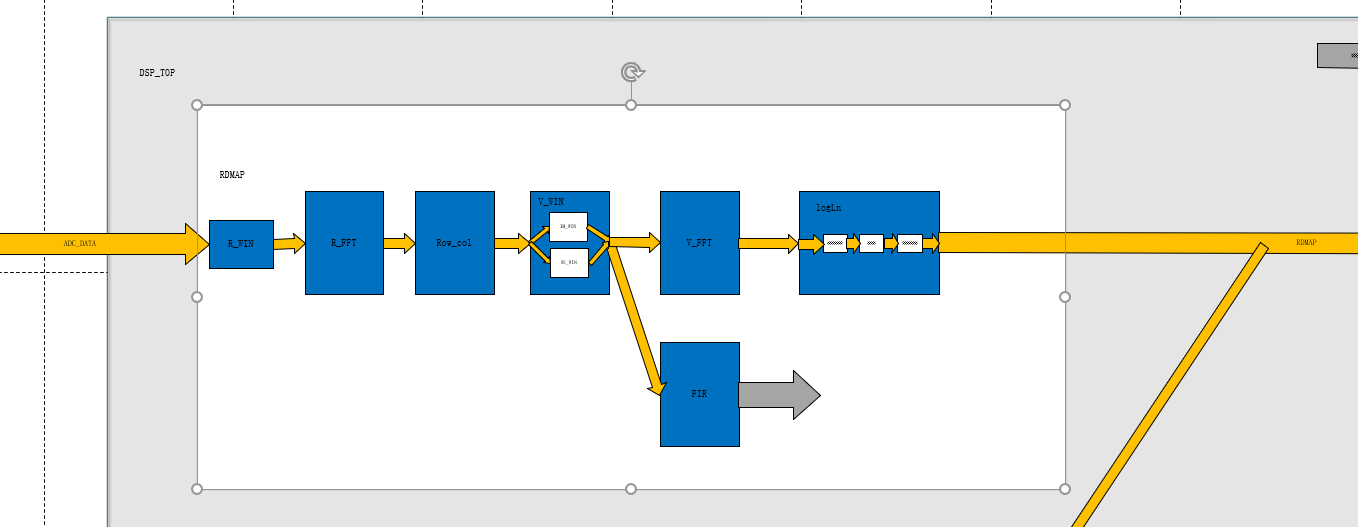
端口说明参考：



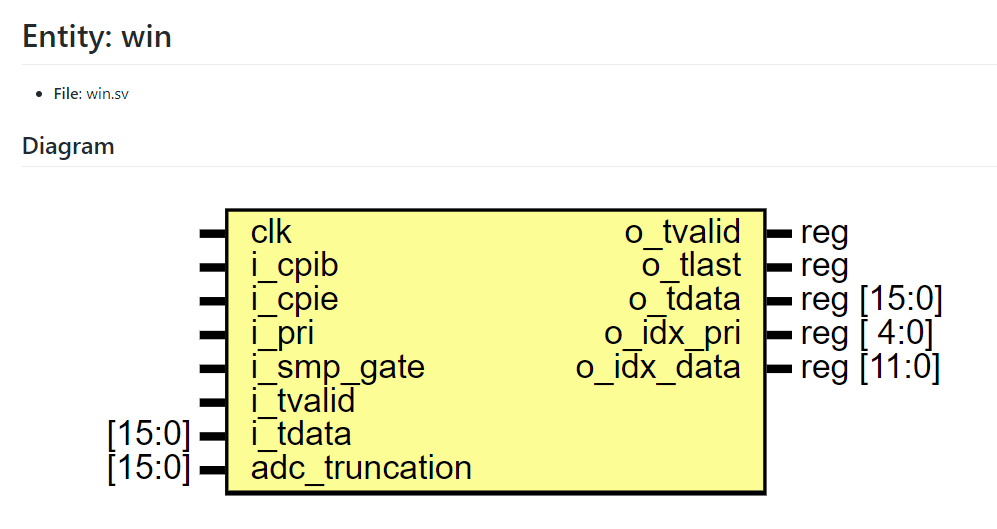
### 接口时序

略。。。

### 实现说明



### r\_win



### 功能描述

ADC 输入信号一维距离维加窗。

### 时序说明:

待补充。。。

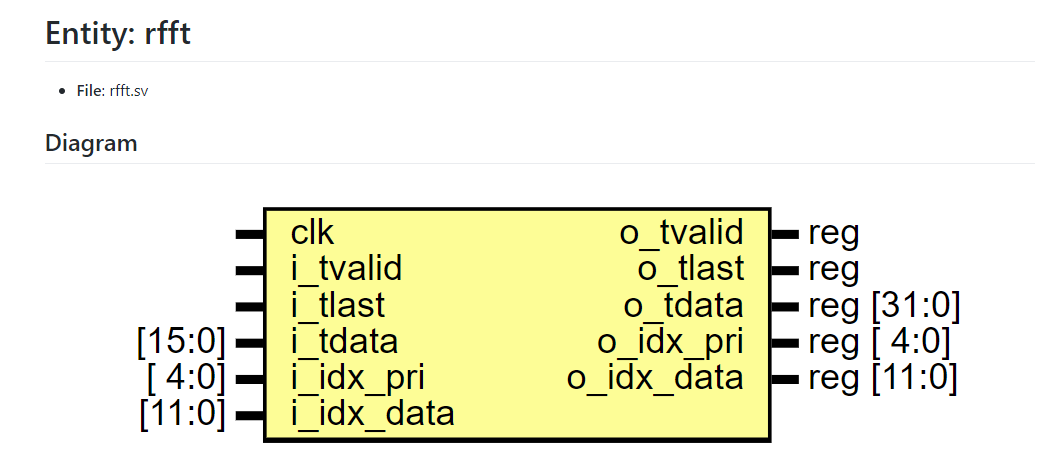
### 资源消耗:

参考资源评估

### 寄存器说明:

参考寄存器手册

### r\_fft



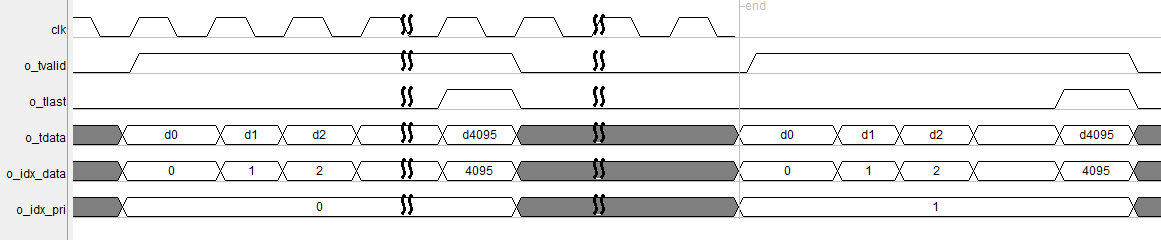
### 功能描述

模块接数据，针对输入数据做4096点FFT运算。从i\_tvalid有效开始，模块自动对每4096点做为一组数据，完成一次FFT。模块输入数据为16bit实数，模块对虚数部分补0处理。

表3‑1 rfft接口定义

|  |  |  |  |
| --- | --- | --- | --- |
| 信号名称 | 位宽 | 类型 | 说明 |
| 时钟信号 | | | |
| clk | 1 |  | 160MHz时钟。 |
| 输入数据信号 | | | |
| i\_data\_vld | 1 |  | adc采样数据有效信号；  数据速率20MHz；  @160MHz时钟域；  每8个clk生效一次，每次一个clk周期。 |
| i\_data | 16 |  | adc采样数据信号；  数据速率20MHz速率；  @160MHz时钟域。 |
| i\_idx\_data | 12 |  | 一个PRI周期内的数据索引，范围0~4095。 |
| i\_idx\_pri | 5 |  | 输出PRI索引，范围0~31。 |
| 输出数据信号 | | | |
| o\_tvalid | 1 |  | 距离维FFT运算结果数据有效信号。 |
| o\_tlast | 1 |  | 距离维FFT运算结果数据最后一个数据标志信号。 |
| o\_tdata | 32 |  | 距离维FFT运算结果数据。 |
| o\_idx\_data | 12 |  | 一个PRI周期内的数据索引，范围0~4095。 |
| o\_idx\_pri | 5 |  | 输出PRI索引，范围0~31。 |

### 时序说明:



1. 图3‑2 rfft输出信号时序图

### 实现说明

1. 
2. 图3‑3 rfft实现结构
3. rfft输入数据来自win模块，数据速率20MHz，模块主时钟160MHz，每8clk有一个数据输入。为保证FFT输入数据的连续是连续的，使用ram缓存模块的输入数据。输入的数据索引信号i\_idx\_data作为ram的地址控制信号，直接将输入数据写入ram，写完最后一个地址，开始连续读ram操作。
4. 4096点FFT模块使用unscale模式，输入16bit，输出29bit，模块截取输出高位16bit。

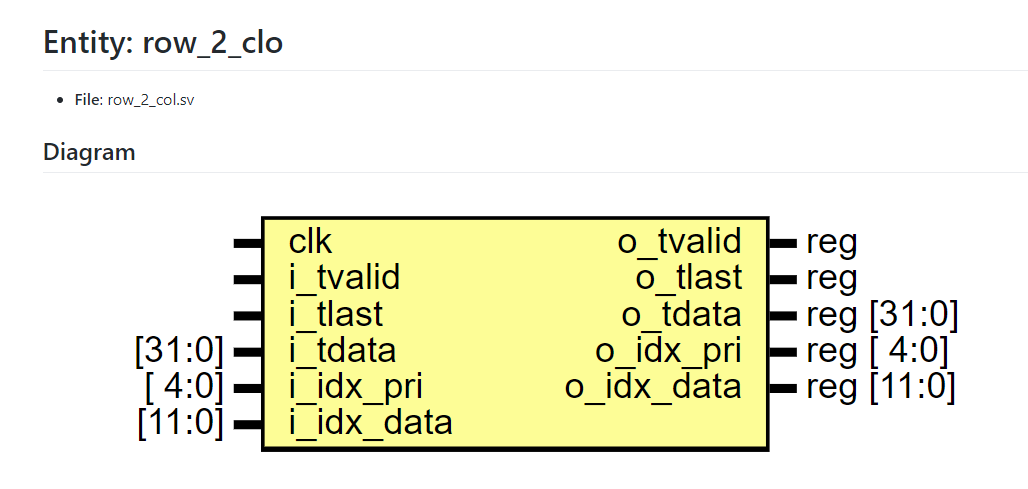
### 资源消耗:

参考资源报告

### 寄存器说明:

参考寄存器手册

### row\_2\_col



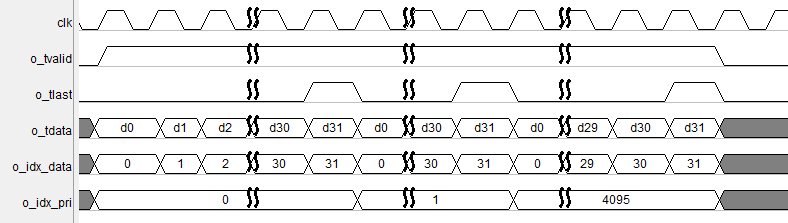
### 功能描述

距离维FFT数据后，输出32组FFT数据，每组FFT输出4096点，可以认为是一个32\*4096的数据矩阵。在后级模块做速度推算时，需要对数据的每一行作为一个处理单元。模块将输入数据按行写入（每行4096点，写32行），按列读出。

表3‑2 row\_2\_col接口定义

|  |  |  |  |
| --- | --- | --- | --- |
| 信号名称 | 位宽 | 类型 | 说明 |
| 时钟信号 | | | |
| clk | 1 |  | 160MHz时钟。 |
| 输入数据信号 | | | |
| i\_data\_vld | 1 |  | adc采样数据有效信号；  数据速率20MHz；  @160MHz时钟域；  每8个clk生效一次，每次一个clk周期。 |
| i\_data | 16 |  | adc采样数据信号；  数据速率20MHz速率；  @160MHz时钟域。 |
| i\_idx\_data | 12 |  | 一个PRI周期内的数据索引，范围0~4095。 |
| i\_idx\_pri | 5 |  | 输出PRI索引，范围0~31。 |
| 输出数据信号 | | | |
| o\_tvalid | 1 |  | 距离维FFT运算结果数据有效信号。 |
| o\_tlast | 1 |  | 距离维FFT运算结果数据最后一个数据标志信号。 |
| o\_tdata | 32 |  | 距离维FFT运算结果数据。 |
| o\_idx\_data | 12 |  | 一个PRI周期内的数据索引，范围0~4095。 |
| o\_idx\_pri | 5 |  | 输出PRI索引，范围0~31。 |

### 时序说明:

1. 
2. 图3‑4 row\_2\_col时序图

### 实现说明



图3‑5 row\_2\_col实现结构图

数据索引i\_idx\_data作为列地址，i\_idx\_pri作为行地址，将数据写入ram。在FPGA实现中，将ram每2048个地址空间划为矩阵的一个行空间，在控制Ram读写操作是，拼接i\_idx\_data和i\_idx\_pri即可。

在写ram时，如图所示，存在读写冲突的情况，需要使用乒乓buffer处理。但是由于写入数据是20MHz，读出160MHz，读出速度远大于写入速度，冲突时间窗口只占总时间一小部分，只需要多准备一小块ram区域做为缓存即可。

读取整包数据量为2048\*32=65536，160MHz时钟下耗时409.6us。FFT前端数据速率20MHz，时钟周期50ns。409.6us/50ns=8192，刚好是2个采样窗（2行数据时间）的时间长度，所以在写ram时只需要cover前两行数据的乒乓操作就可以解决读写冲突的问题。

RAM地址空间划分每2048个连续地址为一行，一共存储34行，第33行34行作为第1行和第2行地址的乒乓备选区使用。



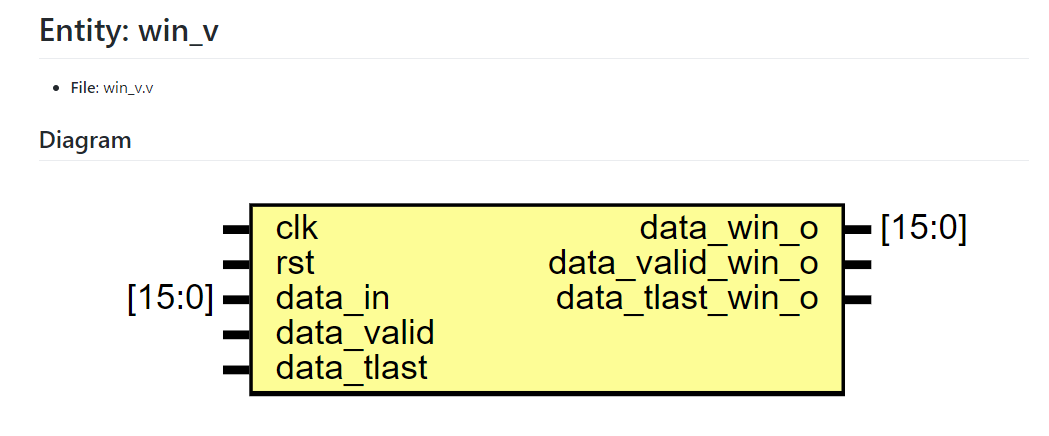
### 资源消耗:

参考资源报告

### 寄存器说明:

参考寄存器手册

### win\_v



### 功能描述

对一维fft的输出数据进行加窗操作.

### 时序说明:

待补充

### 实现说明

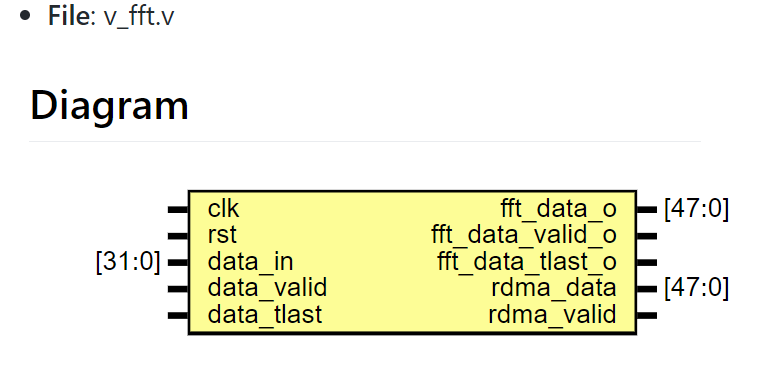
### 资源消耗:

参考资源报告

### 寄存器说明:

参考寄存器手册

### v\_fft



### 功能描述

对加窗后的一维fft 数据进行32点速度维fft

### 时序说明:

待补充

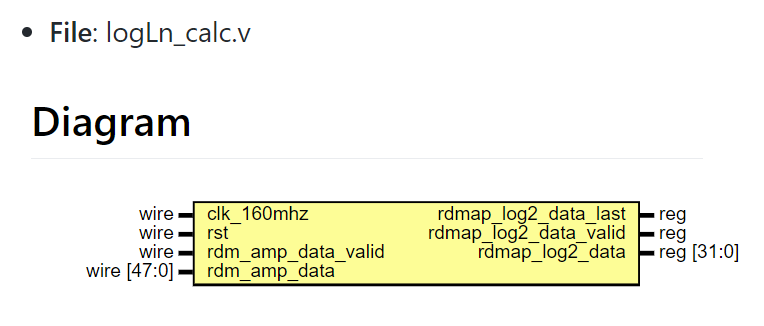
### 资源消耗:

参考资源报告

### 寄存器说明:

参考寄存器手册

### logLn\_calc



### 功能描述

对rdmap 的数据进行log2操作.

### 时序说明:

待补充

### 资源消耗:

参考资源报告

### 寄存器说明:

参考寄存器手册

### 表项/寄存器设置

参考寄存器手册《7ev调试寄存器手册.xlsx》

### 重要资源使用情况说明

参考资源报告

## 二级模块（clutter\_map\_top）

### 功能描述

### 接口说明

### 接口时序

### 实现说明

### 表项/寄存器设置（空）

### 重要资源使用情况说明（空）

## 二级模块

### 功能描述

### 接口说明

### 接口时序

### 实现说明

### 表项/寄存器设置（空）

### 重要资源使用情况说明

# 一级模块二

{同一级模块一}。

# 参考资料

{ACUR101-FPGA设计过程中涉及到的参考资料，需要有名称/作者/版本等}。

# 附录一：XXXX

{ACUR101-FPGA设计需要特殊说明的环节or寄存器附表等}。