

6.3

- (1) a —— 存储器数据缓冲寄存器 MDR
b —— 指令寄存器 IR
c —— 存储器地址寄存器 MAR
d —— 程序计数器 PC

(2)

$MAR \leftarrow (PC);$

$MDR \leftarrow M[MAR], PC \leftarrow (PC) + 1$

$IR \leftarrow (MDR), \text{操作控制器} \leftarrow (IR)$

(3)

设计 add X ，将主存地址为 X 的操作数，与累加寄存器 AC 中的数相加，结果存入 AC

1. $X \rightarrow MAR$

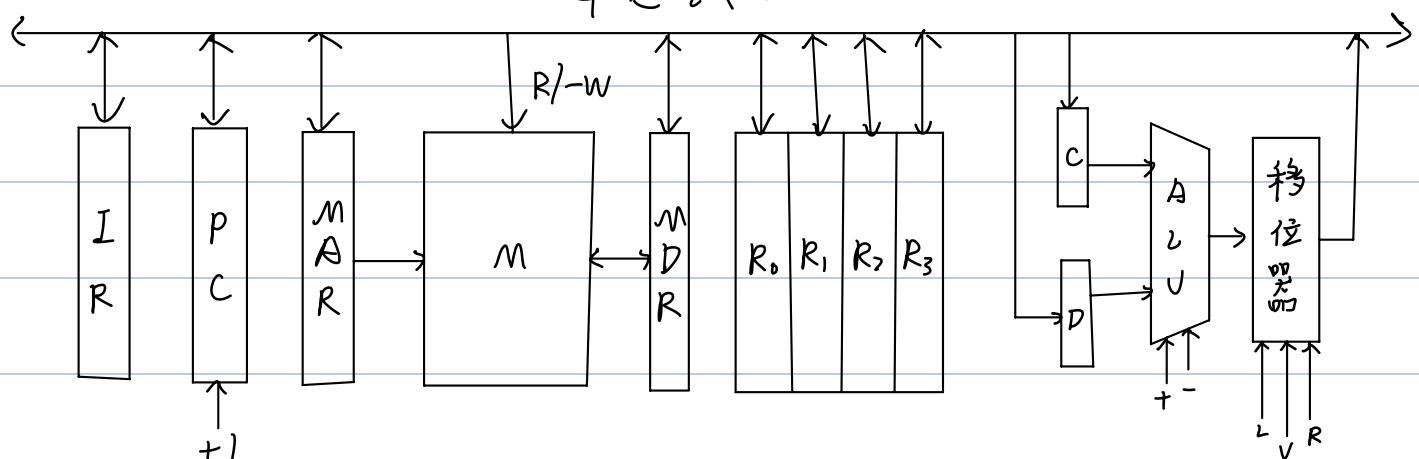
2. $M[MAR] \rightarrow MDR$

3. $(MDR) \rightarrow ALU, (AC) \rightarrow ALU, ALU \rightarrow AC$

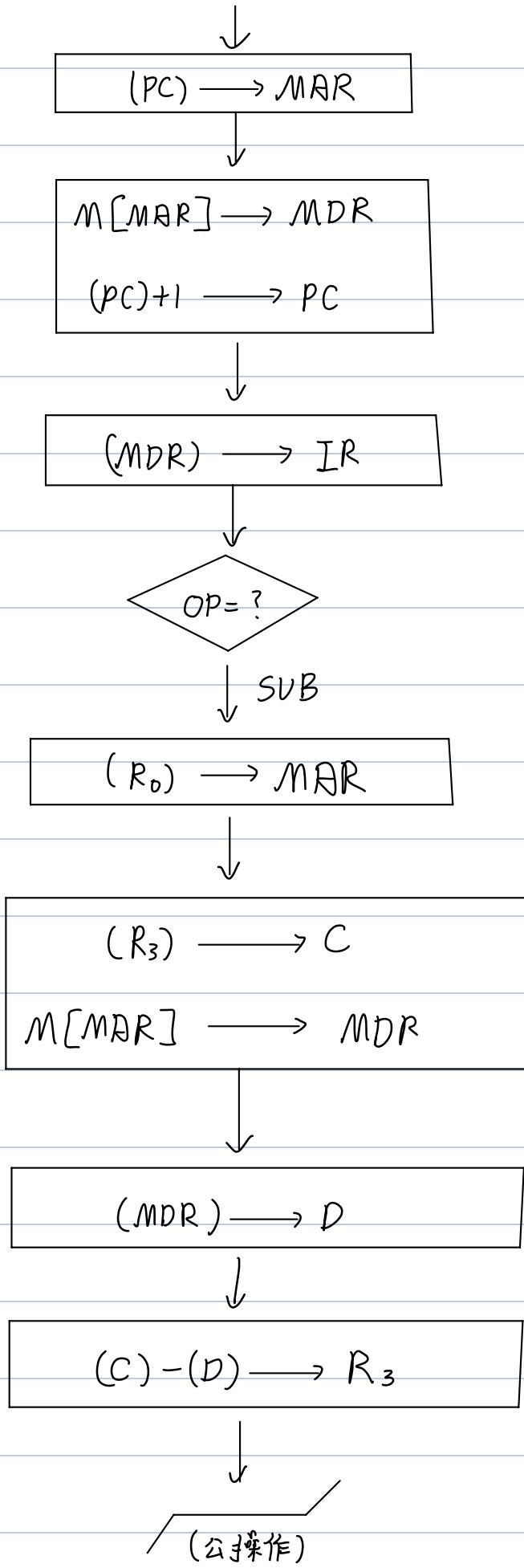
6.15

(1)

单总线 (BUS)



(2)



(3)

PC₀, MAR_i

I → R, MDR_i, +1

MDR₀, IR_i

R0₀, MAR_i

R3₀, C_i

I → R, MDR_i

MDR₀, D_i

-, √, R3_i

6.20

M1:

$$\text{平均 CPI} = 50\% * 5 + 35\% * 4 + 15\% * 3 = 4.35$$

$$\text{平均速度} = 1 / (4.35 * 1 / 3.2G) \approx 735.6 \text{ MIPS}$$

M2:

$$\text{平均 CPI} = 50\% * 4 + 35\% * 3 + 15\% * 3 = 3.5$$

$$\text{平均速度} = \frac{1}{\frac{3.5 * 1}{2.8G}} = 800 \text{ MIPS}$$

M3:

$$\text{平均 CPI} = 50\% * 3 + 35\% * 3 + 15\% * 3 = 3$$

$$\text{平均速度} = 1G / 3 \approx 333 \text{ MIPS}$$