

4. (1)

$$\text{总线宽度} = 32/8 = 4B$$

$$\text{总线带宽} = 33\text{MHz} \times 4B = 132\text{MBps}$$

$$\text{总线数据传输率} = 33\text{MHz} \times 4B/3 = 44\text{MBps}$$

(2)

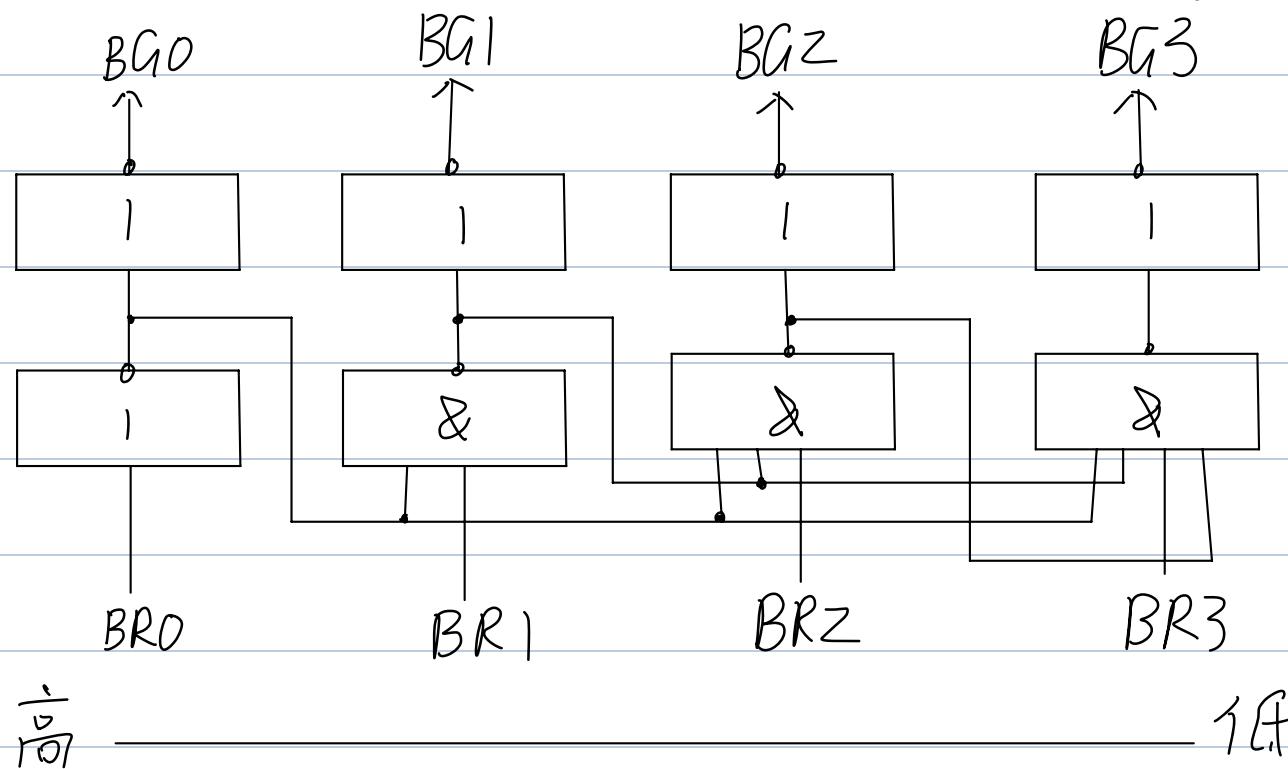
$$\text{总线宽度} = 64/8 = 8B$$

$$\text{总线带宽} = 66\text{MHz} \times 8B = 528\text{MBps}$$

$$\text{总线数据传输率} = 66\text{MHz} \times 8B/2 = 264\text{MBps}$$

9.

假设以 4 级排队为例，且高电平有效则



$$BG0 = BR0$$

$$BG1 = \overline{BR0} \cdot BR1$$

$$BG2 = \overline{BR0} \cdot \overline{BR1} \cdot BR2$$

$$BG3 = \overline{BR0} \cdot \overline{BR1} \cdot \overline{BR2} \cdot BR3$$

10.

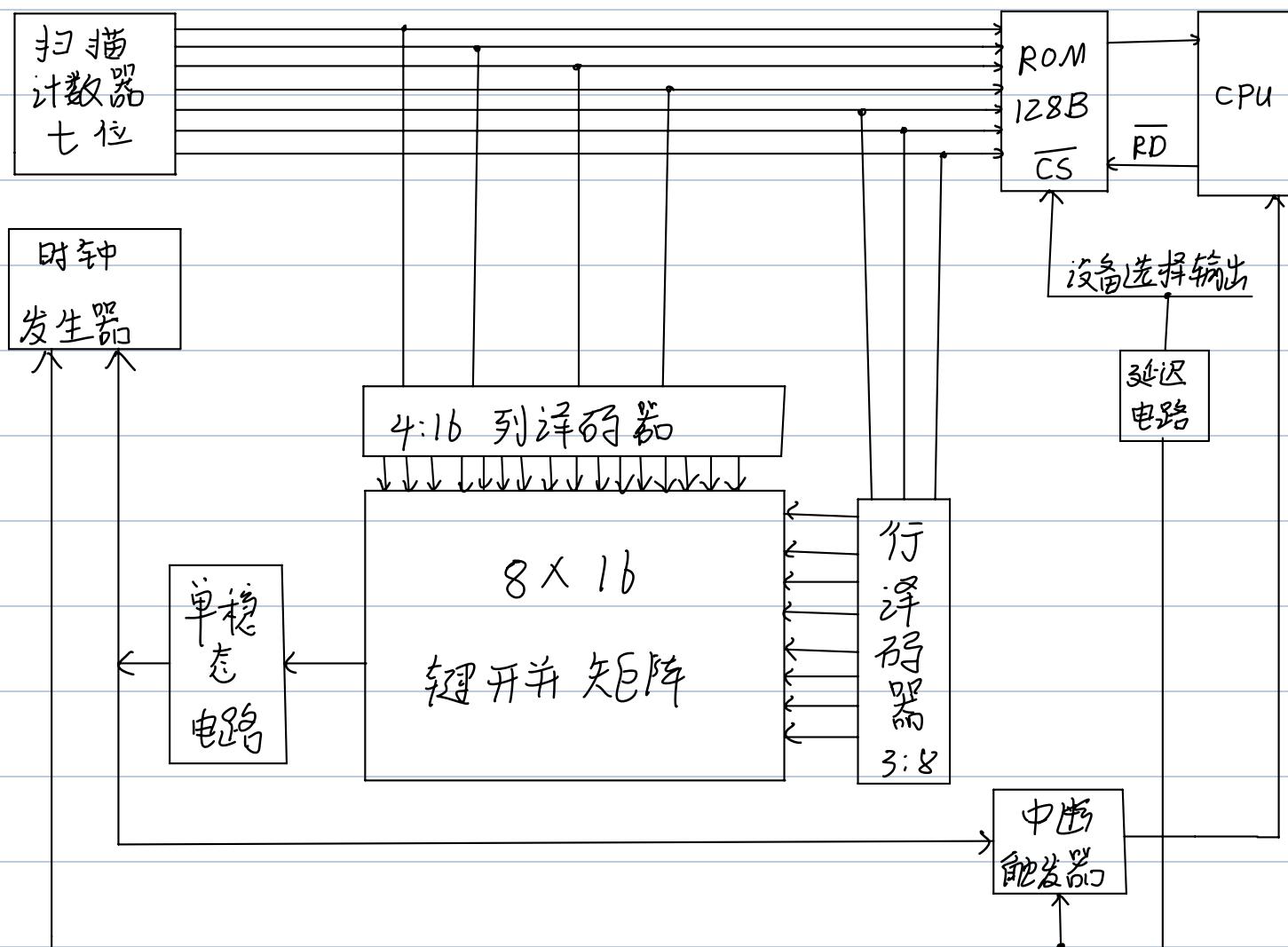
(1) 扫描计数器 = 7位

(2) ROM = $128 \times 8 \text{ bit} = 128 \text{ B}$

(3) 读入的二进制编码为 01000110 (46H)

最高位为奇校验位

(4)



(5) 不考虑校验技术，并按 ASCII 码位序列设计，则 ROM 编码表可省 7 位计数器的输出值为 ASCII 码寻址。

11.

(1) $72 \times 24 \times 8 \text{ bit} = 1728 \text{ B}$

(2) ROM 至少 $64 \times 8 \times 8 = 512 \text{ B}$

(3) 显存中存放是 ASCII 码

(4) 显存每个地址对应一个字符显示位置，显示位置自左至右，从上到下，分别对应缓存地址由低到高。

(5) 设置点计数器、字计数器、行字计数器、排计数器控制显存访问与屏幕扫描之间的同步。

点计数器模 $7+1=8$

行计数器模 $8+6=14$

$$(72+x) \times 0.8 = 72$$

$$(24+y) \times 0.8 = 24$$

$$x = 18, y = 6$$

字计数器模 $= 72 + 18 = 90$

排计数器模 $= 24+6=30$

(6) 点频 $= 50 \text{ Hz} \times 30 \times 14 \times 90 \times 8$
 $= 15.12 \text{ MHz}$