

# ECO技术在 SoC 芯片设计中的应用 \*

王巍, 关保贞, 余敏良

(深圳集成电路设计产业化基地管理中心)

**摘要:** 在现阶段的 SoC 芯片设计中,有一半以上的芯片设计由于验证问题需要重新修改,这其中包括功能、时序以及串扰等问题。芯片设计的整个流程都要进行验证工作,工程改变命令(ECO, Engineering Change Order)用于解决芯片设计后期发现的部分问题。本文重点分析了华大九天 EDA 工具 TimingExplorer 在解决时序以及串扰等问题上的部分 ECO 应用。

**关键词:** ECO; 时序; 串扰; 华大九天; TimingExplorer

**Abstract:** About half of the designs need to be fixed because of verification problems in current SoC design, including function problems, timing problems and crosstalk problems. The verification job is carried out throughout the design flow, and ECO (Engineering Change Order) is used to solve the problems founded in the late phase. This paper focuses on the part of the ECO application of Empyrean EDA tools TimingExplorer in timing and crosstalk.

**Keywords:** ECO; Timing; crosstalk; Empyrean; TimingExplorer

## 1 概述

在芯片的整个设计过程中,设计者通常都要对设计不断进行验证工作,对于设计早期的问题,设计者可以去通过修改 RTL 代码解决;而在设计的后期阶段,例如临近最终签核(sign-off),则可以通过工程改变命令(ECO, Engineering Change Order)的技术去实现。由于 ECO 技术关注的是特定环节的特定问题而非从整个设计流程入手,从而大大缩短了设计周期以及节约了设计成本,具有较大的优点。图 1 显示了不同设计阶段进行 ECO 与设计成本的关系<sup>[1]</sup>。

根据功能的不同,ECO 可以分为功能改变以及

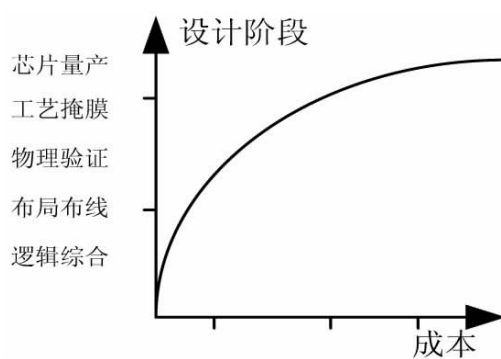


图 1 ECO阶段与设计成本

非功能改变。功能改变是指由于来自客户对设计的追加需求或者签核流片之后发现芯片存在 bug 的情况下进行的 ECO,而非功能改变则是为了在不改变 RTL 网表的基础上修复部分时序以及串扰等问题而做的 ECO。相对与功能改变需要进行大量逻辑门的

\*本项目受到国家科技重大专项——EDA工具应用示范平台建设(项目编号 2009ZX01035-001-007-2)项目支持

添加或是重新连线工作,非功能改变通常更易达到设计收敛。下文对设计中用到的时序以及串扰等非功能 ECO 进行了讨论分析。

## 2 基于工具的ECO技术运用

目前大部分用于布局布线(place & route)的物理设计工具都集成有 ECO 分析设计功能,例如 Synopsys 公司的 ICompiler 工具就集成有 ECO 的工具栏并提供详细的 ECO 脚本命令。对于 Cadence 公司的 EDI 设计平台,无论是在 place 阶段还是 optimize 阶段,其都提供了用于 ECO 的脚本命令以及工具栏选项。另外,上述两家公司还分别推出了能解决复杂功能 ECO 的工具 ECO Compiler 以及 Conformal ECO 等。

华大九天 ICEplorer 平台的 Timing Explorer 工具就是一个高效的、基于物理位置(Physical Aware)分析的、多角多模(Multi Corner Multi Mode,文中简称 MCMM,而不同的模式不同的 Corner 组成一种分析环境,被称为 View)时序收敛辅助工具,兼顾芯片物理实现的 MCMM 时序分析、诊断、调试及优化工具,具备良好的 place ECO 以及 routing ECO 能力,能够提供准确、高效的优化策略,实现快速时序收敛。

利用 TimingExplorer,读入 Synopsys 公司 PrimeTime 分析的时序结果,可以高效的分析出违背路径修复所需要做的步骤,并生成自动布局布线工具能够识别的 ECO 脚本。由于采用 MCMM 模式分析,可以保证修复路径在所有模式和所有条件下都可以满足要求,且对其他路径时序没有影响。而物理位置的分析,可以减少元件摆放位置对时序的影响。

虽然对于无论是 Synopsys 还是 Cadence,他们都认为他们的 APR 内嵌时序收敛工具都是 MCMM 分析的,但往往都是在某个 View 下分析时序并进行修复后,再去其他 View 看时序是否受到影响。有时候这种修改,可能导致其他 View 下的时序违背,因

此在时序收敛时,会有少许反复,且效率不高。虽然最终也会修好时序,但需要消耗大量的时间。

ICEplorer 直接使用 PT 输出的数据进行分析,换句话说,其分析结果只会是同一个网表在不同条件,不同模式下的所有时序的汇总。修复时序的时候,一定保证所有的 View 都不会产生新的违背。因此这是一种真正的 MCMM 分析。

TimingExplorer 的方案设计简易流程图 2 如图所示。

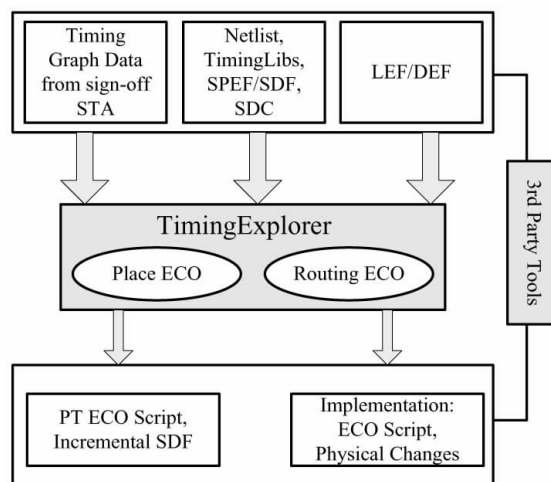


图 2 基于 Timing Explorer 的时序 ECO 流程

可以看到,TimingExplorer 是专注于提供 MCMM 时序 ECO 的解决方案,而对于设计中需要进行的其他功能与非功能性的 ECO 工作,设计者则可以通过其他设计工具进行解决。

## 3 时序优化 ECO

EDA 工具在进行时序分析时一般先将设计的时钟网络进行打散,然后按照起点与终点的不同分为不同的时序路径。时序路径的起点要求为时序器件(如触发器)的时钟端口(clock pin)或者设计的输入端口(input port),终点则要求为时序器件的数据输入端口(data input pin)或是设计的输出端口(output port)。根据起点与终点的两两组合,时序路径也相应的分为四种,如下图 3 所示。

建立(setup)与保持(hold)时间的检查是基于

对相应时序路径进行延时计算的基础之上的。工具先对相应路径的单元延时 (cell delay) 与线网延时 (net delay) 进行计算, 再对比设计的 setup 和 hold 约束, 得出违反设计约束的违例路径。

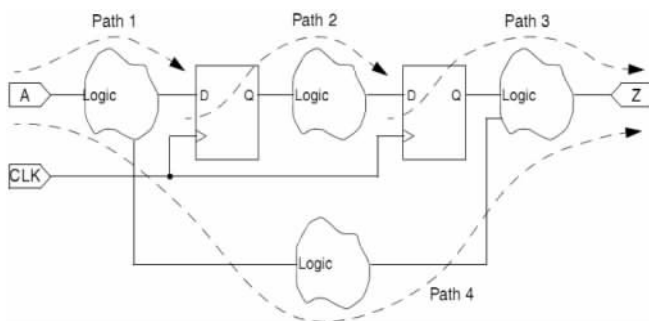


图3 四种时序路径示意图

接下来重要的一步是对设计进行时序优化, 包括建立时间优化和保持时间优化。一般来说, 较小的违例可以通过“原地优化”(IPO, In-Place-Optimization) 去解决, 如果违例是由设计中不正确的约束引起的, 则可以修正设计约束, 再去优化。由于时钟树网络对芯片时序设计具有重要的平衡作用, 时序优化可以首先从整体的时钟树网络入手, 检查相应时钟的时钟延时 (clock\_latency)、时钟偏差 (clock\_skew) 以及所用驱动 buffer 数量和大小等参数, 并对设计约束做出相应调整。另外需要具体分析违例的详细路径, 根据路径的种类和特点进行修复, 适当调整该路径上插入 buffer 的驱动强度, 进行 cell 的替换以及设置时序例外 (timing exceptions) 等方法, 如图 4 所示为 timing exceptions 的一种, false-path 的情况<sup>[2]</sup>。

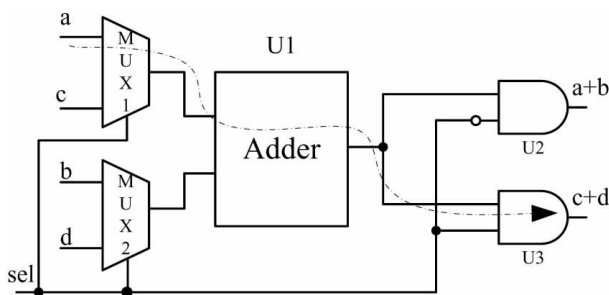


图4 时序分析中的 false-path 示意图

图 4 中, 当选择信号 sel 选中 mux1 单元时, 通

过与门 U3 的路径被 block 住, 该路径也就需设为 false-path, 在时序约束以及检查时需要加以区分。

时序检查发现的违例中一般 setup 违例占主要部分, 随着设计复杂性的增加, hold time 违例也逐渐增加, 在早期优化中, 通常是对两种违例分别进行优化, 即先解决 setup 问题, 再解决 hold 问题, 由于两种违例的相互牵制, 有时需要重复进行这样的优化过程。如图 5 所示 path1 为一条 hold time 违例的路径。工具在优化时可以选择添加缓冲器 (图中 Buf) 解决, 但同时又可能会引入 setup 违例。

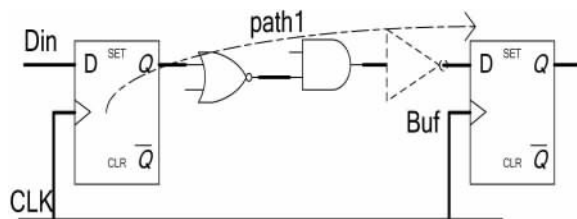


图5 时序违例示意图

设计中, 使用 TimingExplorer 进行时序优化 ECO 流程, 能有效地同时处理 setup 与 hold 违例的优化, 大大减少了 hold 修复的迭代。下表 1 中所列为采用了 TimingExplorer 对一款采用 130nm 工艺, 900K gates 规模的音频芯片的模块实例进行时序 ECO 的情况, 可以看到工具能较好地修复 hold 违例问题。

## 4 设计中的串扰 ECO 技术

纳米工艺条件下, 芯片设计在考虑时序问题的同时还要考虑到信号完整性。由信号完整性引起的逻辑和时序问题, 常使芯片不能正常工作或不能实现时序收敛。在影响信号完整性的诸因素之中, 串扰是最常见也是最需迫切解决的问题之一。在给版图布线的过程中, 当两条或者两条以上的连线并行分布且彼此之间的有一定间距的时候, 由于存在耦合电容, 彼此会通过耦合电容把脉冲从一个节点传到另一个节点, 从而产生串扰<sup>[3]</sup>。

按照串扰噪声产生的机理及其影响的不同, 串扰噪声可以分为两种: 静态噪声和动态噪声。当受害

表 1 TimingExplorer 进行时序 ECO 结果对比

工具类型	Buf 数目	CPU 耗时	迭代次数	剩余违例数目
TimingExplorer	2321	153min	3	0
3rd Party Tool	2566	181min	3	529

网络和受害网络没有时间窗口重叠时,如侵害网络上信号跳变而受害网络上的信号静止不变时,串扰的影响表现为受害网络上的静态噪声,又称为功能噪声,是指一个信号的跳变导致邻近的静态信号产生毛刺,图 6 所示为串扰导致的毛刺。当产生的毛刺传递到寄存器等时序单元时,将会改变电路的状态,导致电路出现逻辑错误<sup>[4]</sup>。当侵害网络和受害网络有时间窗口重叠时,即侵害网络和受害网络在一定时间范围内同时或接近同时跳变,串扰的影响表现为受害网络上的串扰延迟,也称为动态噪声。

由于串扰会导致电路时序违例或者功能错误,所以对串扰问题的预防和修复就显得非常必要。工具在进行串扰的预防以及 ECO 技术修复串扰问题时候一般通过以下几种方法来解决:

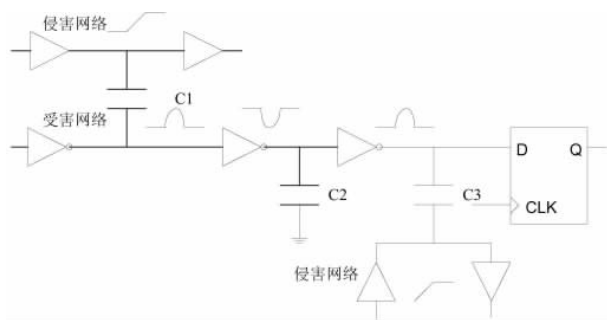


图 6 串扰产生的毛刺

(1) 保护受害网络。必要时可以在侵害网络与受害网络之间增加一条屏蔽线。它能有效的使线间电容转变为接地电容,从而消除干扰;

(2) 增强受害网络上驱动单元的驱动强度。尽量使用高驱动强度单元以修复最大延迟串扰;

(3) 在受害网络上插入缓冲单元。插入缓冲单元以解决因功能性故障、延迟和竞争条件等现象造成的电容串扰噪声脉冲、过压与电压过低等问题;

(4) 调整布线。尽量减小两条信号线之间的耦合电容,避免长距离平行布线,而相邻层上导线的走向应当相互垂直。

如图 7 所示为运用 TimingExplorer 工具进行串扰 ECO 修复的实例,(a) 图中是存在串扰问题的布线,通过增加缓冲 buffer 改变走线方向等方法有效消除了串扰问题。

## 5 结论

芯片的验证工作贯穿于整个芯片的设计流程之中,ECO 技术能够有效解决芯片设计后期发现的部分问题,在芯片的时序修复,串扰修复以及功能性修

(下转第 44 页)

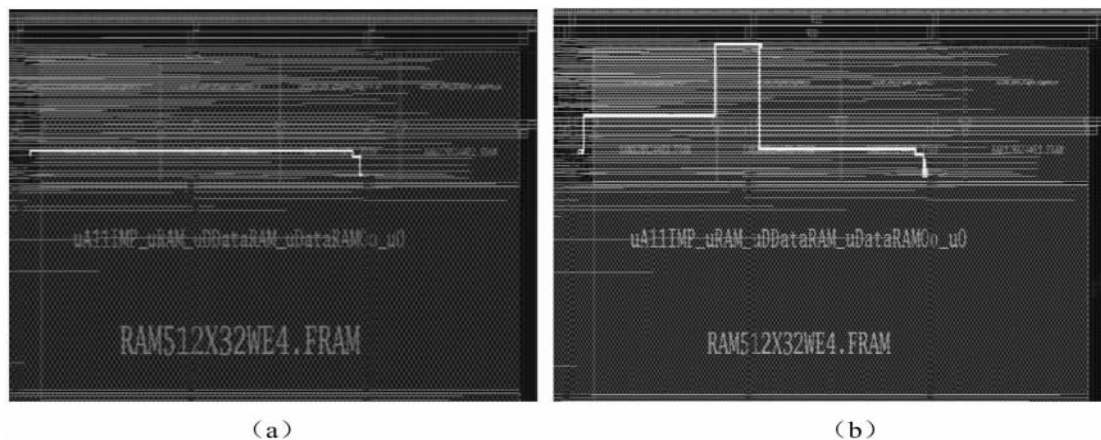


图 7 串扰 ECO 修复实例图



[6] K. Guru Prasad, J. H. Kane, D. E. Keyes and C. Balakrishna, "Preconditioned Krylov Solvers for BEA," International Journal for Numerical Methods in Engineering, Vol. 37, pp1651- 1672, 1994

### 作者简介

陆涛涛 2003 年毕业于清华大学计算机系, 获得博

士学位 现在北京华大九天软件有限公司 ,多年从事 EDA 软件开发 ,专注于寄生参数提取领域 ,从事寄生电阻电容电感计算软件算法的研究与开发。

魏洪川 2005 年毕业于清华大学计算机系, 获得博士学位 现供职于华大九天软件有限公司 ,负责互连参数提取和分析的工作。

上接第 37 页

复上都有很大的优点。华大九天 EDA 工具作为国产 EDA 工具的代表, 其时序工具 TimingExplorer 在 ECO 技术方面表现出良好的性能。■

### 参考文献

[1] Himanshu Bhatnagar. Advanced ASIC Chip Synthesis. Kluwer Academic Publishers, 2002.

[2] PrimeTime Advanced Timing Analysis User Guide Version E- 2010.12, Synopsys, Inc.

[3]W. MaIy, C. Ouyang. Detection of an Antenna Effect in VLSI Designs. Solid States Technology. 2002,9( 1 ).

[4]Chung- Kuan 等著. 超大规模集成电路互连线分析与综合. 喻文健等译. 清华大学出版社, 2008

## 安森美半导体推出电力线载波调制解调器 SoC

安森美半导体推出新的电力线载波调制解调器系统级芯片 ,用于电表、家庭自动化、太阳能及照明控制等应用。NCN49597 是这新系列 PLC 调制解调器的首款器件 ,集成了低功耗 32 位 ARM Cortex M0 处理器及高精度模拟前端。这器件基于双 4,800 波特扩频型频移键控( S- FSK) 通道技术 ,优化了能效和性能 ,同时提供极佳的强固性及可靠性 ,使其能在最严格的环境下工作。

NCN49597 完全符合现行的 IEC61334- 5- 1 标准 ,并支持流行的建筑物自动化标准的定制实施版本 ,同时与其前辈 AMIS- 49587 保持引脚对引脚及功能兼容性。这新器件增加了多种创新特性 ,如现场可重编程、智能同步及自动半波特率检测 ,以提升通信强固性 ,简化应用及使用。( 来自安森美半导体)

## Imagination 发布新一代视频解码器和视频编码器

Imagination Technologies 日前宣布推出其 PowerVR Series4 视频内核的首批成员。PowerVR Series4 D4500MP 视频解码器和 E4500MP 视频编码器基于大获成功的 PowerVR VXD 和 VXE Series3 多标准视频编解码器技术。这些多通道架构视频硅半导体知识产权提供面向现代应用设计的增强功能 ,诸如无线显示和视频捕获前所未有的色彩精度、以及高清和超高清显示。

在拥有业界领先性能的同时 ,这些视频处理内核仍保持了较小面积与超低功耗特性 ,使它们成为消费电子产品应用的理想选择。这些内核拥有从单通道到四通道的完全可扩展性 ,确保在一个紧凑区域内实现 1080P 性能与低功耗的要求 ,抑或实现业界领先的 4Kx2K 性能。( 来自 Imagination)