

納米武林基本功

這個STI不是那個STI

Liner defects, profiles and leakages

王不老說半导

納米武林基本功

這個STI不是那個STI

Liner defects, profiles and leakages

王不老說半导

那個STI

- 那個STI，指的是sexual transmitted infection(性傳播感染)，人類最著名的STI有淋病，梅毒與愛滋
- 其中梅毒是一种细菌型的性传染病，病原体是螺旋菌菌种梅毒螺旋体的一种亚种（如右圖，其恐怖如斯）
- 《清代通史》與《慈禧全传》皆认定清朝同治帝年仅18岁即死于梅毒，是清朝最短命的皇帝。御医李德立的曾孙李镇和李志绥也分别撰文称，祖上口传秘闻同治確死于梅毒

<https://zh.wikipedia.org/wiki/%E6%A2%85%E6%AF%92>



據稱：南美馬雅文化就是被西班牙軍隊帶來的梅毒給滅掉的

那個STI的保險套

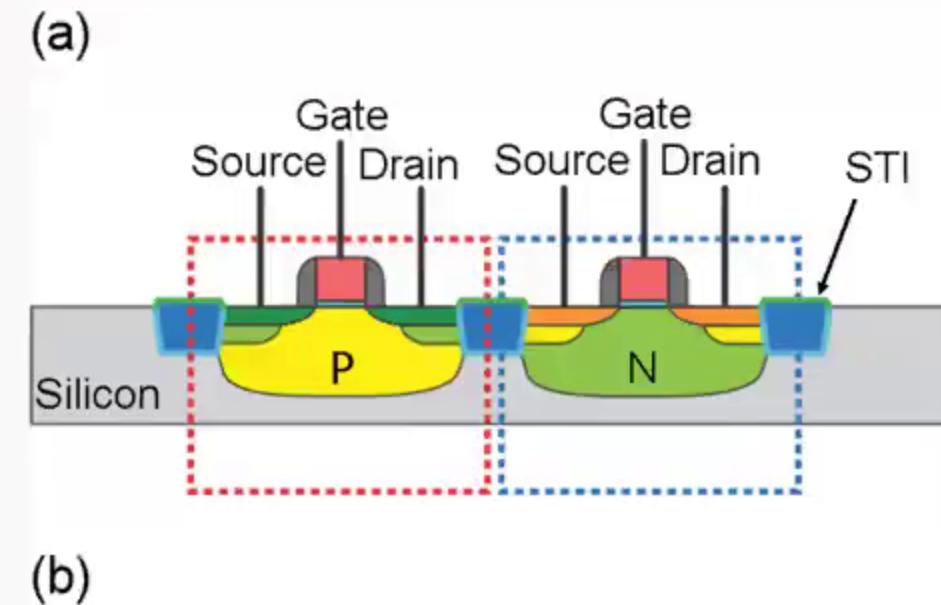
- 避免STI最有效的方法當然是保險套，現代的保險套是17世紀晚期的一位英國醫師約瑟夫·康得姆 (Joseph Condom)發明的
- 那時保險套是採用小羊的盲腸製成的。先把羊腸剪成適當的長度，曬乾，接著用油脂和麥麩使它柔軟，直至變成薄薄的橡皮狀
- 如右圖所示，十八世紀保險套在歐洲一些妓院內非常流行。



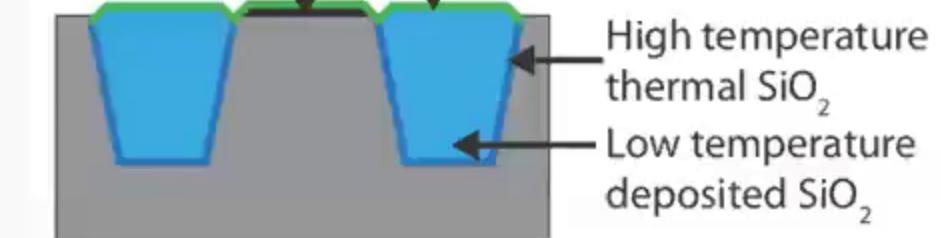
<https://spafe.com.au/history-of-condoms/>

這個STI

- 硅納米製程中的避免短路的絕緣體與制程有許多種，例如Spacer, ILDx, STI等，其中所謂STI，指的是**shallow trench isolation**(淺溝隔離)，如右圖所示，他隔離的主要對象是nFET 與 pFET
- 與STI有關的有DTI, STI liner, STI stressor等等
- 這些花樣，當然各有其作用，看官就坐，容小的一一道來

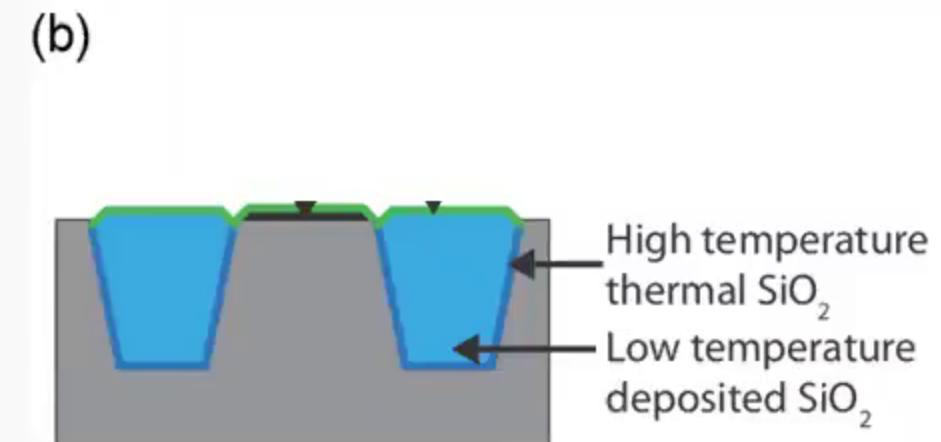
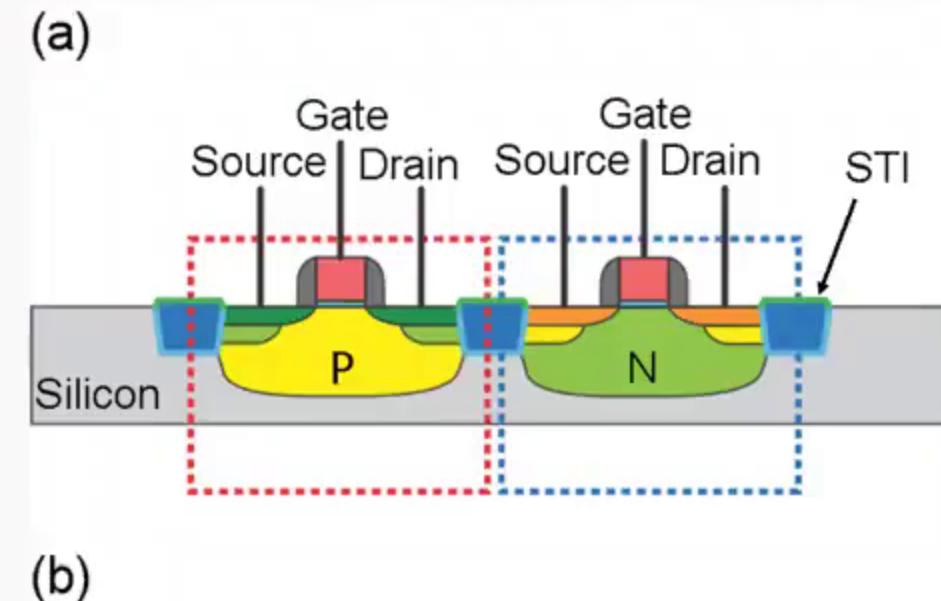


(a)



這個STI

- 硅納米製程中的避免短路的絕緣體與制程有許多種，例如Spacer, ILDx, STI等，其中所謂STI，指的是**shallow trench isolation**(淺溝隔離)，如右圖所示，他隔離的主要對象是nFET 與 pFET
- 與STI有關的有DTI, STI liner, STI stressor等等
- 這些花樣，當然各有其作用，看官就坐，容小的一一道來



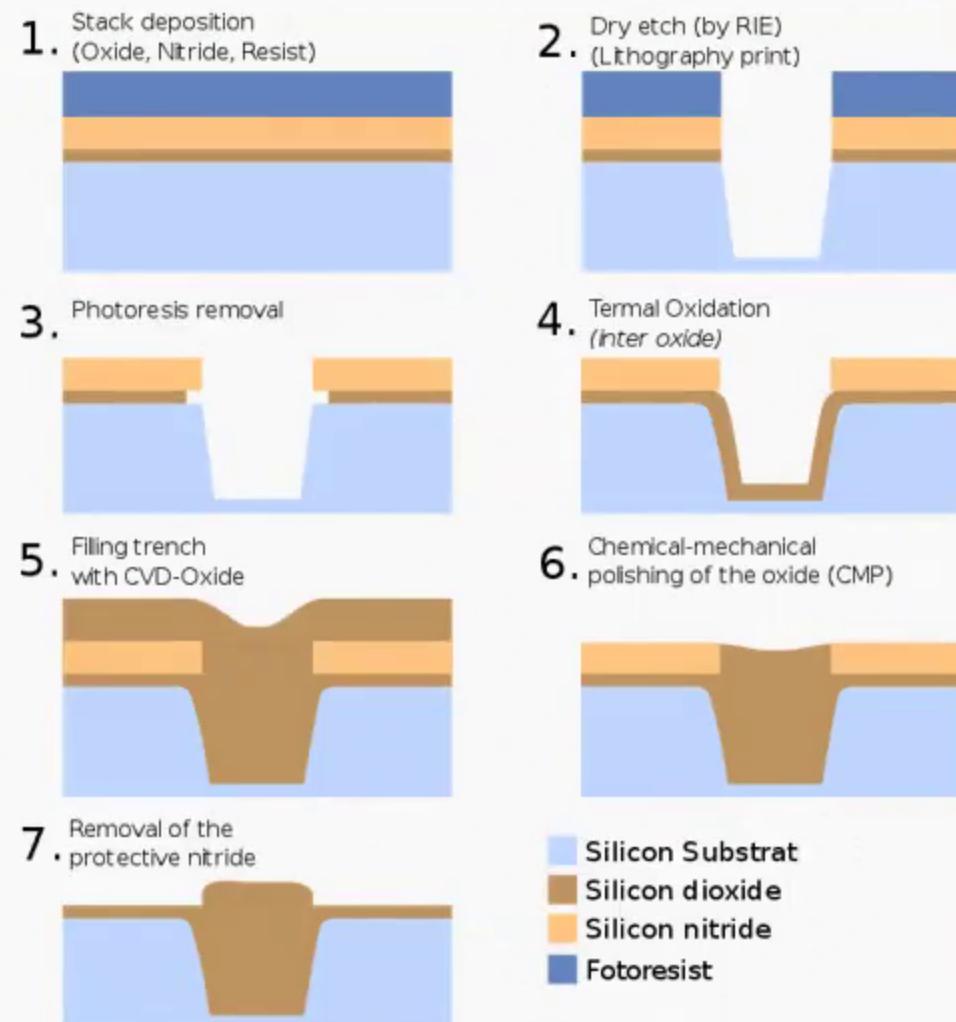
STI製程: Si/SiO₂/Si₃N₄三明治

STI第一步就是做個Si/SiO₂/Si₃N₄三明治

試問: 選用SiO₂, Si₃N₄之目的為何?

解答: 硅製程必皆層層相扣的

- 目的為第七步驟，但直接以光刻膠選出適當區域不可行，只有靠輔助材料
- 輔助材料必須與母材料不同，所以選中Si₃N₄，但此材料與母體Si應力不相容，故須在Si₃N₄下加個軟墊SiO₂，又Si₃N₄必須是個犧牲打，因最後須以CMP拋光清除，此軟墊又須在CMP時保護母體Si，還真麻煩



https://www.wikiwand.com/en/Shallow_trench_isolation#/overview

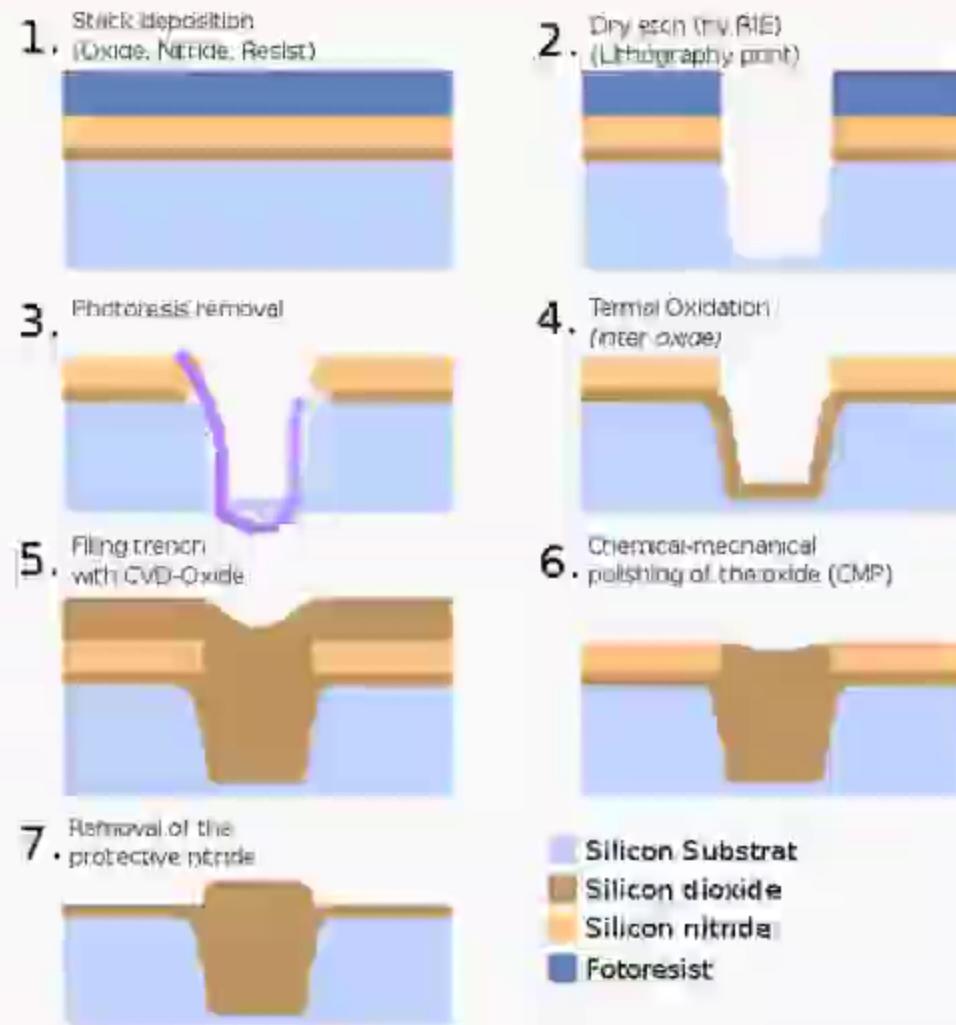
STI製程: Si/SiO₂/Si₃N₄三明治

STI第一步就是做個Si/SiO₂/Si₃N₄三明治

試問: 選用SiO₂, Si₃N₄之目的為何?

解答: 硅製程必皆層層相扣的

- 目的為第七步驟，但直接以光刻膠選出適當區域不可行，只有靠輔助材料
- 輔助材料必須與母材料不同，所以選中Si₃N₄，但此材料與母體Si應力不相容，故須在Si₃N₄下加個軟墊SiO₂，又Si₃N₄必須是個犧牲打，因最後須以CMP拋光清除，此軟墊又須在CMP時保護母體Si，還真麻煩



https://www.wikiwand.com/en/Shallow_trench_isolation#/overview

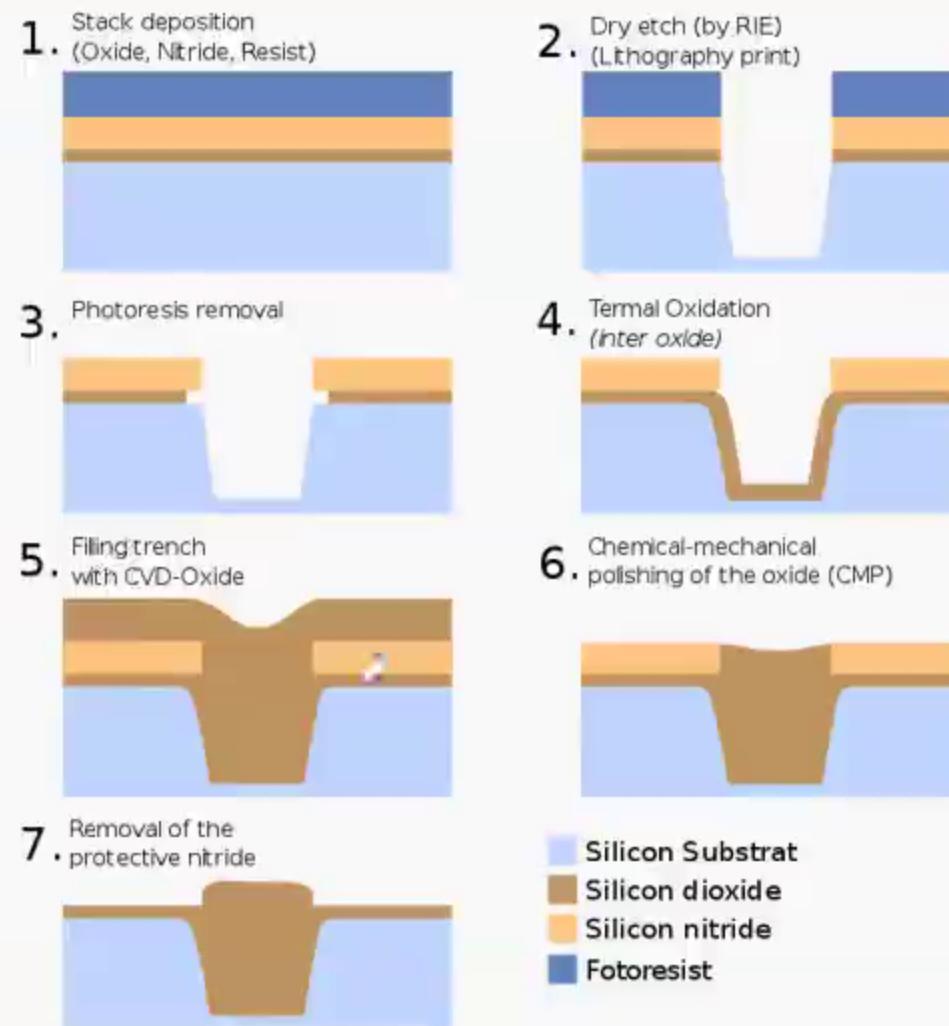
STI製程: Si/SiO₂/Si₃N₄三明治

STI第一步就是做個Si/SiO₂/Si₃N₄三明治

試問: 選用SiO₂, Si₃N₄之目的為何?

解答: 硅製程必皆層層相扣的

- 目的為第七步驟，但直接以光刻膠選出適當區域不可行，只有靠輔助材料
- 輔助材料必須與母材料不同，所以選中Si₃N₄，但此材料與母體Si應力不相容，故須在Si₃N₄下加個軟墊SiO₂，又Si₃N₄必須是個犧牲打，因最後須以CMP拋光清除，此軟墊又須在CMP時保護母體Si，還真麻煩



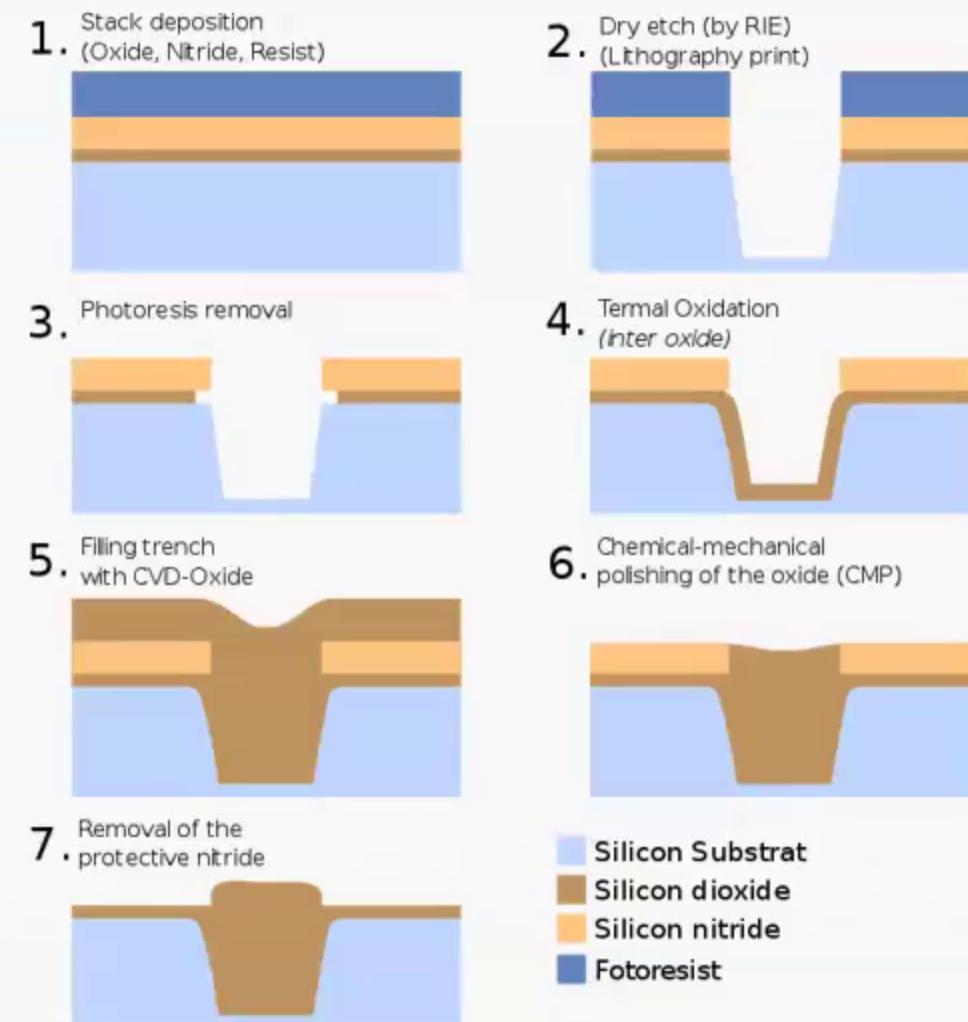
https://www.wikiwand.com/en/Shallow_trench_isolation#/overview

這個STI的保護套

試問：為何Si母體需以保護套(liner)護之？

解答：因為填充材質CVD SiO₂不夠好也

- STI_CVD的溫度雖高(700C-800C)，但
仍不如thermal SiO₂的(1000C-1200C)，
結果前者的密度低於後者，使得絕緣
強度不足，所以要加個高品質護套
(liner)保護母體(Silicon)
- STI liner工藝要求嚴苛，為不傳之密
- 例如右圖第四步驟所示(thermal SiO₂)，
只是其中一招而已



https://www.wikiwand.com/en/Shallow_trench_isolation#/overview

這個STI的保護套

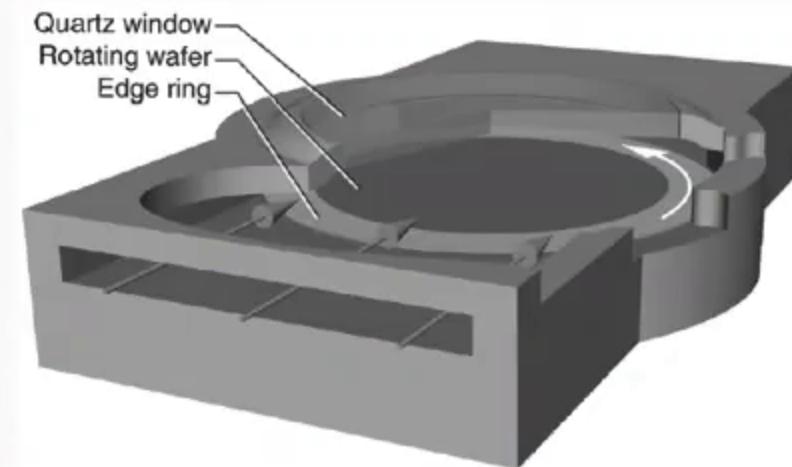
試問：比較納米武林各派liner工藝優劣

解答：ISSG

- ISSG: A combustion-like process called *in situ* steam generation (ISSG) for oxidizing a thin silicon layer to form high quality SiO_2
- 右上圖乃改良版(N_2O -ISSG)之所有化學反應。注意此特斯內燃法，溫度極高(>1100C)，據稱其氧化物品質極佳，甚至一般的thermal SiO_2
- 右下圖為應用材料(AMAT)之ISSG機台

Reaction

1. $\text{NH}_2 + \text{H} \rightleftharpoons \text{NH} + \text{H}_2$
2. $\text{NH} + \text{O}_2 \rightleftharpoons \text{NO} + \text{OH}$
3. $\text{NH}_2 + \text{NO} \rightleftharpoons \text{N}_2 + \text{H}_2\text{O}$
4. $\text{NH}_2 + \text{NO} \rightleftharpoons \text{NNH} + \text{OH}$
5. $\text{O} + \text{N}_2\text{O} \rightleftharpoons \text{N}_2 + \text{O}_2$
6. $\text{O} + \text{N}_2\text{O} \rightleftharpoons 2\text{NO}$

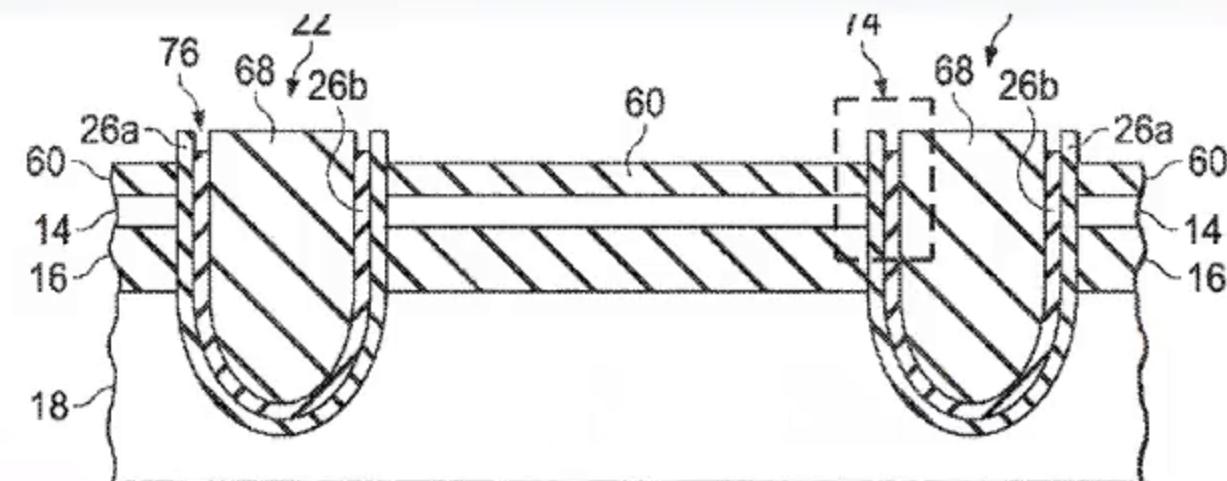


這個STI的保護套

試問：比較納米武林各派liner工藝優劣

解答：dual liner

- 沒有甚麼論文，但是專利不少
- A dual liner of silicon dioxide and silicon nitride is conformally deposited within the trench.
- 如右圖的26a, 26b所示



(12) United States Patent
Liu et al.

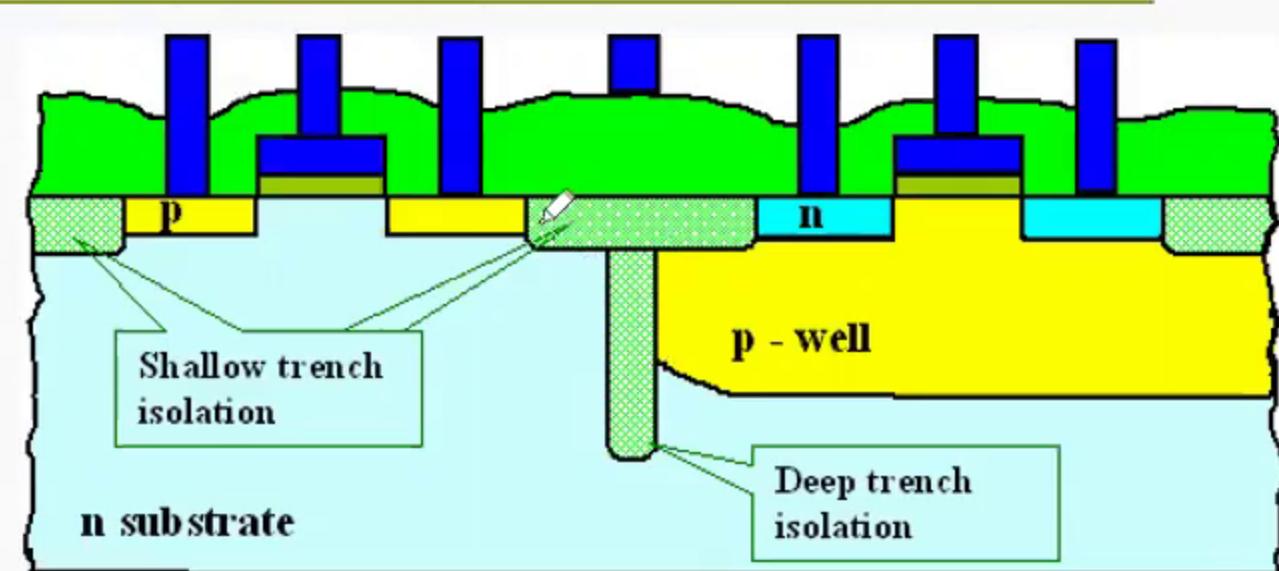
(10) Patent No.: US 8,962,430 B2
(45) Date of Patent: Feb. 24, 2015

(54) METHOD FOR THE FORMATION OF A
PROTECTIVE DUAL LINER FOR A
SHALLOW TRENCH ISOLATION
STRUCTURE

(56) References Cited
U.S. PATENT DOCUMENTS
5,702,976 A 12/1997 Schuegraf et al.

STI難兄難弟：DTI

- STI隨著歸納米的scaling而越來越淺，有時其絕緣特性在某些區域已經不夠看
- 所以，如右圖所示，DTI (deep trench isolation)就是在STI的基礎上，在某些特定STI位置再加深一些，使得當地的絕緣效果更好一些



https://www.tf.uni-kiel.de/matwis/amat/elmat_en/kap_6/advanced/t6_2_3.html

缺陷1：木秀於林

試問：為何STI須圓潤，不可木秀於林？

解答：木秀於林，風必折之也

- 如右圖所示，頭角崢嶸處電場當然較大，自會吸引電子入住，這個意思是說，芯片元件之可靠性(**reliability**)甚至漏電流都可能隨之下降，所以必須”**微整形**”
- 微整形**方法也不少，例如氫迴流(**hydrogen reflow**)軟化尖角區(見其他章節介紹)以及角邊氧化(**corner oxide oxidation**，容稟後續)等等

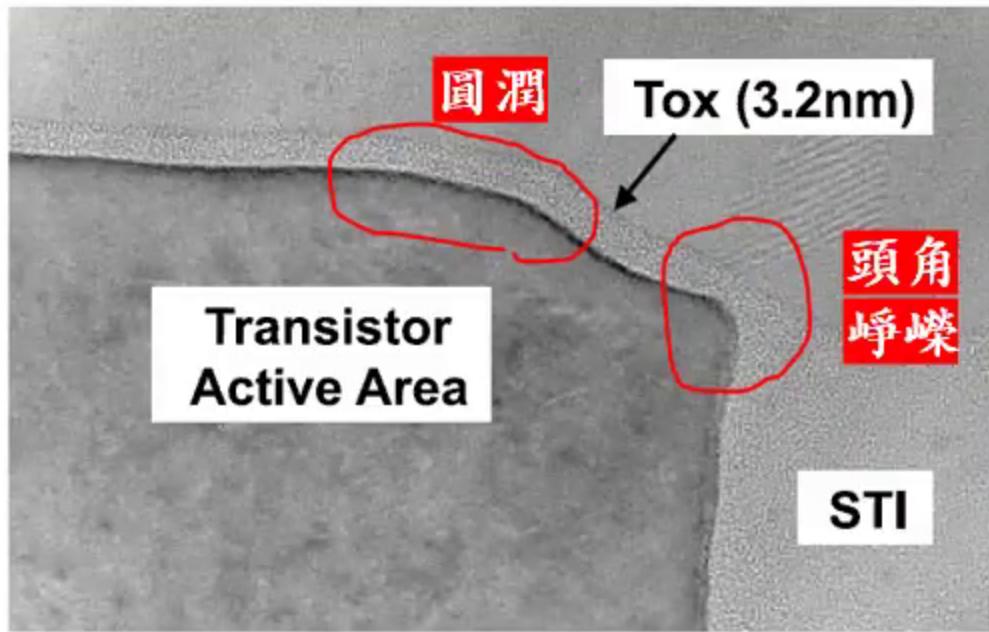


Fig. 10. TEM picture showed uniform gate oxide thickness (~32 Å in this case) between STI edge and active area of the 0.25 μm technology.

Y.-H. Lee et al. / Microelectronics Reliability 41 (2001) 689–696

STI缺陷1:木秀於林

試問: 為何STI須圓潤, 不可木秀於林?

解答: 木秀於林, 風必折之也

- 如右圖所示, 頭角崢嶸處電場當然較大, 自會吸引電子入住, 這個意思是說, 芯片元件之可靠性(**reliability**)甚至漏電流都可能隨之下降, 所以必須”**微整形**”
- 微整形**方法也不少, 例如氫迴流(**hydrogen reflow**)軟化尖角區(見其他章節介紹)以及角邊氧化(**corner oxide oxidation**, 容稟後續)等等

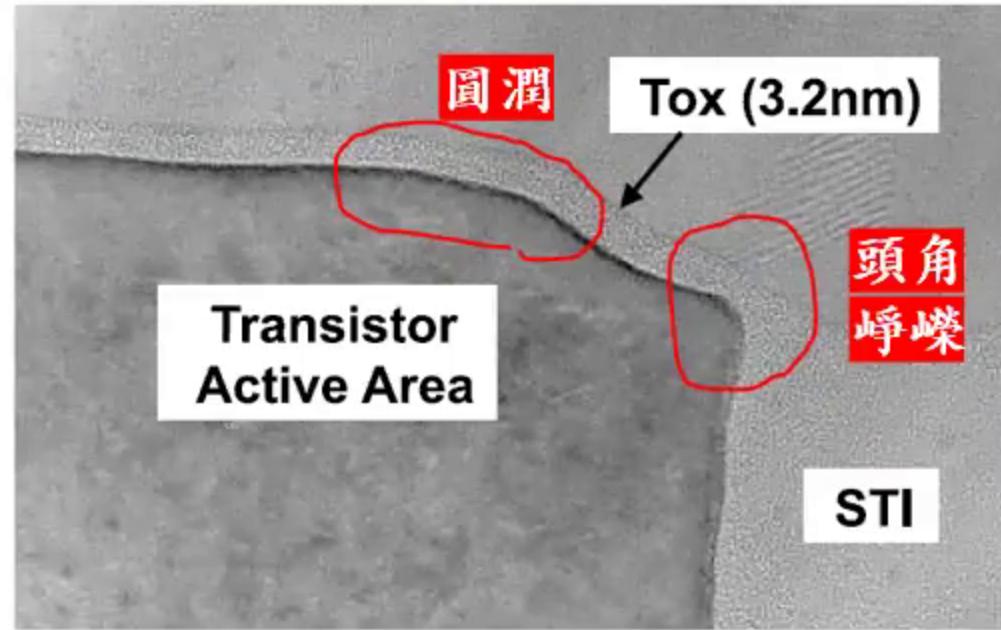


Fig. 10. TEM picture showed uniform gate oxide thickness ($\sim 32 \text{ \AA}$ in this case) between STI edge and active area of the $0.25 \mu\text{m}$ technology.

Y.-H. Lee et al. / Microelectronics Reliability 41 (2001) 689–696

STI缺陷1:木秀於林

試問：為何STI須圓潤，不可木秀於林？

解答：木秀於林，風必折之也

- 如右圖所示，頭角崢嶸處電場當然較大，自會吸引電子入住，這個意思是說，芯片元件之可靠性(**reliability**)甚至漏電流都可能受到影響，所以必須”**微整形**”
- 微整形**方法也不少，例如氫迴流(**hydrogen reflow**)軟化尖角區(見其他章節介紹)以及角邊氧化(**corner oxide oxidation**, 容稟後續)等等



Fig. 10 TEM picture showed uniform gate oxide thickness (~32 Å in this case) between STI edge and active area of the 0.25 μm technology.

Y.-H. Lee et al. / Microelectronics Reliability 41 (2001) 689–696

STI缺陷1:木秀於林

試問: 為何STI須圓潤, 不可木秀於林?

解答: 木秀於林, 風必折之也

- 如右圖所示, 頭角崢嶸處電場當然較大, 自會吸引電子入住, 這個意思是說, 芯片元件之可靠性(reliability)甚至漏電流都可能受到影響, 所以必須”微整形”
- 微整形方法也不少, 例如氫迴流(hydrogen reflow)軟化尖角區(見其他章節介紹)以及角邊氧化(corner oxide oxidation, 容稟後續)等等

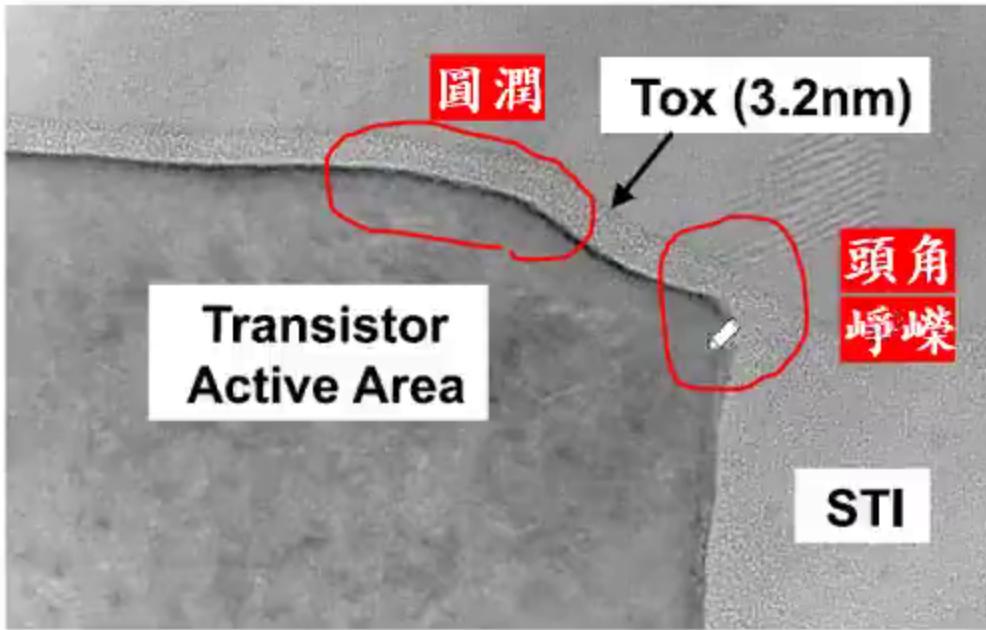


Fig. 10. TEM picture showed uniform gate oxide thickness (~32 Å in this case) between STI edge and active area of the 0.25 μm technology.

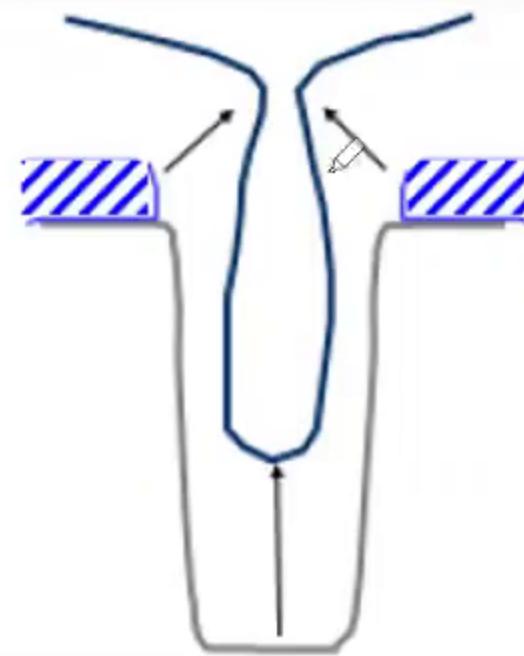
Y.-H. Lee et al. / Microelectronics Reliability 41 (2001) 689–696

STI缺陷2：魔鬼聖誕燈泡

試問：何謂STI最恐怖之魔鬼聖誕燈泡？

解答：STI_CVD填不滿，中間有個洞，好似聖誕燈泡

- 如右上圖所示，STI_CVD填充製程(STI gap fill)，稍一不慎，則內有孔隙產生，非常不妙
- 因為此孔隙可能被下一步(第六步驟)打開，甚麼髒東西都進來了，新片可靠性一定完蛋，良率也就掰掰了
- AMAT因此發明了新機台，曰之HDP-CVD (high density plasma CVD)



ECS Transactions, 34 (1) 479-482 (2011)

Evolution of STI Gap fill Technology

STI缺陷3: 90NM漏电流

- STI variability: 早期芯片制程發現，有些芯片經過同一製程結果有的漏電露的凶，有的沒事，結果一查(用irradiation將STI介面的缺陷放大)才發現，STI與Si之間的附骨之疽養不許，SiO_x有缺陷(oxide traps)
- 這些缺陷若是量足夠大竟導致漏電流增加
- 先進制程應該解決此問題了，但是你若在研發單位應該至少知道此事

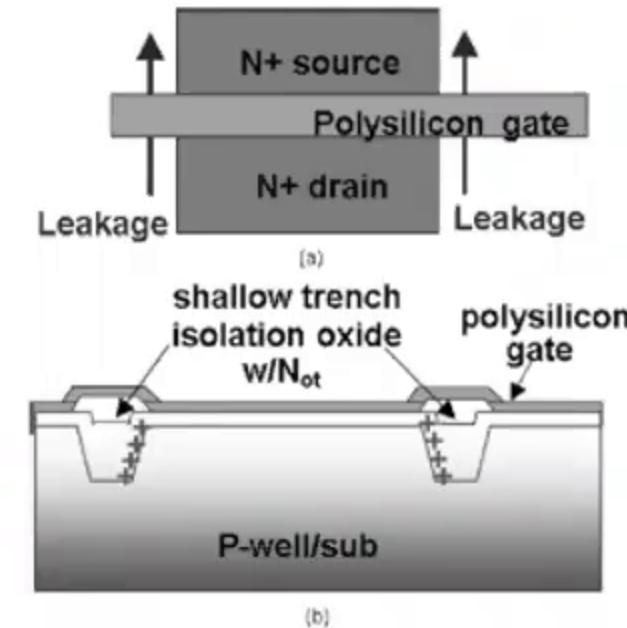


Fig. 1.1. (a) Illustration of drain-source leakage path in nFET and (b) its cause: oxide trapped charge buildup in the isolation oxide (assumed interfacial sheet charge) [3].

STI缺陷4: 5NM漏电流

- STI與Fin屁股親密接觸之地，只要有稍些不完美(trenching, footing, imbalance, fin height change等)，竟然對5NM漏电流(off-state leakage)有重大影響
 - Due to DIBL(drain-induced barrier lowering) and diminished gate control at the fin bottom

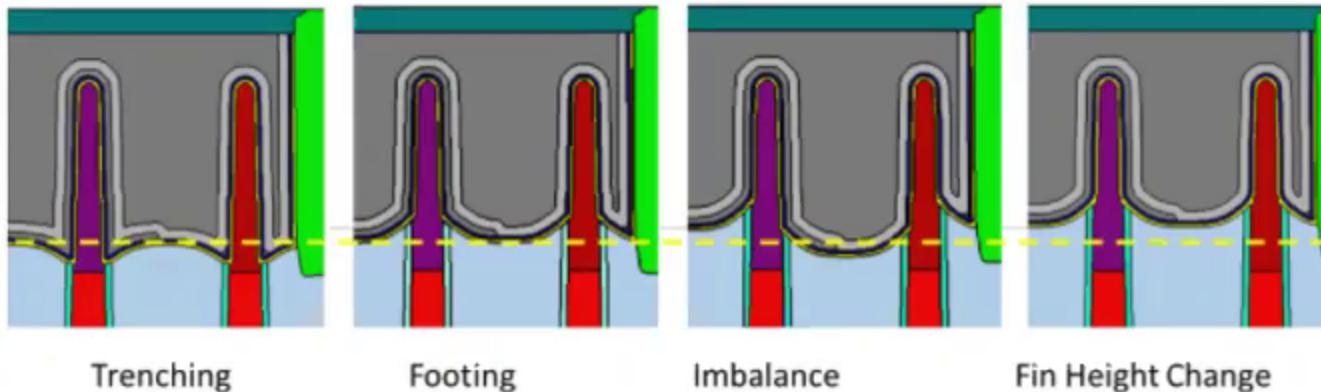


Fig. 1: Final STI recess profile.

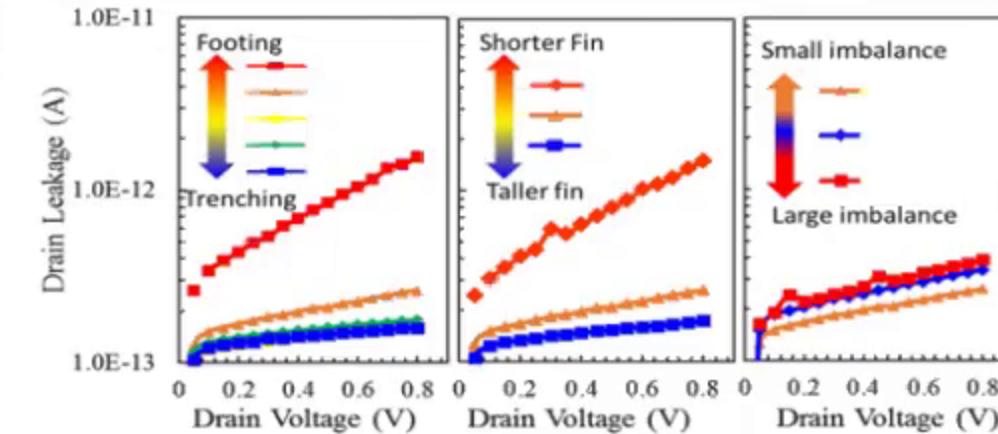


Fig. 2: Drain leakage with drain voltage sweep.

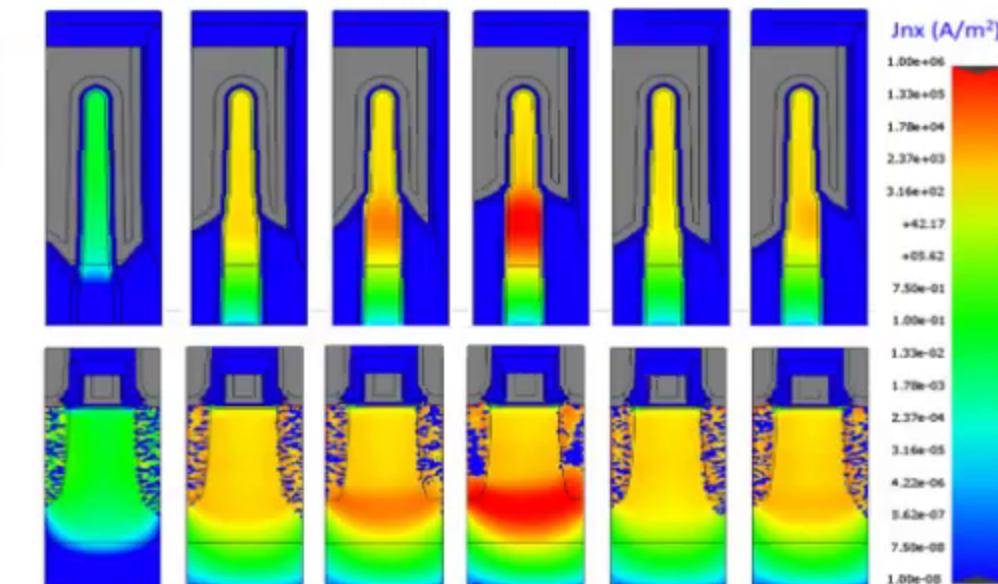


Fig. 3: Leakage current distribution from different directions.

STI缺陷4: 5NM漏电流

- STI與Fin屁股親密接觸之地，只要有稍些不完美(trenching, footing, imbalance, fin height change等)，竟然對5NM漏电流(off-state leakage)有重大影響
 - Due to DIBL(drain-induced barrier lowering) and diminished gate control at the fin bottom

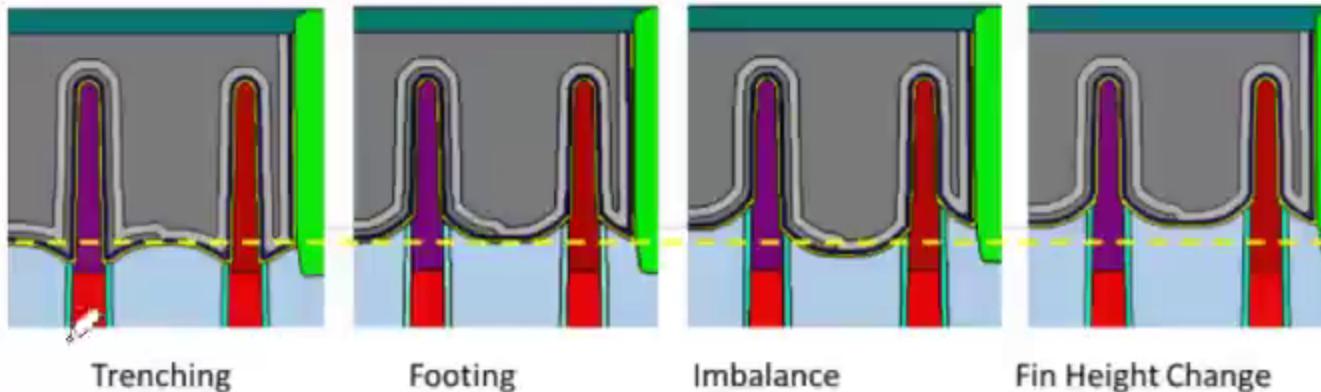


Fig. 1: Final STI recess profile.

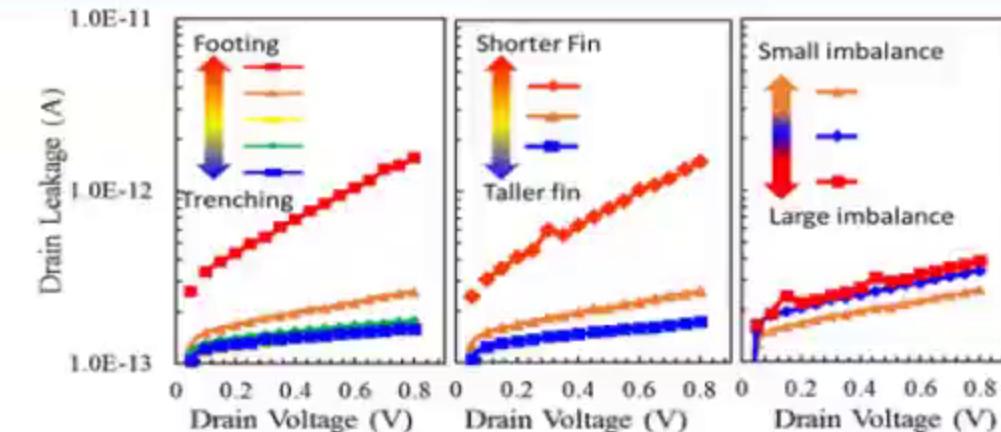


Fig. 2: Drain leakage with drain voltage sweep.

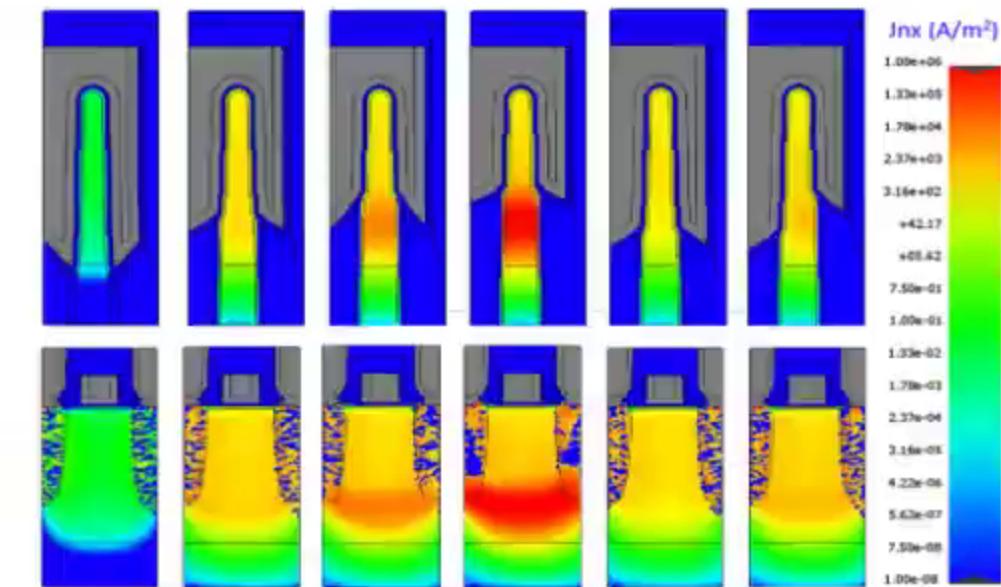


Fig. 3: Leakage current distribution from different directions.