

柔性电子制造技术基础

陶波

数字制造装备与技术国家重点实验室

机械学院大楼B205

Email: taobo@mail.hust.edu.cn

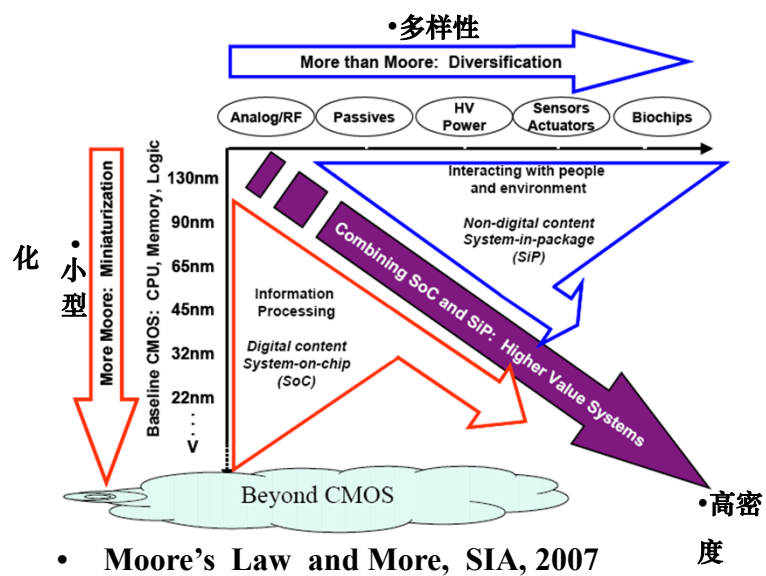
Tel: 13437140569、87559840

第四讲、柔性电子器件批量化制备技术 (上篇)

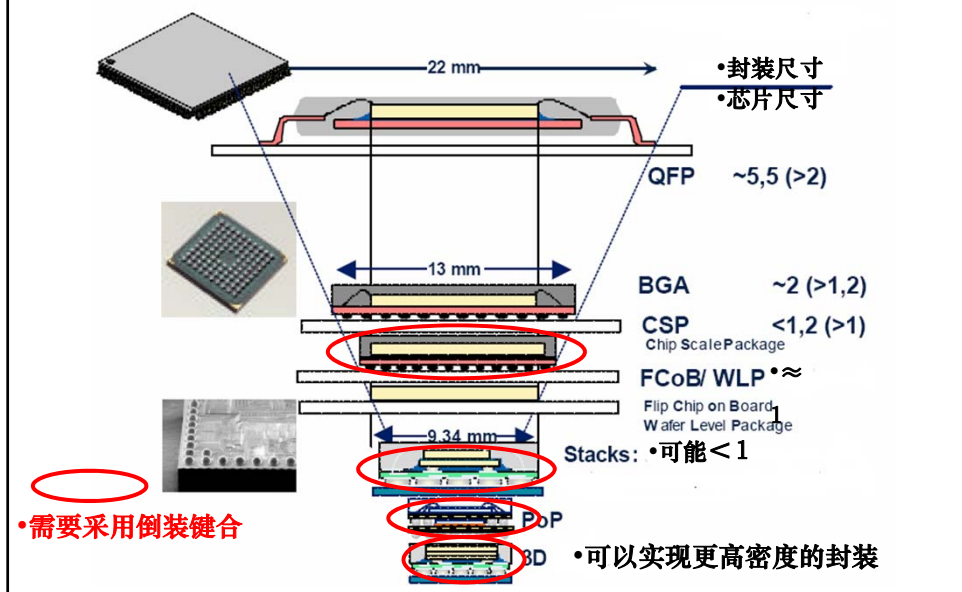
本讲课程内容

- ✚ 键合技术
- ✚ 精密视觉技术
- ✚ 卷到卷传输控制技术
- ✚ 高速高精运动控制技术

国际半导体技术发展趋势



封装技术发展趋势



概述

电子封装始于IC晶片制成之后，包括IC晶片的粘结固定、电路连线、密封保护、与电路板之接合、模组组装到产品完成之间的所有过程。

电子封装常见的连接方法有引线键合(wire bonding, WB)、载带自动焊(tape automated bonding, TAB)与倒装芯片(flip chip, FC)等三种，倒装芯片也称为反转式晶片接合或可控制塌陷晶片互连(controlled collapse chip connection, C4)。

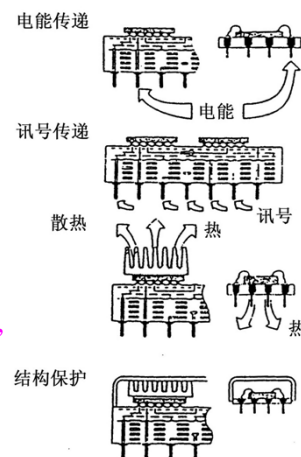
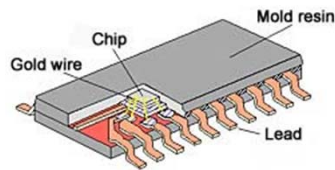


图1 电子封装的目的

什么是引线键合

用金属丝将芯片的I/O端（inner lead bonding pad: 内侧引线端子）与对应的封装引脚或者基板上布线焊区（outer lead bonding pad: 外侧引线端子）互连，实现固相焊接过程，采用加热、加压和超声能，破坏表面氧化层和污染，产生塑性变形，界面亲密接触产生电子共享和原子扩散形成焊点，键合区的焊盘金属一般为Al或者Au等，金属细丝是直径通常为20~50微米的Au、Al或者Si-Al丝。



历史和特点

1957 年Bell实验室采用的器件封装技术，目前特点如下：

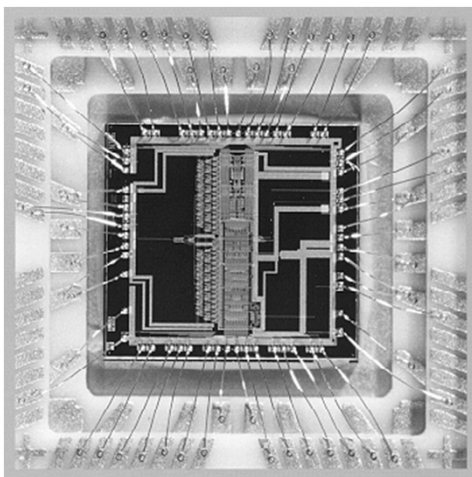
- 已有适合批量生产的自动化机器；
- 键合参数可精密控制，导线机械性能重复性高；
- 速度可达100ms互连（两个焊接和一个导线循环过程）；
- 焊点直径：100 μm \rightarrow 50 μm , \rightarrow 30 μm ；
- 节距：100 μm \rightarrow 55 μm , \rightarrow 35 μm ；
- 劈刀(Wedge, 楔头)的改进解决了大多数的可靠性问题；
- 根据特定的要求，出现了各种工具和材料可供选择；
- 已经形成非常成熟的体系。

应用范围

低成本、高可靠、高产量等特点使得它成为芯片互连的主要工艺方法，用于下列封装：

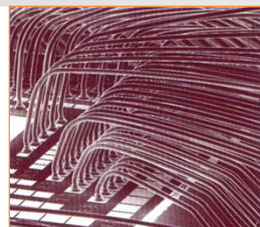
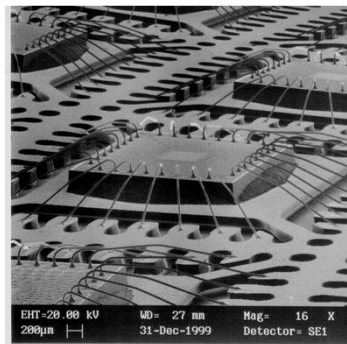
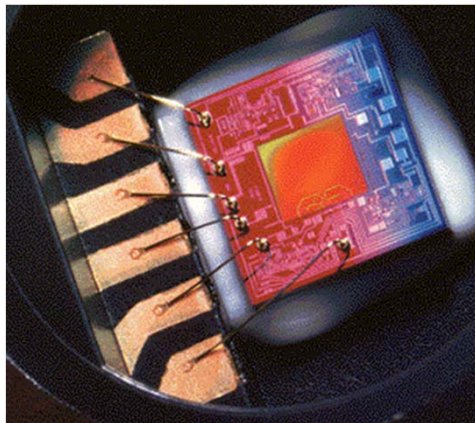
- 陶瓷和塑料BGA、单芯片或者多芯片
- 陶瓷和塑料（CerQuads and PQFPs）
- 芯片尺寸封装（CSPs）
- 板上芯片（COB）

芯片互连例子



采用引线键合的芯片互连

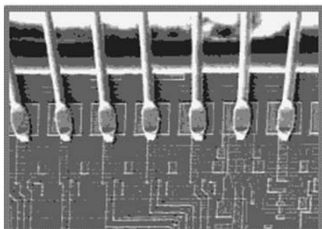
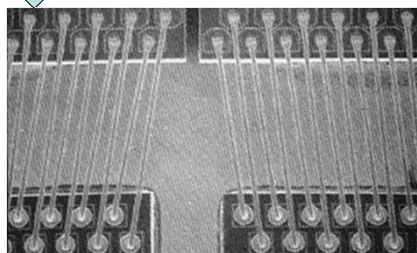
芯片互连例子



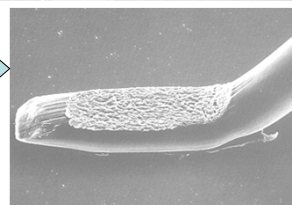
两种键合焊盘



球形键合



楔形键合



三种键合（焊接、接合）方法

引线键合为IC晶片与封装结构之间的电路连线中最常使用的方法。主要的引线键合技术有超音波接合（Ultrasonic Bonding, U/S Bonding）、热压接合（Thermocompression Bonding, T/C Bonding）、与热超音波接合（Thermosonic Bonding, T/S Bonding）等三种。

机理及特点

超声焊接：超音波接合以接合楔头（Wedge）引导金属线使其压紧于金属焊盘上，再由楔头输入频率20至60KHZ，振幅20至200 μm ，平行于接垫平面之超音波脉冲，使楔头发生水平弹性振动，同时施加向下的压力。使得劈刀在这两种力作用下带动引线在焊区金属表面迅速摩擦，引线受能量作用发生塑性变形，在25ms内与键合区紧密接触而完成焊接。常用于Al丝的键合。键合点两端都是楔形。

铝合金线为超音波最常见的线材；金线亦可用于超音波接合，它的应用可以在微波元件的封装中见到。

热压焊：金属线过预热至约300至400℃的氧化铝(Al_2O_3)或碳化钨 (WC) 等耐火材料所制成的毛细管状键合头 (Bonding Tool/Capillary,也称为瓷嘴或焊针)，再以电火花或氢焰将金属线烧断并利用熔融金属的表面张力效应使线之末端成球状（其直径约金属线直径之2倍），键合头再将金属球下压至已预热至约150至250℃的第一金属焊盘上进行球形结合 (Ball Bond)。在结合时，球点将因受压力而略为变形，此一压力变形之目的在于增加结合面积、减低结合面粗糙度对结合的影响、穿破表面氧化层及其他可能阻碍结合之因素，以形成紧密之结合。

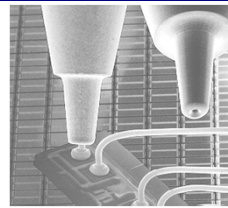
热声焊：为热压结合与超音波结合的混合方法。热超音波结合也先在金属线末端成球，再使用超声波脉冲进行导线材与金属接点间之结合。热超音波结合的过程中结合工具不被加热而仅仅是结合之基板维持在100至150℃的温度，此一方法除了能抑制结合界面金属化合物 (Intermetallic Compounds)之成长之外，并可降低基板的高分子材料因温度过高而产生劣化变形的机会，因此热超音波结合通常应用于结合困难度较高的封装连线。金线为热超音波结合最常被使用的材料。

楔形键合楔形, 手工键合机

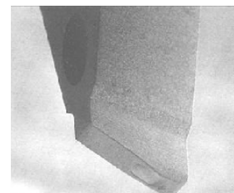
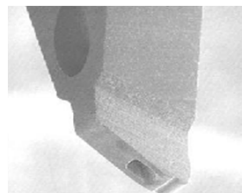


楔形劈刀和毛细管劈刀

劈刀常常是通过氧化铝或者碳化钨进行粉末烧结而成。对于一些单一用途的工具，也可以用玻璃、红宝石和碳化钛来代替。

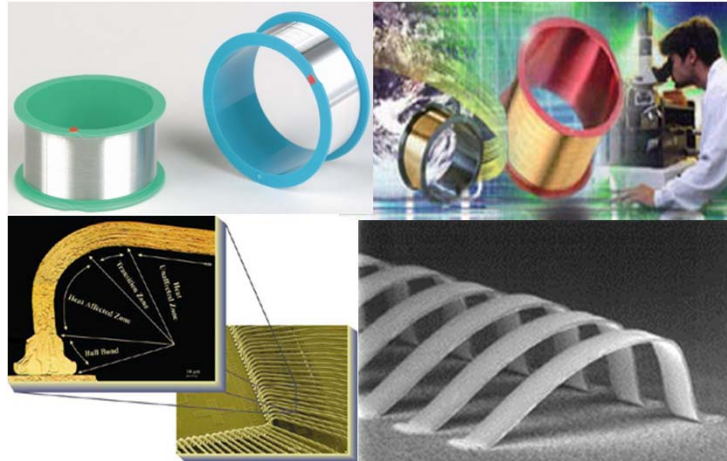


用于球形键合的毛细管劈刀



用于Al丝键合的楔形劈刀

键合材料



引线 — 金丝

- 广泛用于热压和热声焊，
- 丝线表面要光滑和清洁以保证强度和防止丝线堵塞，
- 纯金具有很好的抗拉强度和延展率，
- 高纯金太软，一般加入约 5-10 ppm 重量的 Be 或者 30-100 ppm 的 Cu，
- 掺 Be 的引线强度一般要比掺 Cu 的高 10-20% 。

铝 丝

- 纯铝太软而难拉成丝，一般加入 1% Si 或者 1% Mg 以提高强度。
- 室温下 1% 的 Si 超过了在铝中的溶解度，导致 Si 的偏析，偏析的尺寸和数量取决于冷却速度，冷却太慢导致更多的 Si 颗粒结集。Si 颗粒尺寸影响丝线的塑性，第二相是疲劳开裂的萌生潜在位置。
- 掺 1% 镁的铝丝强度和掺 1% 硅的强度相当。
- 抗疲劳强度更好，因为镁在铝中的均衡溶解度为 2%，于是没有第二相析出。

铜 丝

- 最近人们开始注意铜丝在 IC 键合中的应用；
- 便宜，资源充足；
- 在塑封中抗波动（在垂直长度方向平面内晃动）能力强；
- 主要问题是键合性问题；
- 比金和铝硬导致出现弹坑和将金属焊区破坏；
- 由于易氧化，要在保护气氛下键合。

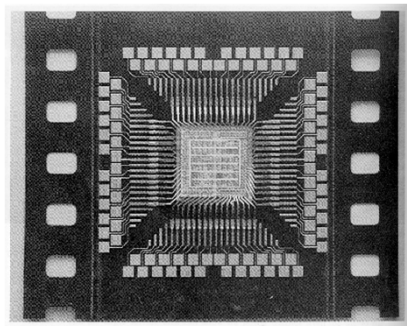
未来的键合技术

- 键合间距进一步减小，未来10年内，40微米的高可靠性键合。
- 键合弧度低于150mm以适应微型化的发展。
- 高可靠的Cu键合。
- 快速的键合周期和低温键合技术以适应BGA的严格要求。
- 高精度的摄像和位置反馈系统和伺服系统。
- 多旋转头的键合设备。
- 面临极大的键合数量将导致生产设备的大量占地面积。

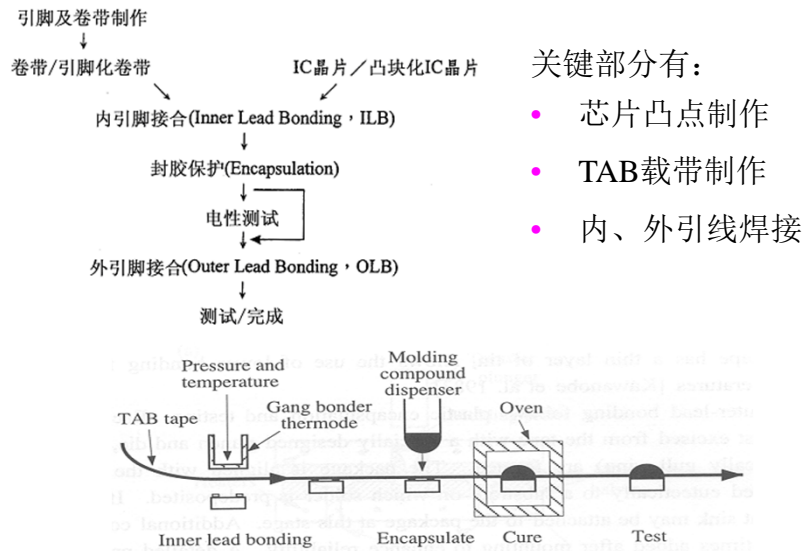
什么是TAB?

是芯片引脚框架的一种互连工艺，首先在高聚物上做好元件引脚的导体图样，然后将晶片按其键合区对应放在上面，然后通过热电极一次将所有的引线进行键合。

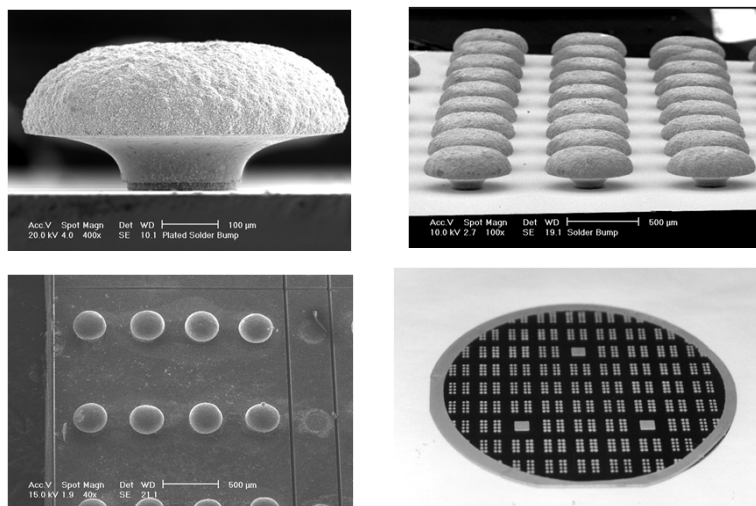
TAB键合的晶片，裸芯片放在带上并和内部导体图样互连



TAB工艺步骤



电镀金凸点



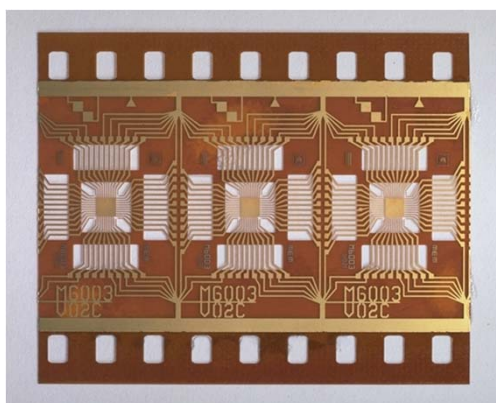
TAB薄膜载带的制作

普通TAB三层带的起始材料是聚酰亚胺。用于操作的链轮齿洞，与照相底片相类似，在底片的周边打洞，作为Si芯片的窗口。铜箔被压在聚酰亚胺的上面，中间是一层粘结剂。铜箔上的导电图案是用光刻胶技术来实现的，光透过一层有所需图案的光掩膜照射到光刻胶上，从而得到所需图样。然后对铜箔进行腐蚀。导电层图案是镀锡或者镀金的。

TAB技术所使用的载带可区分为单层、双层及三层等三种。载带一般制成长带状再绕于一卷轴（Reel）上，其形状与电影胶片十分相似。标准的载带宽度规格有35mm，48mm，及70mm三种，厚度有75um，125um三种。

例子

- 冲孔
- Cu 箔叠层
- 照相 + 腐蚀形成 Cu 图样
- 导电图样Cu镀锡



带有Cu图样的TAB膜，薄膜中的孔便于电路的刻蚀，齿轮孔则便于带的传送。

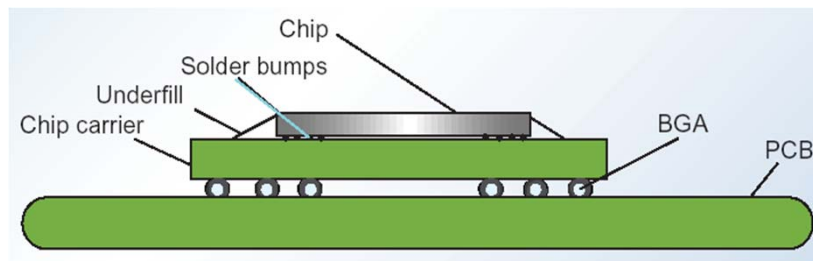
TAB的优点

1. 半导体上芯片的键合只需较少的键合区域，比丝焊更小的焊区间距。这就在节约了芯片面积的同时使得芯片间的互连可容纳更多的终端（最高可达到1000左右）。
2. 相对于普通的组装而言，外引线键合对电路板的空间要求要少的多；也要比丝焊芯片互连要求的空间小。组装比丝焊更简单也更快。
3. 每个键合区域的金凸点给下面的Al金属镀层提供了一个密封的空间。这降低了被腐蚀的可能性，提高了可靠性。因此，TAB适用于不需要另外包装的场合。（上面提及的环氧树脂滴注还是最常用的）。
4. 引线键合（丝焊）每次只能键合一个焊点，而群体焊操作起来的效率则高得多，并且有更高的产品收益。
5. TAB载带还可以用作单独的，灵活的（flexible）小印刷电路板，在小印刷电路板上同样可以组装其它元件。（这可以用瑞士手表样品来举例，在瑞士，所有的电子产品都是在TAB载带上的。）

TAB的缺点

1. 它要求非标准的Si芯片工艺（沉积金凸点）。
2. 它要求特殊的载带与导体图案之间的装配，这很昂贵而且费时。
3. PCB上的组装要求专门的设备，每个不同几何图案的组件要有专门的工具。对每个组件进行单独组装/焊接不仅浪费时间而且昂贵。
4. 对印刷电路板进行修理（替换一个缺陷元件）要求很苛刻。
5. 很少标准电路可用于TAB形式。很少有公司在中间商的基础上提供产品。
6. 有关尺寸与加工的标准很少，这就增加了成本。

倒装芯片示意图



在典型的倒装芯片封装中，芯片通过3到5个密耳(mil)厚的焊料凸点连接到芯片载体上，底部填充材料用来保护焊料凸点.

什么是倒装芯片？

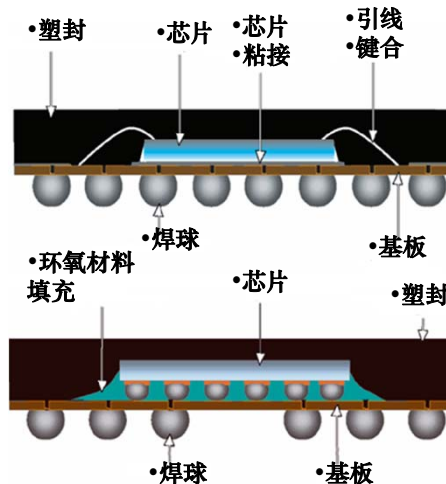
倒装芯片组装就是通过芯片上的凸点直接将元器件朝下互连到基板、载体或者电路板上。而导线键合是将芯片的面朝上。

倒装芯片元件是主要用于半导体设备；而有些元件，如无源滤波器，探测天线，存储器装备也开始使用倒装芯片技术，由于芯片直接通过凸点直接连接基板和载体上，因此，更确切的说，倒装芯片也叫DCA（**Direct Chip Attach**）。

倒装键合技术优势

倒装键合的优势：

- ✚ 电感、电容及电阻值低，传输速度快，频率高；
- ✚ 电气连接距离短，有利于发挥芯片优越的电学性能，耗散功率大；
- ✚ 封装体积小，封装密度高，目前几乎所有的高密度封装方式都采用了倒装技术；



优点

- **小尺寸**：小的IC引脚图形（只有扁平封装的5%）减小了高度和重量。
- **功能增强**：使用倒装芯片能增加I/O的数量。I/O不像导线键合中出于四周而收到数量的限制。面阵列使得在更小的空间里进行更多信号、功率以及电源等地互连。一般的倒装芯片焊盘可达400个。
- **性能增加**：短的互连减小了电感、电阻以及电容，保证了信号延迟减少、较好的高频率、以及从晶片背面较好的热通道。
- **提高了可靠性**：大芯片的环氧填充确保了高可靠性。倒装芯片可减少三分之二的互连引脚数。
- **提高了散热能力**：倒装芯片没有塑封，芯片背面可进行有效的冷却。
- **低成本**：批量的凸点降低了成本。

信号效果比较

	Worst Case		Best Case	
	W/B w/PGA	F/C w/BGA	W/B w/PGA	F/C w/BGA
Inductance	19.6 nH	7.9 nH	5.6 nH	0.3 nH
Capacitance	15.9 pF	6.2 pF	9.1 pF	2.5 pF
Resistance	21.0 Ω	2.1 Ω	20.2 Ω	1.7 Ω
Propagation Delay	946 psec	243 psec	508 psec	51 psec

缺点

- 裸芯片很难测试
- 凸点芯片适应性有限
- 随着间距地减小和引脚数的增多导致PCB技术面临挑战
- 必须使用X射线检测设备检测不可见的焊点
- 和SMT工艺相容性较差
- 操作夹持裸晶片比较困难
- 要求很高的组装精度
- 目前使用底部填充要求一定的固化时间
- 有些基板可靠性较低
- 维修很困难或者不可能

倒装键合主要工艺 (1)

共晶焊接 (C4)

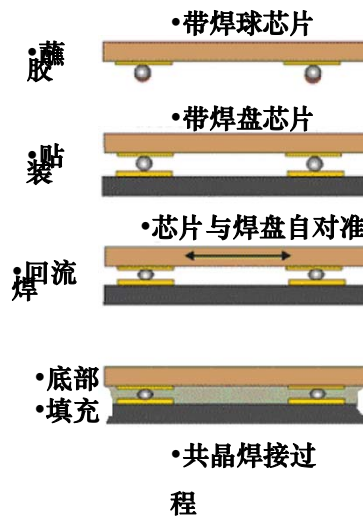
采用共晶材料凸点，焊料通过植球或者丝网工艺施加到芯片上，再回流工艺将焊料熔化并形成连接；

金锡焊接

主要用于光电组装领域，其焊球材料由金锡组成，适用于无助焊剂的工艺应用

热压焊接

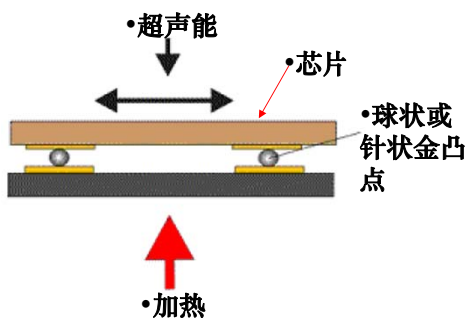
芯片高精度对位及贴装到基板表面后，将芯片和基板上的焊接材料加热到熔点温度



倒装键合主要工艺 (2)

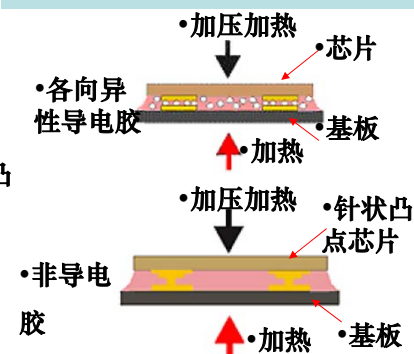
热超声焊接

芯片高精度对位及贴装到基板表面后，芯片通过超声波能量作单向震动，在压力和温度的作用下使芯片凸点与基板焊盘形成连接



胶粘工艺

粘性材料可以通过各种不同的方式应用于芯片和基板之间，如：点胶，丝网印刷或以胶膜形态使两者相互连接



倒装芯片工艺—通过粘胶连接

导电胶连接是取代铅锡焊料连接的可行方法，导电胶连接既保持了封装结构的轻薄，成本也没有显著增加。该工艺的优点是：

- 工艺简单
- 固化温度低
- 连接后无需清洗

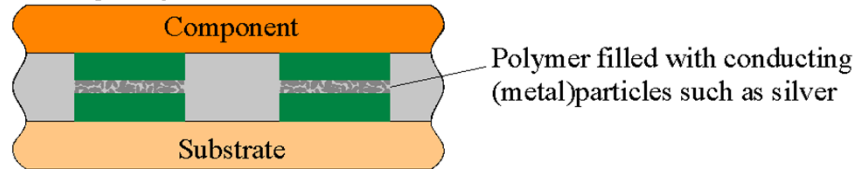
各向同性、各向异性导电胶

各向异性导电胶是膏状或者薄膜状的热塑性环氧树脂，加入了一定含量的金属颗粒或金属涂覆的高分子颗粒。在连接前，导电胶在各个方向上都是绝缘的，但是在连接后它在垂直方向上导电。金属颗粒或高分子颗粒外的金属涂层一般为金或者镍。

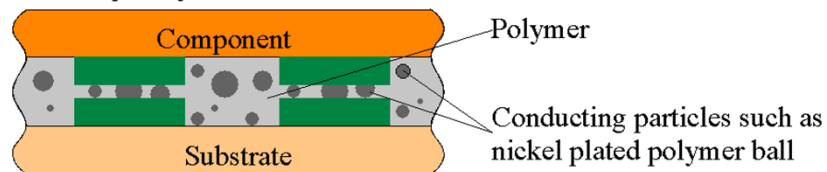
各向同性导电胶是一种膏状的高分子树脂，加入了一定含量的导电颗粒，因此在各个方向上都可以导电。通常高分子树脂为环氧树脂，导电颗粒为银。

倒装芯片导电胶连接示意图

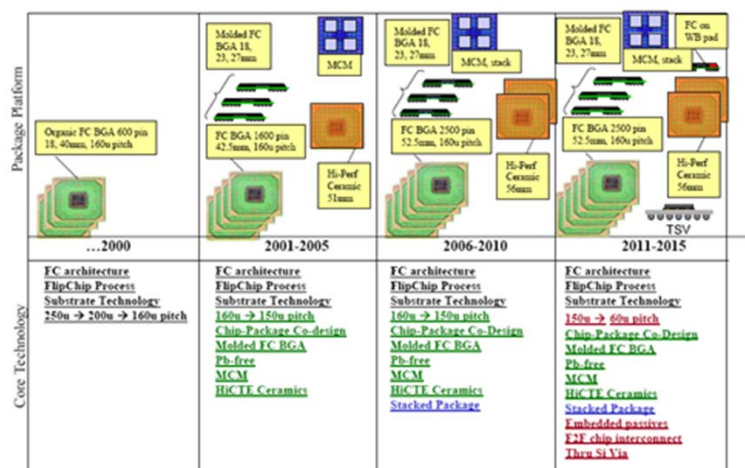
Isotropically conductive adhesive



Anisotropically conductive adhesive

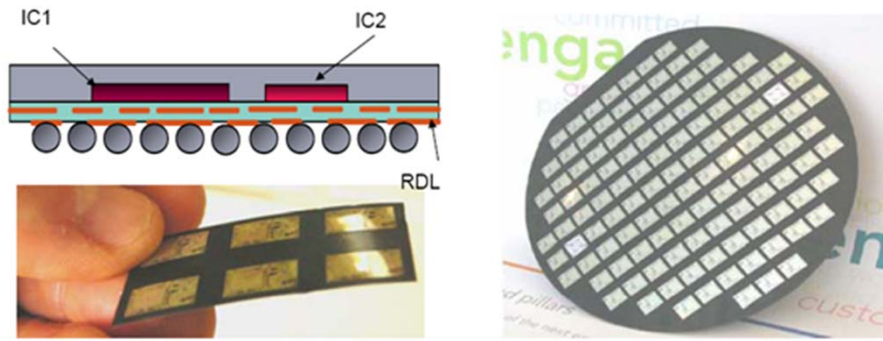


倒装键合技术发展趋势 (FCBGA)



- 间距: 150 μm → 60 μm; MCM → 3D 封装

倒装键合技术发展趋势 (WLFC)



- 晶圆级倒装键合（与FCBGA比较）：
- 多引脚数；更薄；更便宜；

倒装键合技术面临的挑战

- ITRS 2007

Difficult Challenges $\geq 32\text{ nm}$		Summary of Issues
IS	Wafer Level CSP	- I/O pitch for small die with high pin count - Solder joint reliability and cleaning processes for low stand-off - Wafer thinning and handling technologies - Compact ESD structures - TCE mismatch compensation for large die
IS	Thinned die packaging	- Wafer/die handling for thin die - Different carrier materials (organics, silicon, ceramics, glass, laminate core) impact - Establish infrastructure for new value chain - Establish new process flows - Reliability - Testability - Different active devices - Electrical and optical interface integration

- 主要挑战：
- ✦ 芯片变薄、变小；
- ✦ I/O 数、凸点数增多，封装密度高；
- ✦ 低K材料；
- ✦ 柔性基板；

挑战之一：超薄晶圆/芯片

Table 102a&b Thinned Silicon Wafer Thickness 200 mm/300 mm • ITRS 2007

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
Min. thickness of thinned wafer (microns) (general product)	50	50	50	50	45	40	40	40	40
Min. thickness of thinned wafer (microns) (For extreme thin package ex. Smart card)*	20	20	15	15	10	10	10	10	8

- 晶圆/芯片减薄技术发展很快，超薄晶圆/芯片的拾取与传输十分困难：

✚ 超薄芯片易产生变形、弯翘以及划伤；

✚ 表面效应明显。



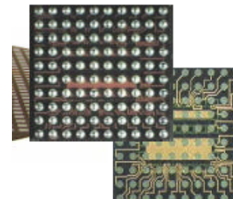
50μm 厚度的晶圆

挑战之二：高密度 I/O

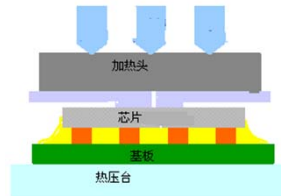
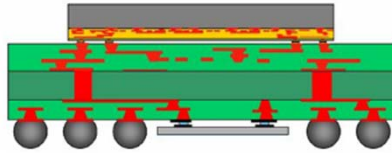
Table 96a Chip to Package Substrate—Near-term Years UPDATED

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM 1/2 Pitch (nm) (contacted)	80	70	65	57	50	45	40	35	32
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm) (f)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
IS Wire bond—single in-line (micron)	45	40	40	35	35	30	30	25	25
IS Two-row Staggered Pitch (micron)	50	50	45	45	40	40	35	35	35
IS Three-tier Pitch (micron)	60	55	50	50	45	45	40	40	35
Wire bond—Wedge pitch (micron)	30	25	25	25	20	20	20	20	20
ADD Tape-automated Bonding (TAB)*	30	30	25	25	25	20	20	20	20
Flying Lead (micron)	35	35	35	35	35	35	35	35	35
IS Flip Chip Area Array (both organic and ceramic substrate)(micron)	150	130	130	130	120	120	120	110	110
IS Flip Chip on Tape or Film** (micron)	35	30	25	25	20	20	20	15	15

- 随着I/O密度提高，焊盘间距 (Pitch) ↓ 20μm，芯片与基板之间的定位与调平成为难题：
- ✚ 定位精度：1—5 μm（高精度视觉定位）；
- ✚ 多自由度高精度调平（5DOFs, μm级）。



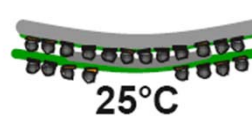
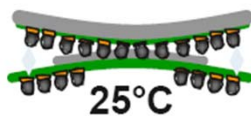
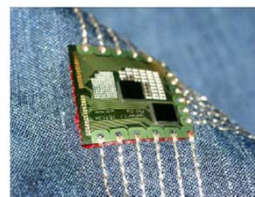
挑战之三：Low K Dielectric



- 键合过程中的力、热、流体精确控制十分关键：
 - ✚ Low K材料的机械强度↓，应力释放非常重要；
 - ✚ CTE 不匹配↑，易产生热应力；
 - ✚ 底部填充材料的弹性模量变化易产生应力集中（温度控制，流体控制）。

挑战之四：柔性基板

- 柔性基板的张力和应力控制十分重要：
 - ✚ 柔性基板易变形和弯翘；
 - ✚ CTE 不匹配（芯片 3ppm/C, 基板 18ppm/C）；
 - ✚ 基板的价格在整个封装成本的比重 30~80%；



下一代倒装芯片技术对基板的影响

- ✦ 凸点间距减小到20~60 μm 需要多层基板；
- ✦ 低K的易碎性需要从基板上释放更多的应力；
- ✦ 高的信号传输速度需要高性能的导电材料；

本讲上篇课程内容结束，谢谢大家！