

芯片封装引线电性能的测试

李丙旺

(中国兵器工业第214研究所 蚌埠 233042)

摘要 随着集成电路的高速化、高集成化、高密度化封装的发展,封装引线的电性能对集成电路的影响越来越大,封装引线电性能的测试与控制也越显重要。

关键词 引线电阻 引线电容 引线电感

1 引言

集成电路封装电性能主要包括引线电阻、引线间绝缘电阻、引线间电容及负载电容、引线电感等。随着集成电路朝着高速、高性能、高密度封装方向发展,封装的电性能对集成电路性能的影响也越来越大,因此必须加以检测与控制。

2 引线电阻

引线电阻是集成电路共烧陶瓷封装所特有的金属化引线电阻。共烧陶瓷封装是以金属化引线来做内部连接的,其阻值较大,且封装结构金属化引线的布线图形、引线形状、制作引线材料和工艺等不同,都会造成金属化引线电阻的不同,甚至在同一个封装内,不同引线之间也可能相差较大。因此,引线电阻如果控制不好,将会引起不必要的压降,导致集成电路的功耗和噪声加大。

引线电阻的表达式为:

$$R = \rho l / db (\Omega) \quad (1)$$

式中 R 为引线电阻(Ω), ρ 为引线材料的电阻率($\Omega \cdot \text{mm}$), d 为引线材料的厚度(mm), l 为引线材料的长度(mm), b 为引线材料的宽度(mm)。从(1)式可以看出,要减小引线电阻必须减小引线长度,在允许范围内适当增加引线截面积,选用电阻率较小的金属浆料和合理的制作工艺。

共烧陶瓷封装的表面,常采用钼、钨、锰等金属进行金属化,但钼、钨、锰等都是些电阻率较高的材料,所制成的引线的引线电阻也较大。因此,在共烧陶瓷封装工艺质量中,引线电阻是一项电特性的重要指标,不同于其他封装结构。所以,选定一种材料后,必须制定其热膨胀系数、颗粒细度和烧成温度等方面都能相适应的组合配方,使共烧后能达到一定的金属化结合强度和较低的引线电阻。

表1 CDIP的引线电阻规范值

引线数	8, 14, 16, 18	20, 22	24	28	40	42	48	64
电阻值(Ω)	0.2	0.25	0.3	0.35	0.4	0.6	0.7	0.8

引线电阻的测试方法是將一欧姆表(精度 $\leq \pm 4\text{m}\Omega$)的低端接一探针台(四探针)的两根探针,并将两根探针靠近置于外引线台肩上或外部引线

的中央,将欧姆表高端的另两根探针靠近置于内腔引线末端 0.127 mm 范围内,调节欧姆表测得引线电阻值。表1为引线电阻规范值,表二为引

线电阻实测值,任一引线电阻值大于规范值均为失效。表 2 中 2、4 测试点为各自的最长引线,从测试数据可以看出引线数越多,其最长引线与其他引线的电阻差值就越大。这说明引线长度对引

线电阻影响较大,因为引线越多,其最长引线也就越长,而无暗引线的其他引线长度的改变则无明显变化。

影响引线电阻的几个主要因素:

表 2 共烧陶瓷引线电阻测试值

电阻值 (Ω) / 引线数 / 测试点	8	14	18	24	28
1	0.063	0.073	0.106	0.094	0.106
2	0.095	0.102	0.195	0.262	0.285
3	0.067	0.081	0.103	0.096	0.099
4	0.093	0.121	0.198	0.255	0.279
5	0.069	0.070	0.096	0.103	0.098

(1)金属化浆料中的钼、钨及瓷料配比不当,增加瓷粉比例可以提高金属化结合强度,但同时也会使引线电阻加大,因此必须两者兼顾。

(2)金属化线条的宽度和厚度的增加可以降低引线电阻,但线条过宽会使线间绝缘性能下降,而线条过厚又容易产生烧成后层间孔隙。

(3)在制作工艺中,如果金属化浆料中粘合剂含量过大,使金属化浆料粘度降低,虽利于丝网漏印,但在烧成后,会使金属化图形变薄,引线电阻增大。

3 引线间绝缘电阻及电容

绝缘电阻的测试是测量集成电路封装的绝缘部分对会使其表面或内部产生漏电流与外加直流电压所呈现的电阻,在集成电路封装结构中,通常是测量相邻两引线间和引线与封装底座之间这两种绝缘电阻。绝缘电阻是封装外壳的一个重要指标,尤其对一些具有高阻输入或高放大倍数的集成电路。

绝缘电阻的测量要受到诸多因素的影响,如温度、湿度、残余电荷、充电电流、仪器和测量线路的时间参数、试验电压、预调以及连续施加电压的时间等等。绝缘电阻施加测量电压后,它的电流特性通常从瞬间最大值以某一变化速率下降到一

较稳态的较小值,其下降速率取决于试验电压、温度、绝缘性能、极间电容量和外电路的电阻。这种电流特性的机理是加上直流电压,绝缘体内最初形成极化电流,过了一定时间后,由于极化的饱和,最后极化电流衰减至零,流过绝缘体的只有漏导电流。测量时连续施加电压的时间决定了测量值取自电流特性曲线的哪一部分,在只有漏导电流情况下测得的绝缘电阻才是真正意义上的绝缘电阻,所以通常要求在规定的时间内进行测量。

绝缘体的漏导电流是指绝缘材料在外电场作用下,带电质点将产生有规律的运动,电流的大小决定于单位时间内质点到达电极的数目。增加电压,趋向电极的质点数将增加,复合作用减弱,因而电流随电压成正比增加,服从欧姆定律。当电压加到一定值时,单位时间所能游离的质点都趋向电极使电流饱和。因此,测试电压大小对绝缘电阻的测试有一定影响,必须针对不同的绝缘材料或使用场所采用不同的测试电压。具体要求和数据见表 3。

引线绝缘电阻的测量方法是在连续施加测试电压达到规定时间后,用高阻仪、电桥或绝缘电阻测量仪对互不连接的引线进行测试。因绝缘电阻的测试与温度、湿度有很大关系,所以测试必须保持在标准条件下进行,测试前对底座一般不做预处理。

表 3 绝缘电阻测试要求及标准

绝缘电阻等级要求	国标(GB6649-86)	国军标(GJB548A-96)
A: $R \geq 1 \times 10^8 \Omega$	条件 1: $50 \pm 1V$	试验条件 A: $10V \pm 10\%$
B: $R \geq 1 \times 10^9 \Omega$	条件 2: $100 \pm 1V$	试验条件 B: $25V \pm 10\%$
C: $R \geq 1 \times 10^{10} \Omega$	条件 3: $500 \pm 1V$	试验条件 C: $50V \pm 10\%$
D: $R \geq 1 \times 10^{11} \Omega$		试验条件 D: $100V \pm 10\%$
E: $R \geq 1 \times 10^{12} \Omega$		试验条件 E: $500V \pm 10\%$
		试验条件 F: $1000V \pm 10\%$

测试任意两不相接引线间的绝缘电阻值都应该不小于规范规定值,否则作为失效处理。如果测试条件及表面状态都正常,而引线绝缘电阻值偏小,则说明底座材料有问题或引线设计不合理。表 4 测试的是 28 引线的封装底座在 A、B、C、D、E 五种条件下的测试值,每种条件下测试 5 点。其中 1、2、3 点为无暗引线的两相邻平行引线的测试值,4、5 点为有暗引线的两相邻平行引线的测试

值。由表中的数据可以看出,有暗引线的测试值比无暗引线的绝缘电阻测试值要小,可见在同等条件下,两平行引线越长其绝缘电阻越小。并且随着测试电压加大,其绝缘电阻阻值也在增大,而且长引线与短引线之间的差值也在减小。这说明测试电压是影响绝缘电阻测试的重要条件,测试电压越高,测试的准确度越高,测试值越接近真实值。但测试电压也需根据实际需要而确定。

表 4 引线绝缘电阻的测试值

测试条件 测试引线	A (10V) 测试值(Ω)	B (25V) 测试值(Ω)	C (50V) 测试值(Ω)	D (100V) 测试值(Ω)	E (500V) 测试值(Ω)
1	1.6×10^{12}	2.5×10^{12}	3.6×10^{12}	6.2×10^{12}	3.9×10^{13}
2	1.5×10^{12}	1.9×10^{12}	2.7×10^{12}	5.6×10^{12}	3.6×10^{13}
3	1.7×10^{12}	2.2×10^{12}	3.1×10^{12}	5.9×10^{12}	3.7×10^{13}
4	5.6×10^{11}	9.6×10^{11}	1.3×10^{12}	4.8×10^{12}	3.5×10^{13}
5	2.6×10^{11}	5.1×10^{11}	9.3×10^{11}	3.9×10^{11}	3.3×10^{13}

当集成电路处于高频下工作时,封装引线所形成的分布电容常常导致不必要的信号短路、串扰、反馈或自激,从而使集成电路的损耗加大、功率增益下降、噪声增大。所以要求引线间电容越小越好,对小引线节距和多引线封装,要通过测试来加以了解和控制。

在集成电路封装中,两根平行的金属引线构成了电容的两个极板,形成引线分布电容,根据高斯定理,可求出两引线间的电容量为:

$$C = \pi \epsilon l / \ln(d/r) \quad (2)$$

其中, C 是两引线间电容量(pF), l 为引线长

度(cm), ϵ 为两引线间绝缘体的介电常数, d 为两引线间的距离(cm), r 为引线的半径(cm)。在引线半径确定情况下,引线长度 l 、介电常数 ϵ 、引线间距 d 是影响引线电容的主要因素。其中 l 、 ϵ 越小、 d 越大,引线电容就越小。

引线电容的测试采用了电容计加屏蔽的两探针法,并要求屏蔽连接的绝缘线径 $\geq 1.024\text{mm}$,同轴电缆长度 $\leq 1\text{m}$,要求电容计的精度为 $\leq \pm 2\%$,量程为 $0-100\text{pF}$,外接引线应尽可能的短,因为外接引线间也存在寄生电容,它会影响引线电容测试的准确性。

电容计在 1MHz 频率下进行测试,将两根同轴探针分别置于两个被测引线的内引出端上方约 3mm 处。将待测试引线周围的其他引线连接在一起,并将屏蔽探针置于它们中任一引线的内引出端,以保证这些引线不影响测量。表 5 是引线间电容在 1KHz 频率(所用电容计无 1MHz 频率)下的测试值,其中 1、2、3 为短引线,4、5 为长

引线。表 5 中的数据表明,除 8 根引线的底座因其长引线不平行而导致长引线测试电容值偏小外,其余的长引线的电容测试值都偏大,这说明引线长度是影响引线间电容的重要因素。另外,引线数越多,其引线间测试电容值也越大,这是由于引线越多,其引线间距 d 越小,从而使得其电容值越大。

表 5 引线间电容的测试(1KHz)

电阻值(pF) \ 引线数	8	14	18	24	28
测试引线					
1	9.68	10.03	9.96	10.79	10.86
2	9.89	10.10	10.71	11.26	11.63
3	9.91	10.06	10.82	11.19	11.58
4	9.56	11.26	11.33	13.86	13.98
5	9.39	11.53	11.59	13.69	13.89

4 引线电感

引线电感是用来确定集成电路陶瓷、金属、塑料封装引线的电感。当集成电路在高频下工作时,封装金属体所形成的分布电感会引起电路不必要的反馈和自激,从而使其损耗加大、功率增益下降、噪声增大。因此,通过测试控制引线电感的大小,可以改善封装给集成电路性能带来的影响。

封装引线的几何形状一般有圆形和矩形两种,当两者的长度和截面积都相等时,矩形引线比圆形引线的电感要小得多。其具体估算方法如下:

圆形截面引线,当 $l < 100d$ 时,电感 L 为

$$L = 2l[\ln(4l/d) - 1 + d/2l] \quad (3)$$

式中 L 为圆形截面引线电感(nH), l 是圆形引线长度(cm), d 是圆形引线直径(cm)。

矩形截面引线在相同条件下,其电感 L 为:

$$L = 2l\{\ln[2l/(b+c)] + 0.5 + 0.2235[(b+c)/l]\} \quad (4)$$

其中 L 是矩形截面引线电感(nH), l 为矩形截面引线长度(cm), d 是矩形截面引线宽度(cm), c 是矩形截面引线厚度(cm)。

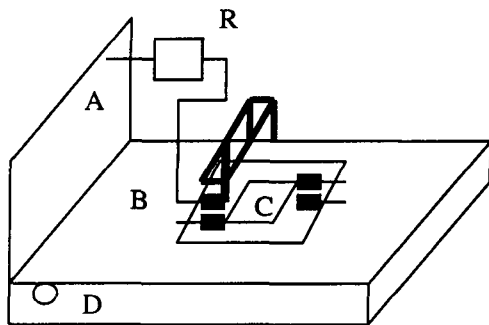


图 1 引线电感测试点连接示意图

引线电感的测试采用了专用夹具如图 1 所示,首先将电阻 R (碳质电阻 $50-70\Omega$)一端引线焊接到待测引线的顶端(图 1 中的 B 点),再调节滑臂使螺钉置于封装内引线上,拧紧螺钉,使滑臂与封装底座平行。将采样示波器探头接于图 1 中点 A,读取电压和上升时间,计算上升时间百分数。将信号发生器调在 1MHz 频率、3-7V 峰一峰电压值、7-12ns 的 100% 上升时间的方波,再将其调节为占空比 $\leq 10\%$,下降时间约为 100ns。将采样示波器探头分别移到图 1 中的 B 和 C 点,

分别读取其峰—峰电压值,并保持探头接地位置(图 1 中 D 点)不变。用精度 $\leq \pm 0.1\Omega$ 的欧姆表测量点 A、B 之间的电阻。根据(5)式可以求出电感值,其表达式如下

$$L = (V_B - V_C) \times t_{up} \times R_{AB} / V_A \quad (5)$$

其中 V_A 、 V_B 、 V_C 分别为 A、B、C 三点的测试电

压, R_{AB} 为 A、B 间电阻, t_{up} 为上升时间。

表 6 是对 28 线矩形引线和 8 线圆引线的引线电感测试、计算与数据对照表。从表中数据可以看出,矩形引线的电感比圆形引线的电感要小。这主要是因为圆形引线容易形成电涡流增加寄生电感。

表 6 引线电感的测试与计算

测 试							
测试值 被测引线	被测项	A 点电压 A(V)	上升时间 t(ns)	上升时间 百分数(%t)	B 点电压 B(V)	C 点电压 C(V)	A 点与 B 点 间电阻 R(Ω)
	Pin(矩)	6.250	11.50	48.0%	6.094	5.938	63.6
	Pin(圆)	6.250	11.39	47.4%	6.089	5.910	63.5
计 算							
计算结果 对应引线	计算项	电感两端电压 e=B-C (V)	100%上升时间 Δt=(1/%t)t (ns)	电流 Δi=A/R (mA)	电感计算值 (nH)L=eΔt/Δi		
	Pin(矩)	0.156	24.00	98.3	38.1		
	Pin(圆)	0.179	24.03	98.4	43.7		
	差值	-0.023	-0.03	-0.1	-5.6		

5 结束语

集成电路的封装已经对集成电路发展产生了越来越重要影响,集成电路的封装技术提高促进集成电路更进一步发展,集成电路的封装电性能是影响集成电路封装寄生效应的重要来源。因此,集成电路封装电性能的测试和控制已经成为检测集成电路封装质量的重要指标。

参考文献:

1 中华人民共和国国家标准 GB6649—86. 半导体集成电路外壳总规范. 北京, 中国标准出版社, 1987.

2 王先春, 贾松良等. 集成电路封装试验手册. 北京, 1998, 98—108.