

测试



■ 芯片测试的意义

- 芯片的测试分两次。在芯片制造完成后必须对圆片上的芯片（小片，Die）进行测试。测试后进行切割。测试合格的芯片才能进行封装。封装完成后的芯片还要进行第二次测试
- 当已经封装的芯片被测出故障，厂商应当拆掉封装进行测试，找出故障原因。这时候的故障可能是由于焊接等过程中的静电等原因造成

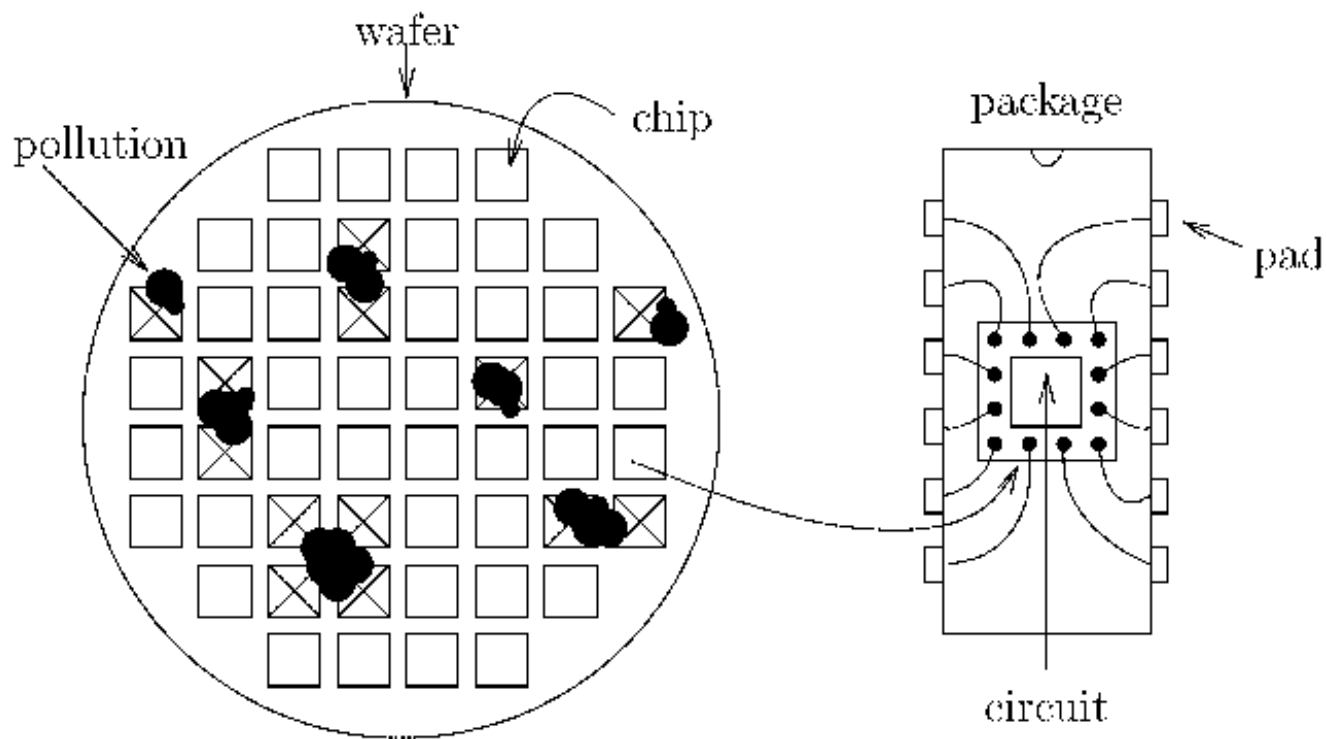
测试



- 如果故障芯片已经安装到PCB上，可能会造成整个PCB维修甚至更换。这种更换的成本是相当大的
- 所以，**ASIC**在出厂前进行完整的测试是相当重要的
- 圆片测试设备非常昂贵
- 集成块测试设备同样非常昂贵
- 虽然为提高芯片制作质量做出很大的努力，却不可避免出现制作故障和生产出废品。例如芯片表面的污染会导致个别线路断路或短接。随着芯片面积的增大，与制作有关的缺陷几率也随之上升

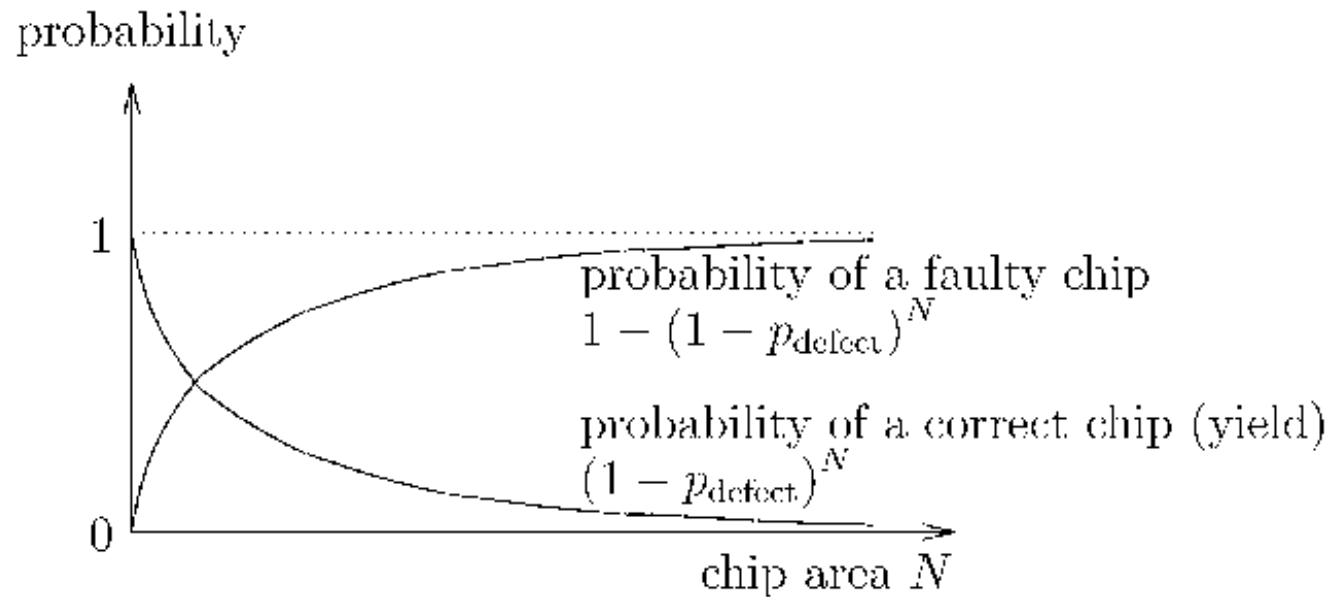
测试

晶圆片上的污染



测试

失效率随芯片面积的增加而提高



测试

■ 黑盒测试

- 测试的任务是确定芯片是否达到规定的技术指标。黑盒测试主要是测试芯片性能。测试者不必掌握电路结构的知识也能进行测试。

a b c	进 位	和
0 0 0	0	0
0 0 1	0	1
0 1 0	0	1
0 1 1	1	0
1 0 0	0	1
1 0 1	1	0
1 1 0	1	0
1 1 1	1	1

测试

对于全加器，只要输入全部的8组输入组合，即8个测试模板，并检查是否发生所期待的进位与和就行了。

对于复杂电路，必须做一个关于故障类型的假设。为此需要使用故障模型。

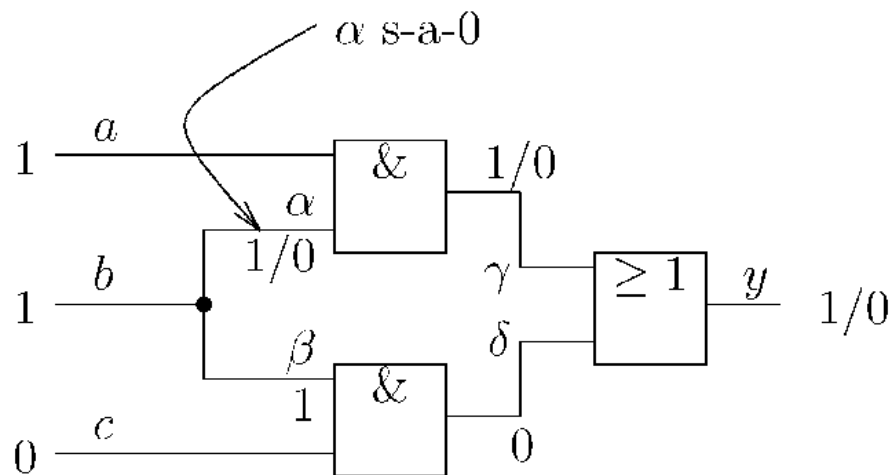
a b c	进 位	和
0 0 0	0	0
0 0 1	0	1
0 1 0	0	1
0 1 1	1	0
1 0 0	0	1
1 0 1	1	0
1 1 0	1	0
1 1 1	1	1

测试

■ 故障模型

● 粘连故障(stuck-at)

- 一个ASIC可能会有多种错误，可以根据它们对设计造成的有害逻辑影响进行分类。
- 粘连故障是用于测试算法基础的逻辑错误模型。粘连0（stuck-at-0）指恒定为逻辑0的一个网表段，粘连1则是恒定于逻辑1。

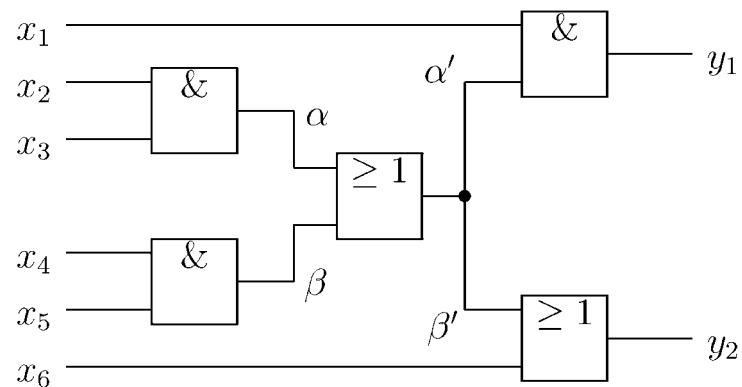
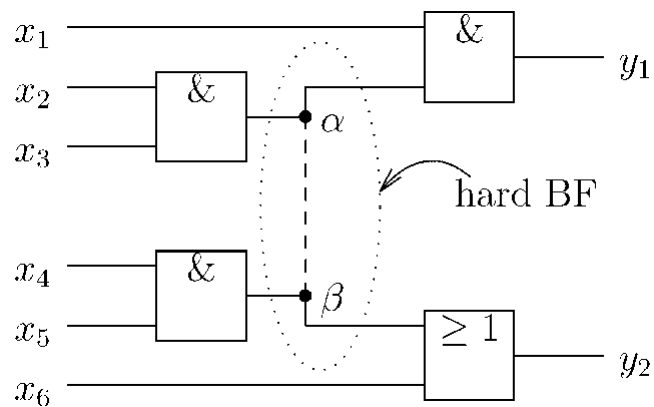


测试

- 如果这些错误会对设计产生有害影响，并且这类影响是可以检测的，则可以用自动测试模式生成(ATPG)工具自动产生一个或者几个扫描向量。这就是扫描测试，其目的就是检测出这些错误。
- 并不是所有的粘连错误都会产生影响，例如在冗余逻辑中的粘连错误。另外，也不是所有的粘连错误都是可以检测的。错误检测覆盖范围分析就是希望准确计算所有可测错误所占的百分比，并找出对可测范围以外的错误进行检测的方法，使最终检测范围大于**95%**。这是**ASIC**供应商要求的标准。达到这个标准就表明电路本身的制造是正确的。

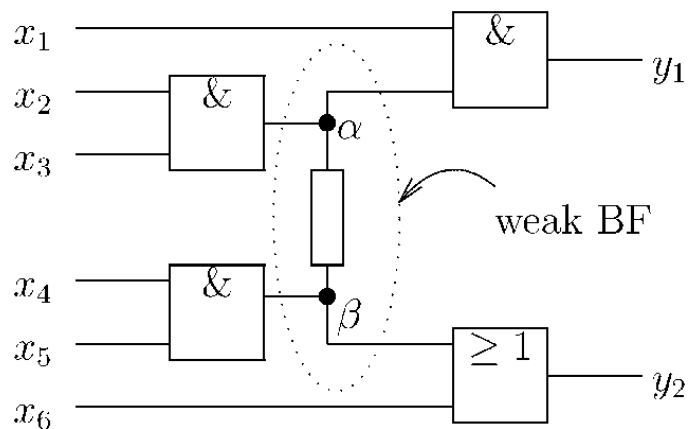
测试

- 硬桥接故障
 - 故障举例及其模型



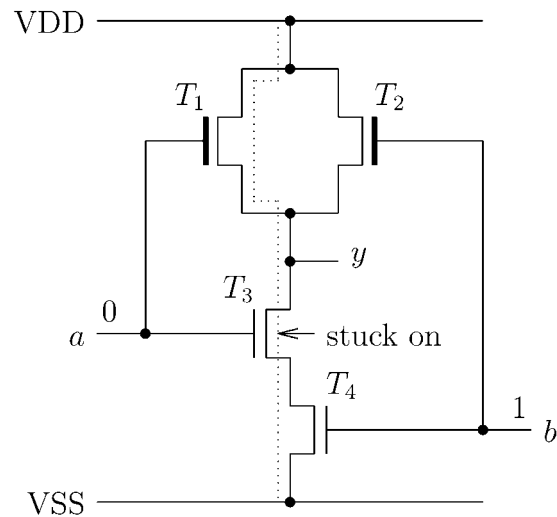
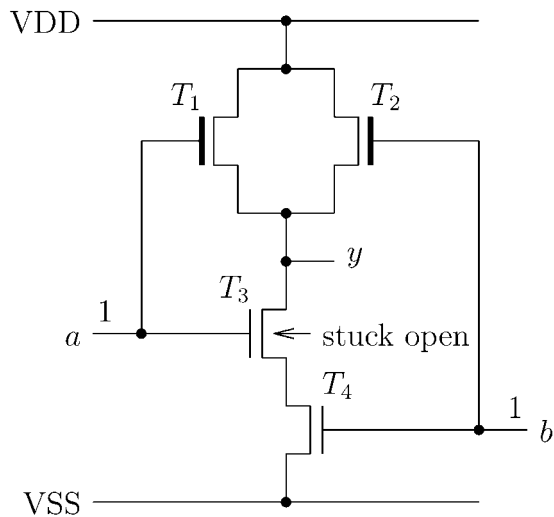
测试

- 参数故障（弱桥接）
 - 这类故障可能很难发现
 - 虽有故障存在，但电路逻辑可能还是正确的
 - 故障电路的总电流可能会增加



测试

- 晶体管故障
 - 恒开路故障和恒短路故障



测试

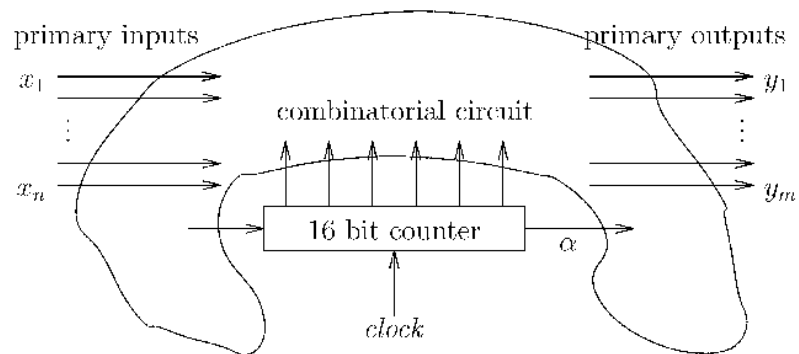


- 组合电路的测试模板
 - 扫描测试的目的就是用自动测试模式生成(ATPG)工具自动产生一个或者几个扫描向量

测试

■ 时序电路

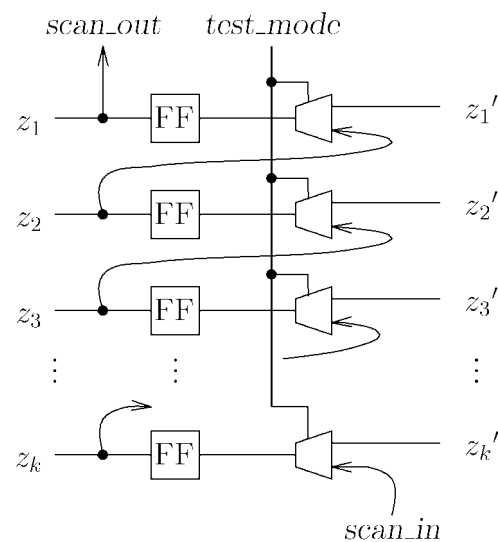
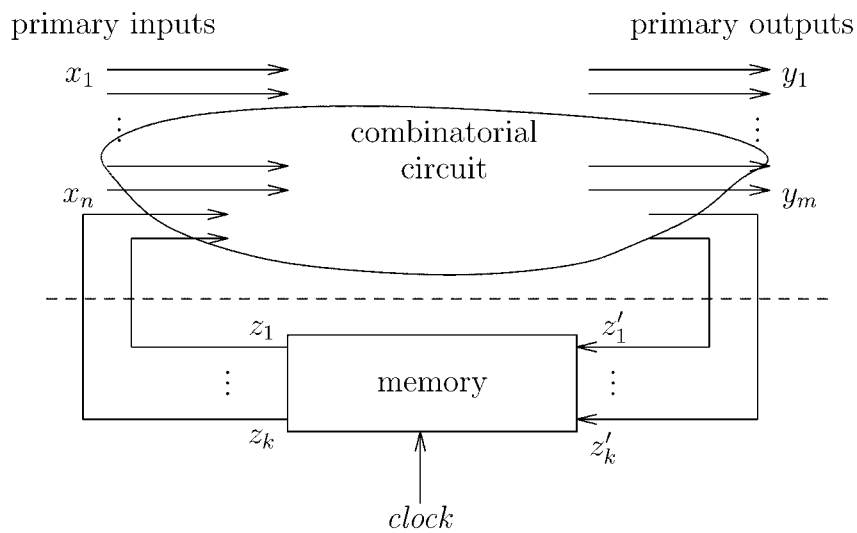
- 如果在这个电路中要对计数器的进位线进行粘连故障测试，需要 2^{16} 个脉冲才会改变信号 α 。就是说，要控制 α 就要求 2^{16} 种不同的测试模板序列。显然，这种电路的可测试性是很糟糕的。
- 解决：
 - 用路径扫描法，补充电路扩展来改善可测试性
 - 改进设计技术，引入测试能力设计方法（DFT）



测试

- 扫描路径

- 将多个触发器组成的寄存器与其它部分分离
- 将寄存器连接成移位寄存器链
- 增加一个附加引脚`scan_in`，串行置数，在`scan_out`读数



测试

■ 测试能力设计（DFT, design for testability）

- 电路设计时应当考虑其可测试性。
- 前面介绍电路测试，目的是在设计时考虑到电路的可测试性。
- 通用测试

对于完全相同的电路等级，应用顺序相同的测试模板，称为通用测试。典型的例子是RAM测试。这里的测试操作过程基本相同，与RAM的各元件的大小无关。因此，人们把测试模板描述成参数，根据给出的存储器大小和字长，很快就可产生正确的测试模板。

测试



- 特征码分析

特征码分析是对自测试电路的一种设想。这里，在电路的确定位置上收集产生的数据，并从中计算出特征码。输出这种特征码供测试用或直接在芯片上检查其正确性。

- 片上产生的测试输入

为了在芯片上自测试，还需自己生产测试模板。

用某些电路产生一个数字序列作为测试模板

测试



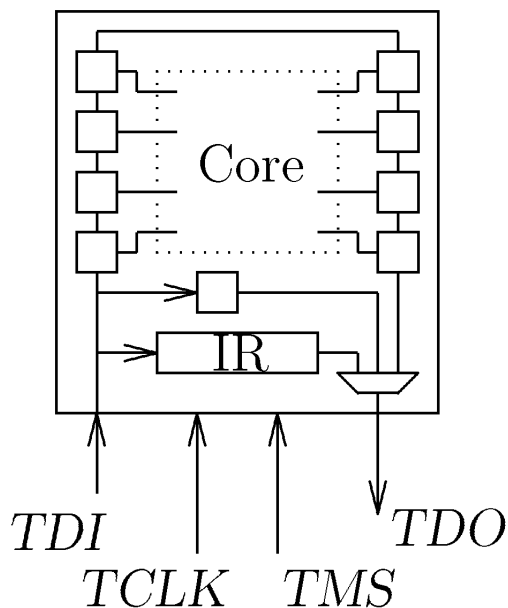
■ 边界扫描

- 边界扫描（BS, Boundary-Scan）法，是在芯片电路和引脚之间安置专用的单元，把电路与外围隔开。这样，如果芯片已装在一个系统中但又需要对它进行测试，就不费事了。此外，用边界扫描也可对印刷板的布线结构以及最后的复杂系统进行测试。
- 边界扫描测试（BST）属于板级测试方法。

测试

- 扫描专用单元需要4个辅助引脚，即测试存取端口（TAP）：

- TDI：测试数据输入
- TDO：测试数据输出
- TCLK：测试时钟
- TMS：测试方式输入

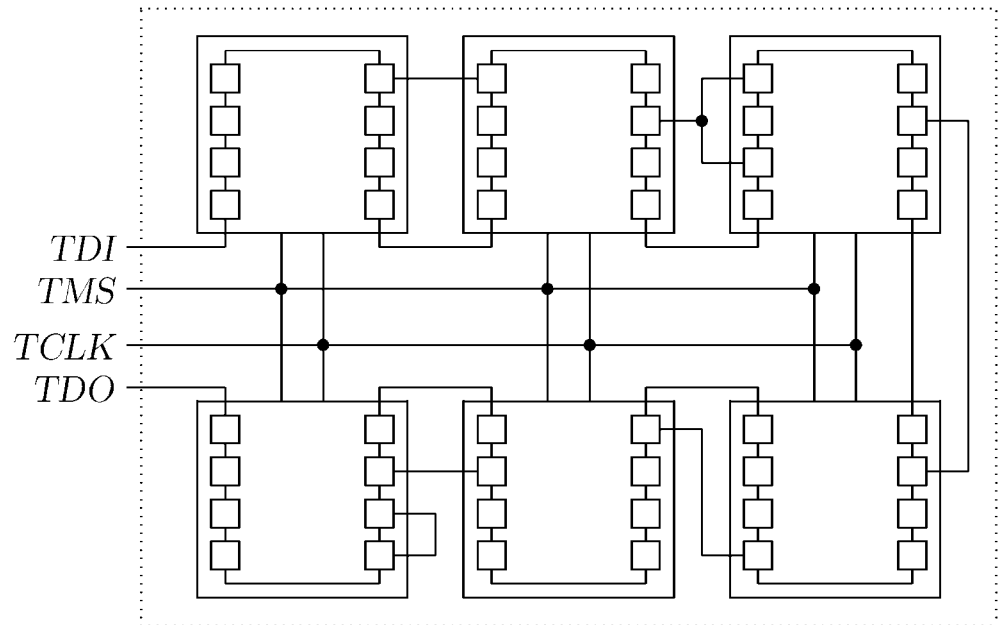


测试

- 边界扫描可能完成的功能
 - 较大系统芯片测试（在系统验证）。这里边界扫描的任务是把测试输入通过TDI串行传送到芯片上，并把测试结果通过TDO串行读出。
 - 印刷板上的线路测试。通过引脚将边界扫描数据送到导线上，又从另外的引脚把这些数据重新读入边界扫描。
 - 印刷板的装配测试。让芯片输出一个识别码到边界扫描上。这样可以检查在哪一行上，芯片与边界扫描是接通的。
 - 芯片通过特征码分析进行自测试。只要芯片配有边界扫描，就可以使用自测试寄存器用的边界扫描单元。这样，自测试所需辅助硬件明显减少了。
 - 与扫描路径组合。当芯片配有边界扫描时，可把测试方式中的内部检测路径与边界扫描构成一体，使得内触发器通过边界扫描从外部就可存取。这样就为扫描路径节约了隔离用的引脚。

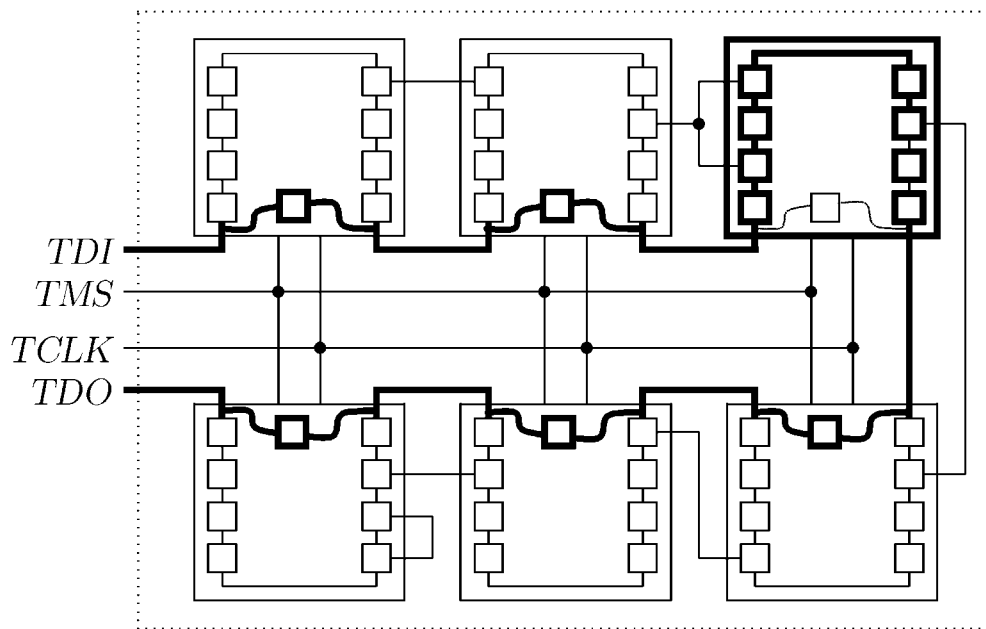
测试

- 具有边界扫描能力的芯片构成的系统板



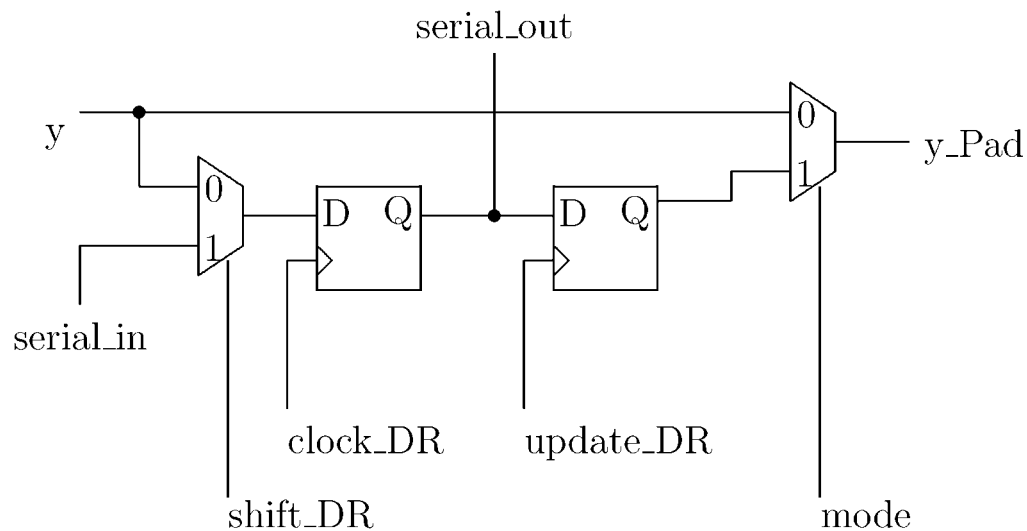
测试

- 系统板上单个芯片测试时的边界扫描配置
- 未分配的芯片处于旁通方式



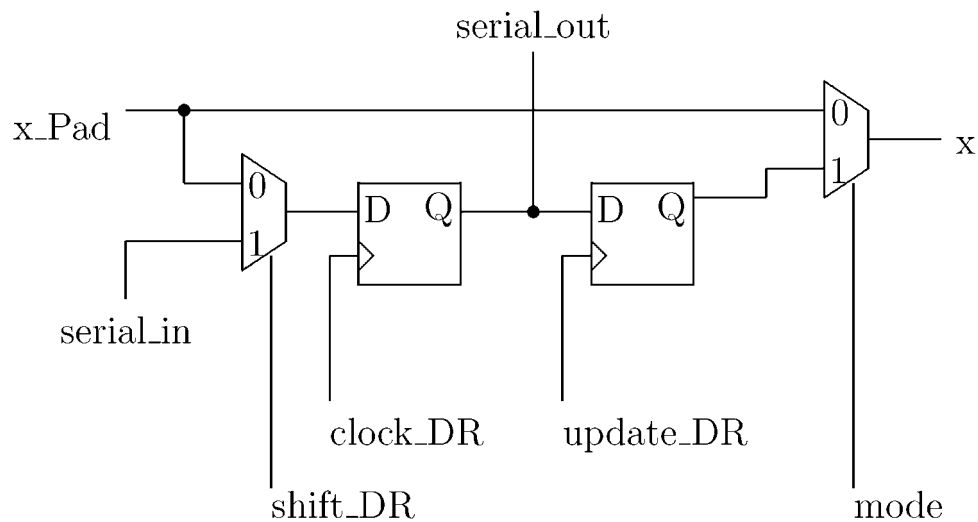
测试

- 边界扫描单元
 - 输出界面扫描单元，支持外测试模式，也支持内测试模式



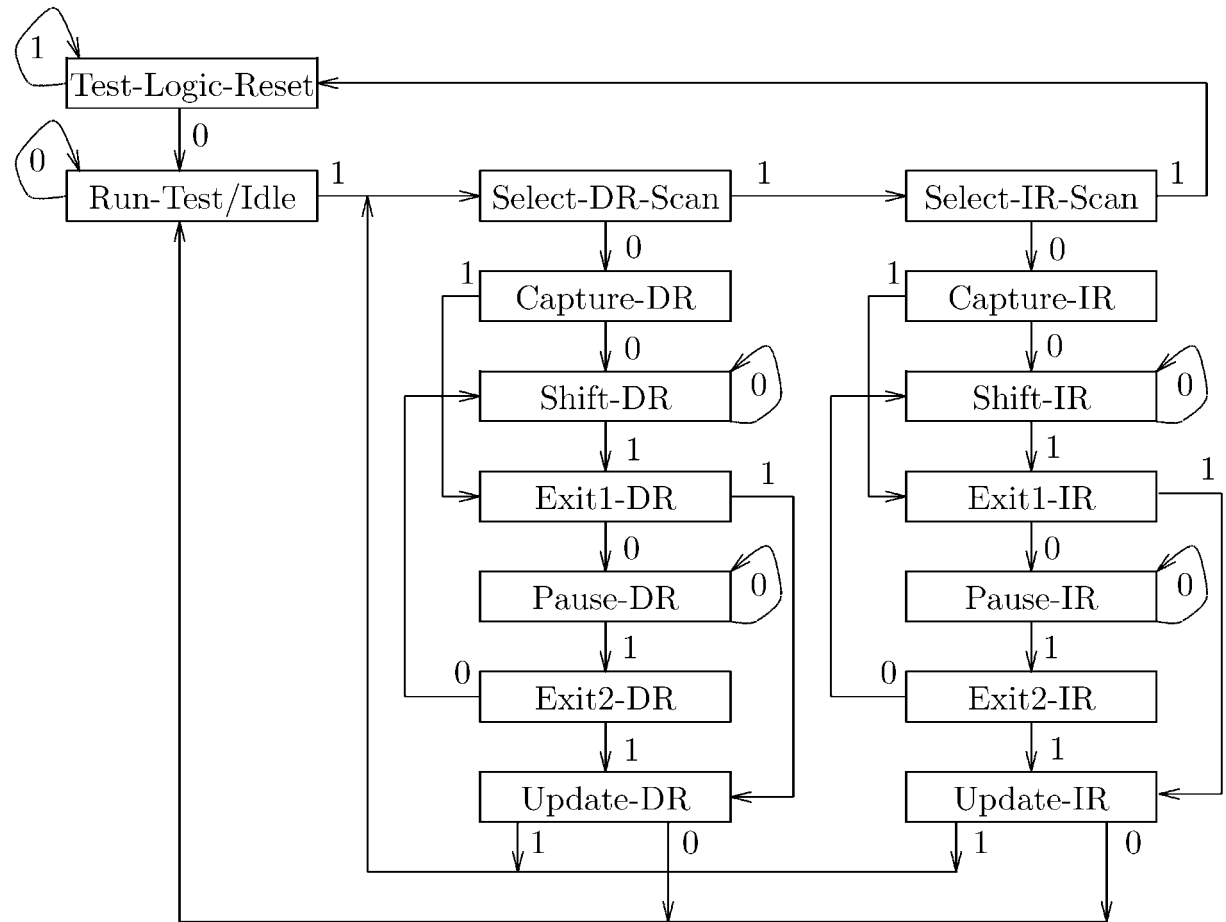
测试

- 边界扫描单元
 - 输入边界扫描单元，支持外测试模式，也支持内测试模式



测试

- TAP控制器



测试

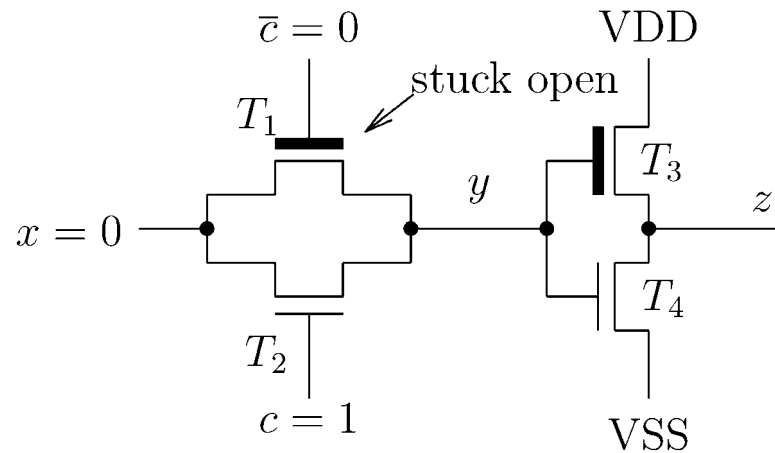
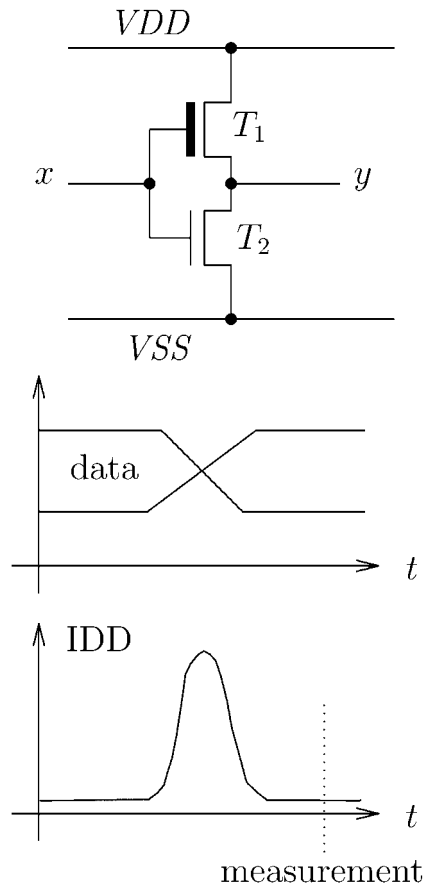


■ IDDQ测试

- IDDQ测试，就是检查芯片在稳定状态下的电流消耗。当放置某些测试模板时，芯片电流消耗显示有明显提高，这表明该芯片有故障。从提高了的电流消耗中可以推断，在生产过程中出现了缺陷。尽管这样，但芯片的功能可能仍然正常。

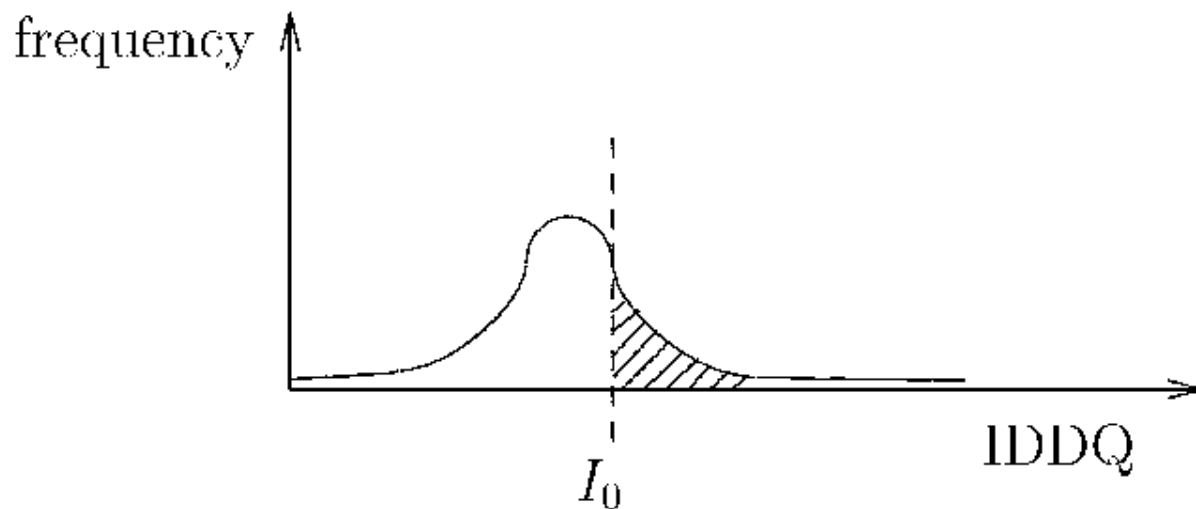
1. *What is the purpose of the study?*
 2. *What are the research questions or hypotheses?*
 3. *What is the study design?*
 4. *What are the variables?*
 5. *What are the data sources?*
 6. *What are the data collection methods?*
 7. *What are the data analysis methods?*
 8. *What are the results?*
 9. *What are the conclusions?*
 10. *What are the limitations?*
 11. *What are the implications?*
 12. *What are the future research directions?*

- VDD



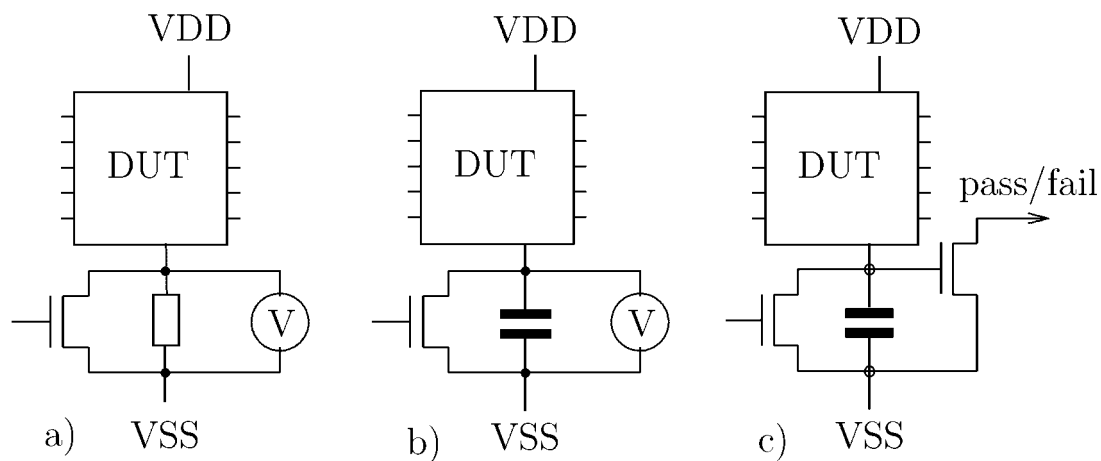
测试

- IDDQ测试可以帮助改善芯片的可靠性。所有可想象的电流消耗增大的故障，从形式上看都可以归于IDDQ故障模型。属于这方面的有桥接故障、栅氧化物短路、晶体管粘连接通故障和某些粘连故障。
- IDDQ阈值



测试

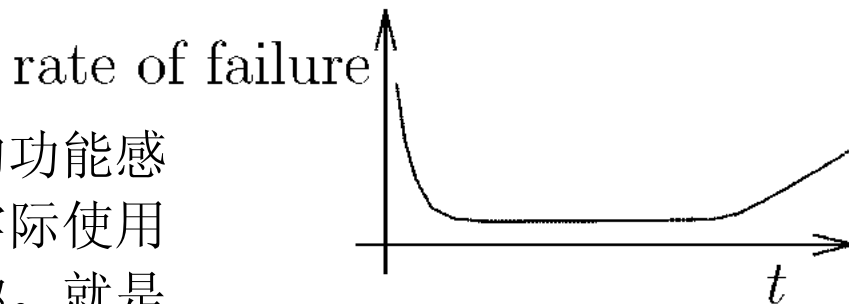
- **IDDQ测量**
 - a) 通过电阻上的电压降测量电流
 - b) 静态电流向电容充电
 - c) 用开关给出结果



测试

- 芯片可靠性

- 人们不仅对芯片制成后的功能感兴趣，而且也对芯片在实际使用中无故障工作时间感兴趣。就是说人们希望芯片具有尽可能高的可靠性。
- 一个有趣的现象，就是生产完成的很多芯片在工作初期很快失效。这就是早期失效。早期失效的原因是并没有马上表现出来的故障缺陷，通电工作后就引起了越来越大的误差。
- 早期失效往往可以通过老化测试来发现。



测试

- 所谓的老化测试，是将芯片置于极度条件下工作，例如，提高环境温度和电源电压，其它可能的应力因素，例如机械振动或温度的大幅度波动。人们试图用这样的环境条件对芯片长时间工作进行模仿，希望这种早期失效在老化测试时已经发生了。老化测试后再进行芯片例行测试，以便选出在这期间失效的芯片。
- 老化测试相当费时、费钱。因此，人们对通过更简单的方法来发现芯片的不可靠性感兴趣。IDDQ测试就是这样一种方法。实验表明，增大的IDDQ电流会使芯片提前报废。特别是在IDDQ测试中失效的许多芯片在老化测试后，其功能也相应地失效了。这意味着，通过了IDDQ测试所移交的芯片，其可靠性也相应提高了。

测试



- 不过，老化测试还包括对其它缺陷的测试，IDDQ测试不可能完全替代老化测试。
- 使用IDDQ测试来判断可靠性，应选用尽可能高的电源电压，以便尽可能明显地发现缺陷。相反，提高温度毫无意义，因为靠升温达到的电流损耗增大并不表明芯片使用寿命较短。
- 老化测试后，IDDQ测试仍有意义，因为通过老化，某些IDDQ故障被增强，以致更容易得到证明。