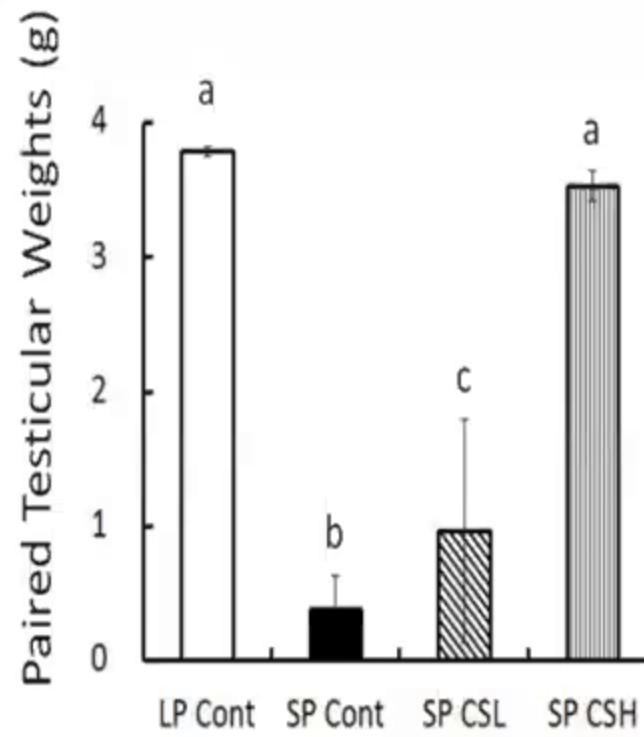


納米武林之n/p男女
_陰鎖陽 (latch-up)

王不老說半导

锁阳

- 锁阳(*Cynomorium songaricum*), 具有补肾阳，益精血，润肠通便之功效。常用于肾阳不足，精血亏虚，腰膝痠软，阳痿滑精
- 最近韓國科學漢醫研究指出，除了一再強調此中藥乃韓國發明之外，也用實驗數據證明此要對金鼠有明顯作用(*The Effects of Cynomorium songaricum on the Reproductive Activity in Male Golden Hamsters*)，高濃度的锁阳汁竟然可以短期內增加相當鼠輩雄性器官的重量(如右圖中所示之a, b為control)，也是厲害！



<https://www.ncbi.nlm.nih.gov/pmc/articles/PMC4282217/>



<https://en.wikipedia.org/wiki/Cynomorium>

陰锁阳的夏姬

- 琥珀在《中国女性沉冤录》中说到：“历朝历代，从夏朝开始，好像人们已经习惯了为每一个王朝兴亡，找出一个替罪牡羊来，夏有妹喜，夏姬，商有妲己，周有褒姒，等等，不一而足”
- 其中夏姬更是被說有陰锁阳的異術，死在她床上的有九個前仆後繼義無反顧的貴族，號稱号称“杀三夫一君一子，亡一国两卿”
- 在硅芯片世界裡，nMOS與pMOS這對夫妻竟然也有陰锁阳的嚴重問題，曰之“latch-up



https://www.sohu.com/a/310220469_407664

Can Your Penis Get Stuck In A Vagina?

We have the answer - by Allen Pike



25 JUN
2018



Getty Images



Subscribe Now-

SUBSCRIBE NOW



WIKIPEDIA

Enciclopedia liberă

Pagina principală
Schimbări recente
Cafenea
Articol aleatoriu
Facebook

Participare

Cum încep pe Wikipedia
Ajutor
Portaluri tematice
Articole cerute
Donări

Trusa de unelte

Ce trimită aici
Modificări corelate
Trimite fișier
Pagini speciale
Navigare în istoric
Informații despre pagină
Citează acest articol
Element Wikidata
Tipărire/exportare

Articol Discuție

Lectură Modificare Modificare sursă Istoric

Căutare în Wikipedia



Photograph a historic site, help Wikipedia, and win a prize. Participate in the world's largest photography competition this month!



[Mai mult](#)

Penis captiv

De la Wikipedia, enciclopedia liberă

Penisul captiv (*Penis captivus*) este imposibilitatea unui mascul de a scoate [penisul din vaginul](#) parteneriei sale în timpul [actului sexual](#). Penișul este reținut în cazul acesta de o contractie puternică a mușchilor vaginului ai femelei (o formă de [vaginism](#)), împiedicând retragerea sa și susținând erecția.^[1]

Acest fenomen este asemănător intrucâtva cu intromisiunea prelungită la [câini](#) care posedă un [os penian](#), din cauza turgescenții penisului după intromisiune, însă este anecdotic la om. Acest fenomen a fost ilustrat în filmul francez [Les Infidèles](#) din 2012.

Fenomenul există în scrierile istorice încă de la 1300.^{[2][3]}

Un singur caz de [penis captivus](#) a fost raportat la om, într-o scrisoare a British Medical Journal din 1980, citând un caz nepublicat din 1947.^[4]

Note

[\[modifica \]](#) [\[modifica sursă \]](#)

1. ^ M. Basavanna. Dictionary of Psychology. 2000

2. ^ Există cu adevărat „penis captivus”? 11 februarie 2014, Sinziana Boară, *Adevărul*, accesat la 18 aprilie 2016



La câine, masculul și femela rămân sudați unul de altul după coit aproximativ 20 de minute

CMOS陰锁阳: Latch-up

- 在 CMOS 技术中，有许多本征(天生)双极晶体管，当 n/p 单元(n/p well)的连接处没有优化时，很容易形成 **Parasitic PNPN paths**，结果有时会瞬间导电，于是乎产生电流一泻如注，晶体管爆体而亡，呜呼哀哉尚饗
- **Parasitic PNPN paths:** NPN and PNP bipolar transistors 二者串联如右，形成极易导电连结 (NPN-PNP circuit coupling)
- 哪麼一般如何解决呢？如果是在太空使用的芯片元件又如何？

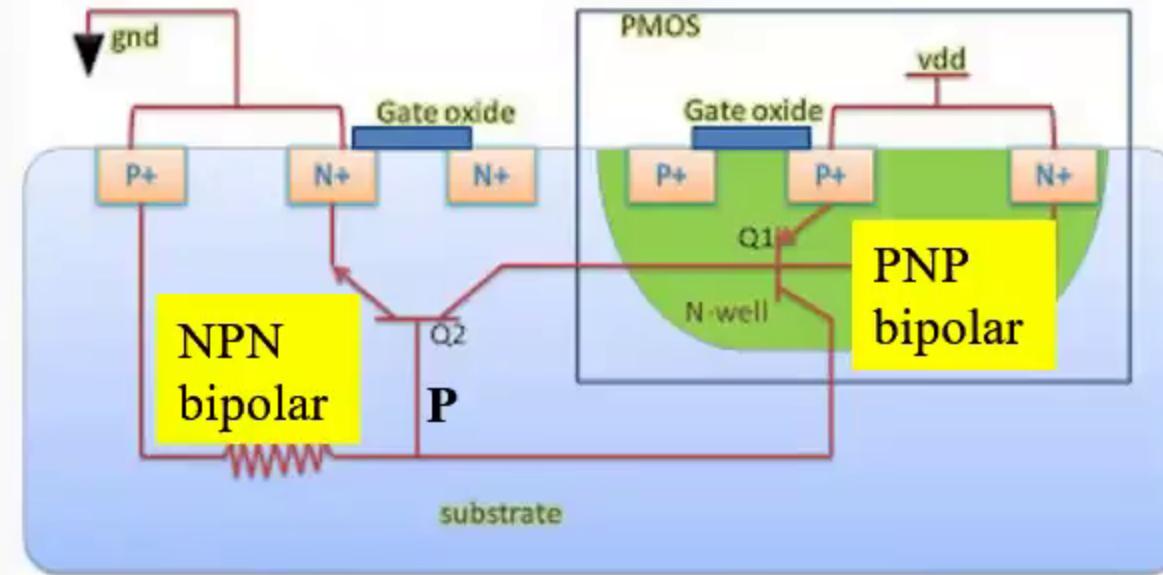


Figure 1 : Latchup formation in a CMOS device

双极性晶体管的最大集电极耗散功率 P_{CM} 是器件在一定温度与散热条件下能正常工作的最大功率。在条件相同的情况下，如果实际功率大于这一数值，晶体管的温度将超出最大许可值，使器件性能下降，甚至造成物理损坏。[\[4\]:35](#)[\[1\]:147](#)

极限电流和极限电压 [编辑]

当集电极电流增大到一定数值 I_{CM} 后，虽然不会造成双极性晶体管的损坏，但是电流增益会明显降低。为了使晶体管按照设计正常工作，需要限制集电极电流的数值。除此之外，由于双极性晶体管具有两个PN结，因此它们的反向偏置电压不能够过大，防止PN结反向击穿。[\[4\]:35-36](#)双极性晶体管的数据手册都会详细地列出这些参数。[\[来源请求\]](#)

当功率双极性晶体管集电极的反向偏置电压 V_{CE} 超过一定数值，并且流经晶体管的电流超出在一定允许范围之内，使得晶体管功率大于二次击穿临界功率 P_{SB} 就会产生一种被称为“**二次击穿**”的危险现象。在这种情况下，超出设计范围的电流将造成器件内部不同区域的局部温度不均衡，部分区域的温度高于其他区域。因为掺杂的硅具有负的温度系数 (temperature coefficient)，所以当它处于较高的温度时，其导电性能更强。这样，较热部分就能传导更多的电流，这部分电流会产生额外的热能，造成局部温度将超过正常值，以至于器件不能正常工作。二次击穿是一种**热失控**，一旦温度升高，电导率将进一步提升，从而造成恶性循环，最终严重损毁晶体管的结构。整个二次击穿过程只需要毫秒或微秒量级的时间就可以完成。^{[1]:151}

如果双极性晶体管集电结提供超出允许范围的反向偏置，并不对流经晶体管的电流进行限制，发射结将发生雪崩击穿，也会造成器件损坏。^{[4]:16}

温度漂移 [编辑]

作为一种模拟的器件，双极性晶体管的所有参数都会不同程度地受温度影响，特别是电流增益 β 。据研究，温度每升高1摄氏度， β 大约会增加0.5%到1%。^{[5]:41}

抗辐射能力 [编辑]

双极性晶体管对电离辐射较为敏感。如果将晶体管置于电离辐射的环境中，器件将因辐射而受到损害。产生损害是因为辐射将在基极区域产生缺陷，这种缺陷将在能带中形成复合中心（recombination centers）。这将造成器件中起作用的少数载流子寿命变短，进而使晶体管的性能逐渐降低。NPN型双极性晶体管由于在辐射环境中，载流子的有效复合面积更大，受到的负面影响比PNP型晶体管更显著。^[22]在一些特殊的应用场合，如核反应堆或航天器中的电子控制系统中，必须采用特殊的手段缓解电离辐射带来的负面效应。

结构 [编辑]

双极性晶体管的最大集电极耗散功率 P_{CM} 是器件在一定温度与散热条件下能正常工作的最大功率。在条件相同的情况下，如果实际功率大于这一数值，晶体管的温度将超出最大许可值，使器件性能下降，甚至造成物理损坏。[\[4\]:35](#)[\[1\]:147](#)

极限电流和极限电压 [\[编辑\]](#)

当集电极电流增大到一定数值 I_{CM} 后，虽然不会造成双极性晶体管的损坏，但是电流增益会明显降低。为了使晶体管按照设计正常工作，需要限制集电极电流的数值。除此之外，由于双极性晶体管具有两个PN结，因此它们的反向偏置电压不能够过大，防止PN结反向击穿。[\[4\]:35-36](#)双极性晶体管的数据手册都会详细地列出这些参数。[\[来源请求\]](#)

当功率双极性晶体管集电极的反向偏置电压 V_{CE} 超过一定数值，并且流经晶体管的电流超出在一定允许范围之内，使得晶体管功率大于二次击穿临界功率 P_{SB} 就会产生一种被称为“二次击穿”的危险现象。在这种情况下，超出设计范围的电流将造成器件内部不同区域的局部温度不均衡，部分区域的温度高于其他区域。因为掺杂的硅具有负的温度系数(temperature coefficient)，所以当它处于较高的温度时，其导电性能更强。这样，较热部分就能传导更多的电流，这部分电流会产生额外的热能，造成局部温度将超过正常值，以致于器件不能正常工作。二次击穿是一种热失控，一旦温度升高，电导率将进一步提升，从而造成恶性循环，最终严重损毁晶体管的结构。整个二次击穿过程只需要毫秒或微秒量级的时间就可以完成。[\[1\]:151](#)

如果双极性晶体管集电结提供超出允许范围的反向偏置，并不对流经晶体管的电流进行限制，发射结将发生雪崩击穿，也会造成器件损坏。[\[4\]:16](#)

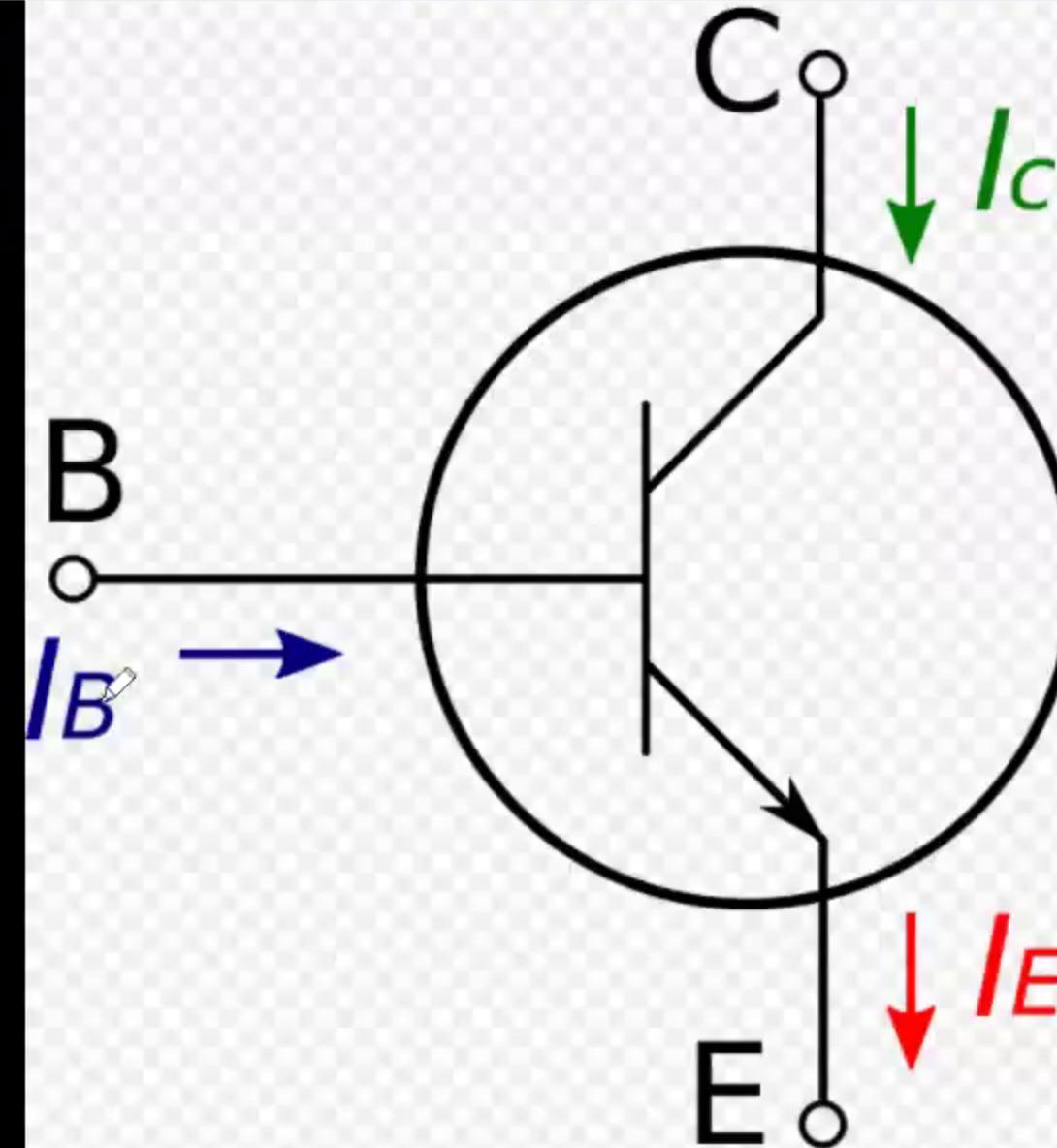
温度漂移 [\[编辑\]](#)

作为一种模拟的器件，双极性晶体管的所有参数都会不同程度地受温度影响，特别是电流增益 β 。据研究，温度每升高1摄氏度， β 大约会增加0.5%到1%。[\[5\]:41](#)

抗辐射能力 [\[编辑\]](#)

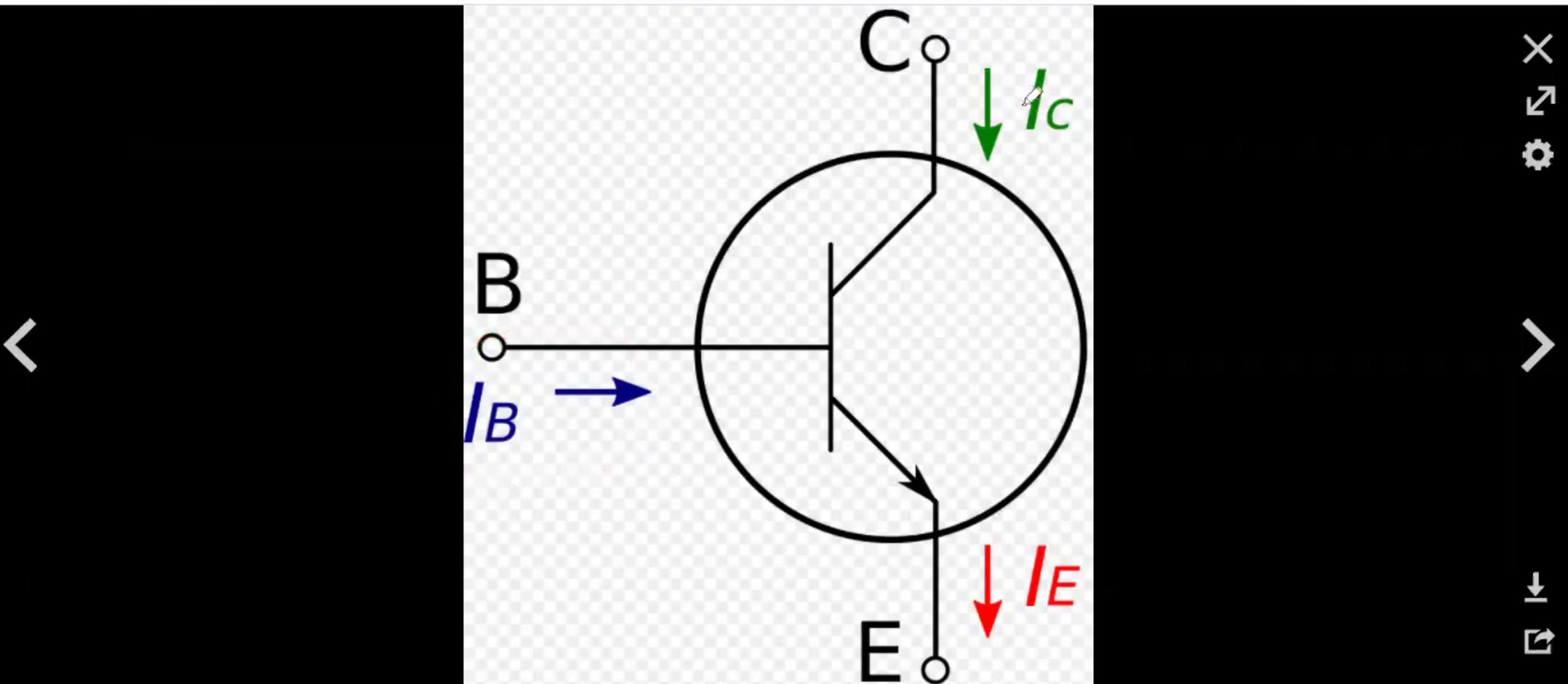
双极性晶体管对电离辐射较为敏感。如果将晶体管置于电离辐射的环境中，器件将因辐射而受到损害。产生损害是因为辐射将在基极区域产生缺陷，这种缺陷将在能带中形成复合中心(recombination centers)。这将造成器件中起作用的少数载流子寿命变短，进而使晶体管的性能逐渐降低。NPN型双极性晶体管由于在辐射环境中，载流子的有效复合面积更大，受到的负面影响比PNP型晶体管更显著。[\[22\]](#)在一些特殊的应用场合，如核反应堆或航天器中的电子控制系统中，必须采用特殊的手段缓解电离辐射带来的负面效应。

结构 [\[编辑\]](#)



Symbol for NPN bipolar transistor with current flow direction

More details



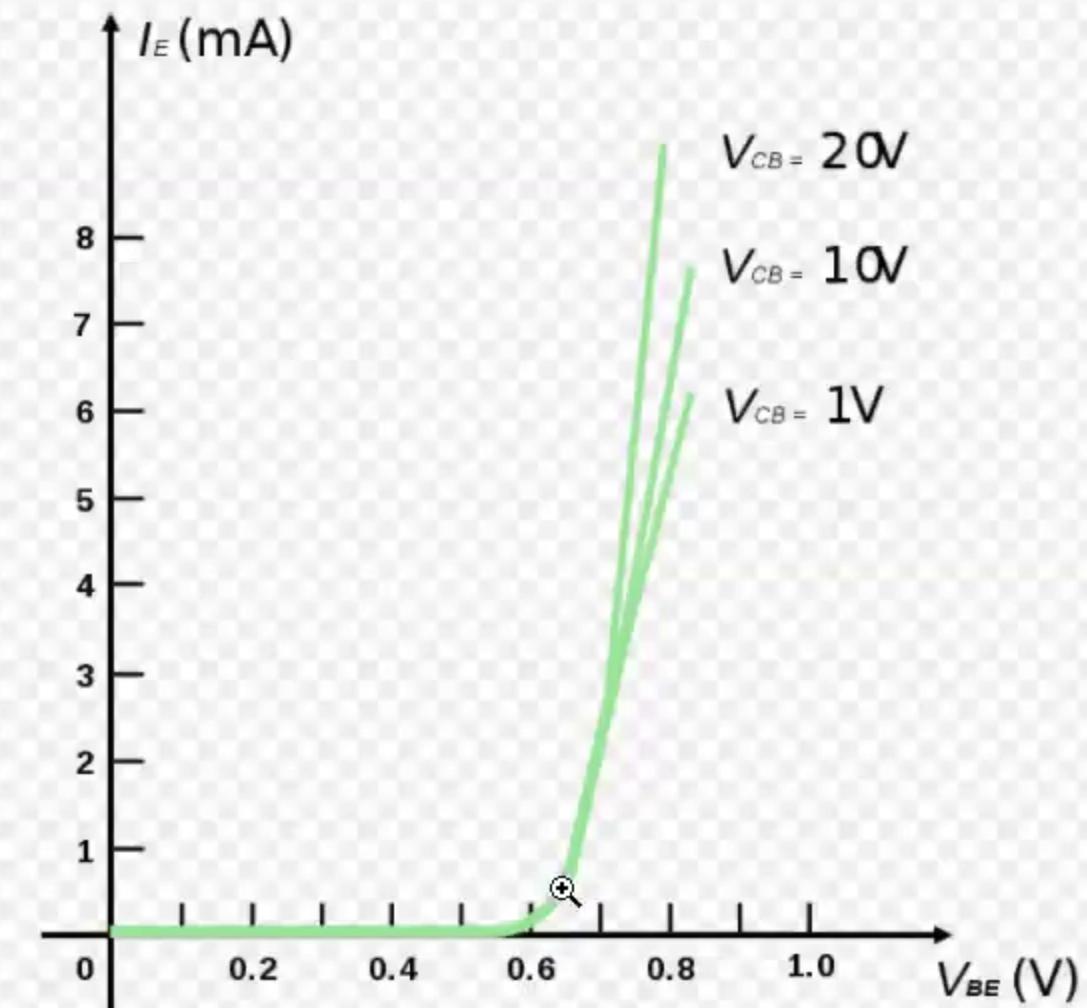
Symbol for NPN bipolar transistor with current flow direction

More details

X

↗

⚙



<

>

↓

⏪

More details

CMOS陰锁阳: Latch-up

- 在 CMOS 技术中，有许多本征(天生)双极晶体管，当 n/p 单元(n/p well)的连接处没有优化时，很容易形成 **Parasitic PNPN paths**，结果有时会瞬间导电，于是乎产生电流一泻如注，晶体管爆体而亡，呜呼哀哉尚饗
- **Parasitic PNPN paths:** NPN and PNP bipolar transistors 二者串联如右，形成极易导电连结 (NPN-PNP circuit coupling)
- 那麼一般如何解决呢？如果是在太空使用的芯片元件又如何？

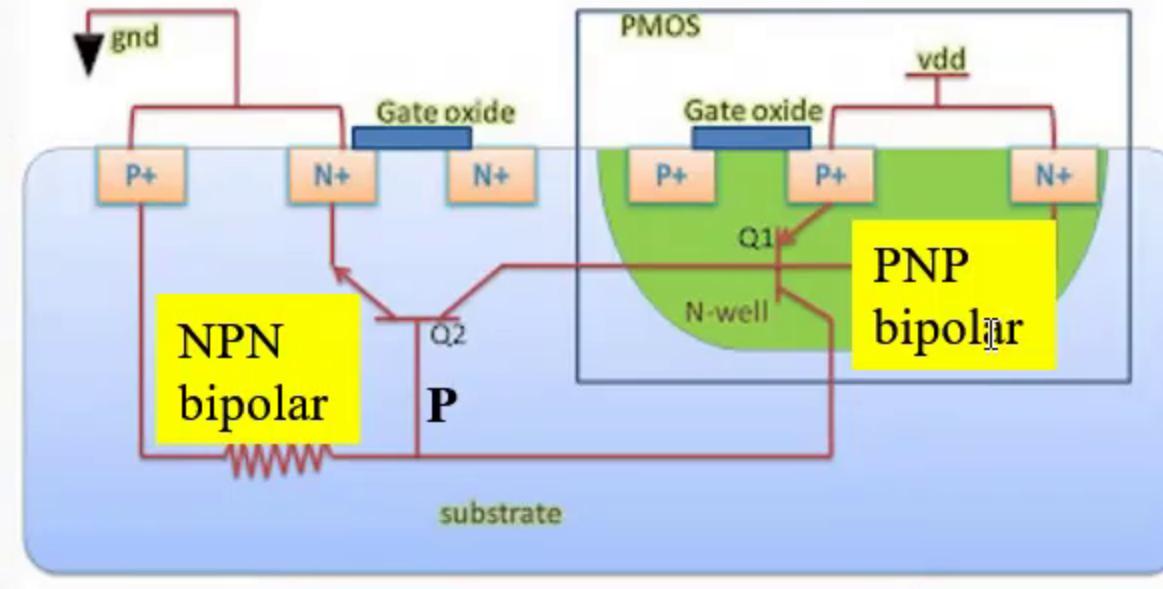
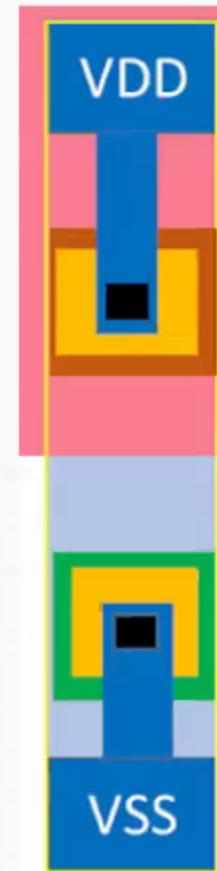


Figure 1 : Latchup formation in a CMOS device

電路設計解決Latch-up?

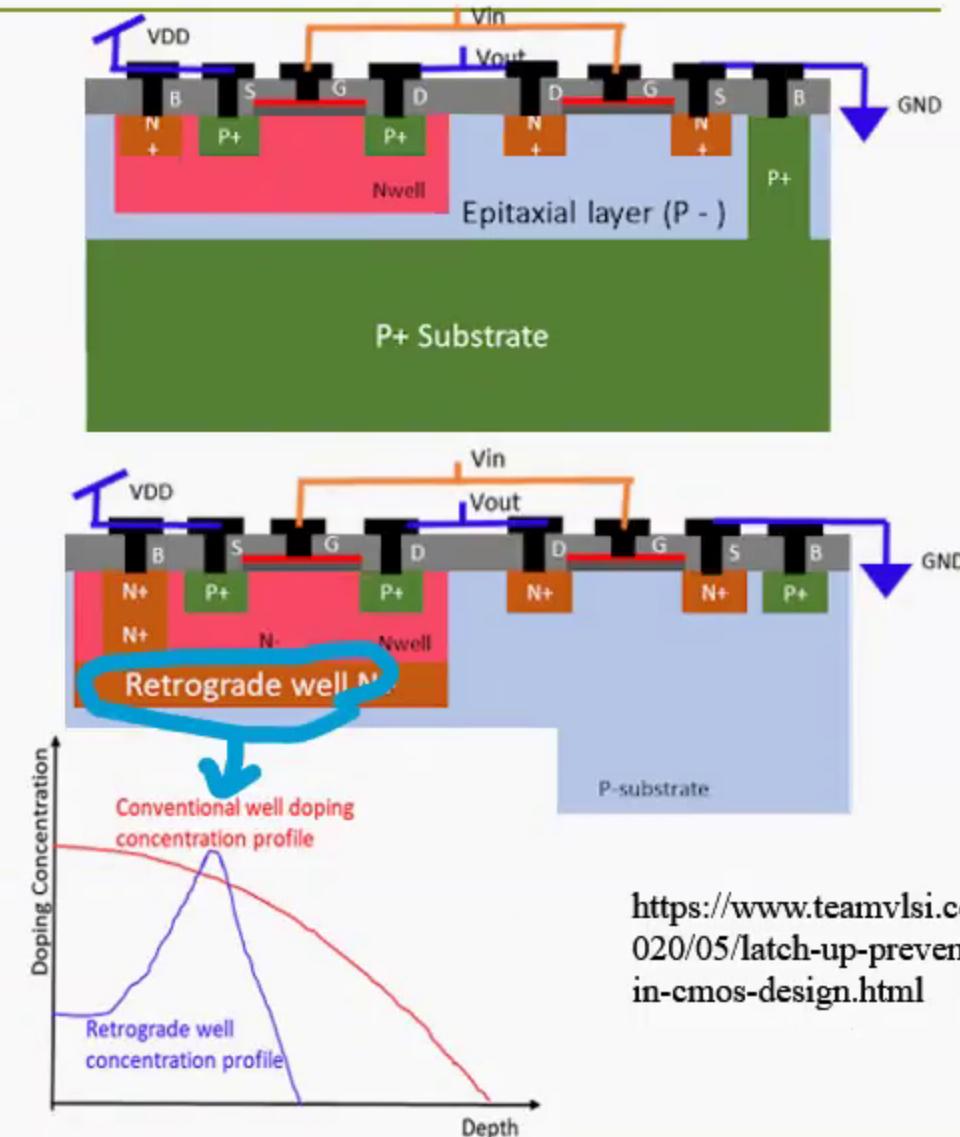
- Latch-up就是芯片內部有些橫向電阻低的路，不
小心因此有電路短路問題
- 解決的方法有許多(因為各芯片應用的方式有關)，
例如右圖乾脆將n/p阱接地或接電源(讓漏電流有
更佳通路，不走**Parasitic PNPN paths**)
 - nwell to the power supply (VDD)
 - P-substrate to the ground (VSS)
- 於是乎就產生了有許多電路設計上的限制與規矩
(我們叫**design rules**: <https://www.intechopen.com/chapters/63608>)
 - 代工廠(台積/三星/英特爾)必須與顧客(Apple/
Qualcomm/ HW)合作，以避免此問題產生



<https://www.teamvlsi.com/2020/08/well-tap-cell-in-asic-design.html>

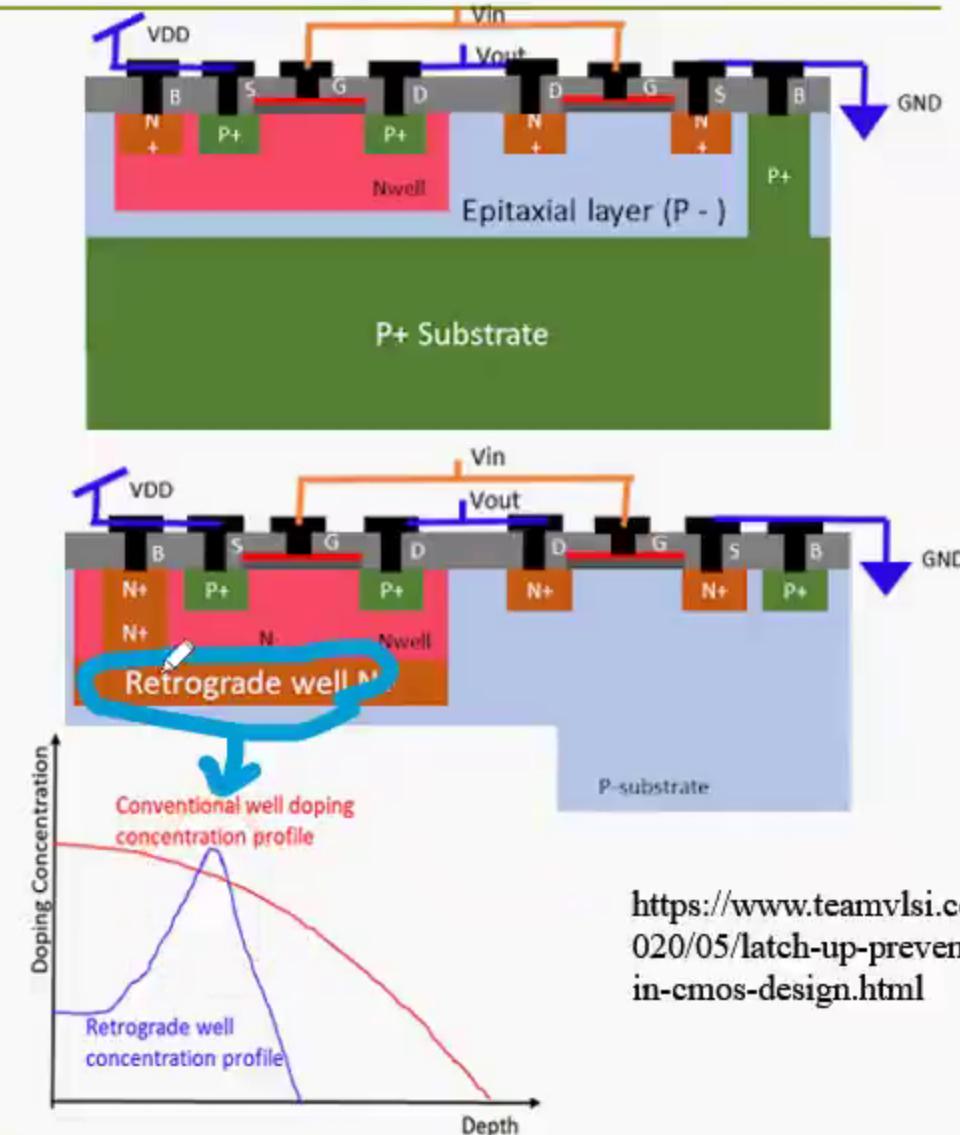
以掺杂剂解决Latch-up?

- **Parasitic PNPN paths** 其實也有段距離，而且是”横向”方向，所以在某些關鍵區遍布低電阻區，以改變漏电流方向，其方法為加一些掺杂剂(dopants): Epi & Retrograde
- Epi: 乾脆買一些含特殊掺杂剂層的晶圓(如右上圖，叫p on p+)可以避免Latch-up，只是相當貴(DRAM廠自然不願用)
- Retrograde: 右下圖中在nwell(n阱)之周邊自己再加工，加一層電阻特別低的區域(Retrograde Well N+)，+的意思就是濃度比N-更高，而且有些**反向操作**的意思，故曰retrograde)，當然加工也是要錢的，先進製程的芯片也因此非常昂貴(台積5nm成本約1.6萬美元/晶圓)



以掺杂剂解决Latch-up?

- **Parasitic PNPN paths** 其實也有段距離，而且是”横向”方向，所以在某些關鍵區遍布低電阻區，以改變漏电流方向，其方法為加一些掺杂剂(dopants): Epi & Retrograde
- Epi: 乾脆買一些含特殊掺杂剂層的晶圓(如右上圖，叫p on p+)可以避免Latch-up，只是相當貴(DRAM廠自然不願用)
- Retrograde: 右下圖中在nwell(n阱)之周邊自己再加工，加一層電阻特別低的區域(Retrograde Well N+)，+的意思就是濃度比N-更高，而且有些反向操作的意思，故曰retrograde)，當然加工也是要錢的，先進製程的芯片也因此非常昂貴(台積5nm成本約1.6萬美元/晶圓)



護城河DTI解決Latch-up

- DTI (deep trench isolation, 如右上圖中的 DT) 就是阻斷了漏電流的天涯路
- 他其實是一個挖出來的深溝，比STI(shallow trench isolation)要深，裡面填充了 SiO_2 絕緣體，他把前面提到的**Parasitic PNPN paths**給阻斷了
 - 若將DTI圍成一圈，則形成guard ring (如右下圖)
- **問題:**DTI還是佔了一些面積，而且也相當費工，特別是以CVD_ SiO_2 填充時，有時候因為AR (aspect ratio = 高/寬)實在太高，結果往往填得不好不夠滿，造成絕緣不足，芯片可靠性因之下降，可能大失良率，麻煩可就大了(台積/三星/英特爾都面臨此挑戰)

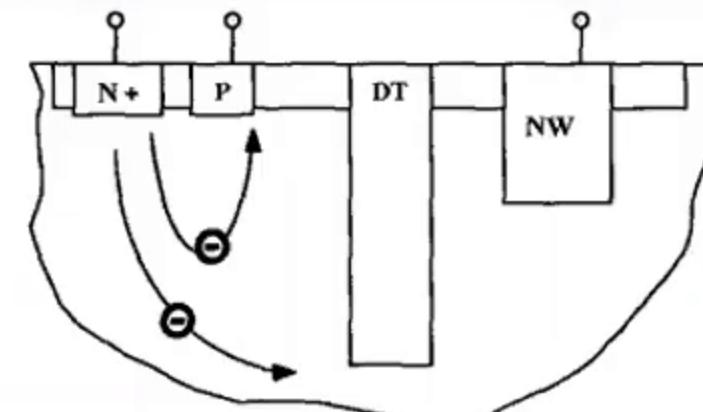


FIGURE 1. DEEP TRENCH GUARD RING STRUCTURE.

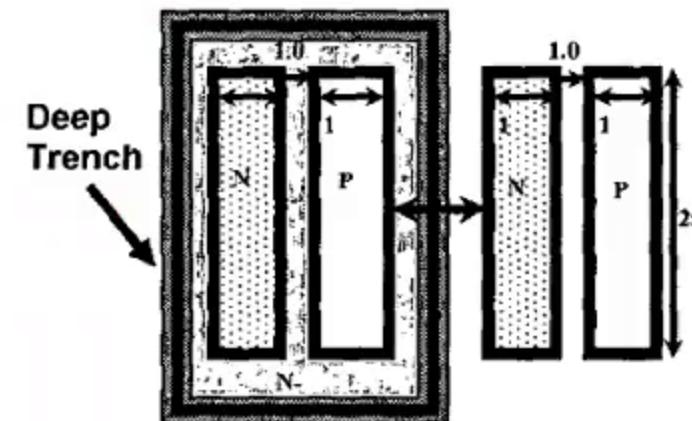
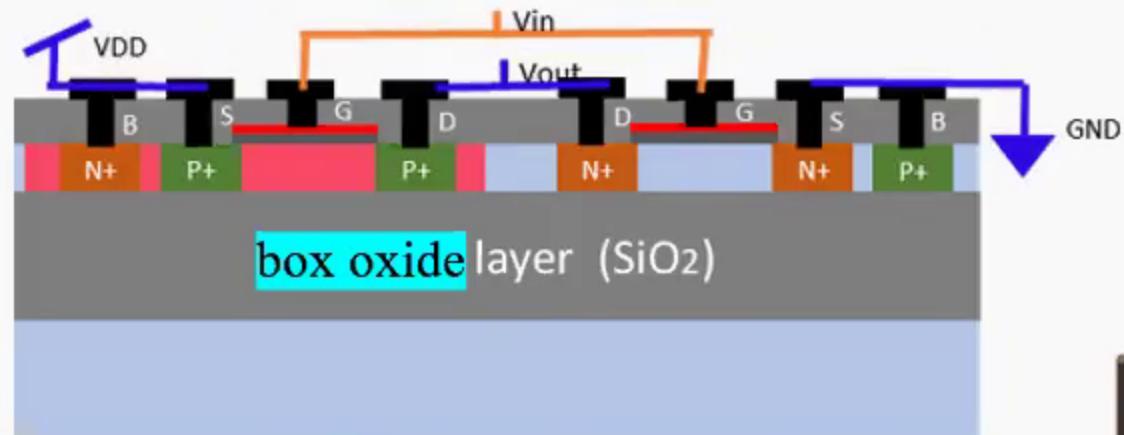


FIGURE 8. DEEP TRENCH LATCHUP STRUCTURE.

昂貴SOI解決Latch-up

- SOI = silicon on insulator, 一種特殊晶圓，其上方有一品質極佳高溫長成 SiO_2 的絕緣層(box oxide)
- Parasitic PNPN paths 漏電流當然很難形成了
 - 注意: 仍需STI(甚至DTI)協助
 - 成本非常高(因此台積/三星/英特爾都望洋興嘆而不用)



太空強烈射線也會造成瞬間Latch-up?

- 太空中強烈的宇宙射線也實會在芯片中瞬間產生某**Parasitic PNPN paths**，糟糕的是，只要一次(**single event latch-up or SEL**)就能爆掉一顆芯片，所以如何避免這種事件發生，已經是個大學問
- 例如電路樹脂版必須不能含U²³⁸(會因吸收宇宙射線而衰變產生高能α粒子)
- 許多公司(如右圖)提供特殊電路設計，宣稱可以避免latch-up



<https://web.archive.org/web/20120312074109/http://www.maxwell.com/products/microelectronics/latchup-protection>

護城河DTI解決Latch-up

- DTI (deep trench isolation, 如右上圖中的 DT) 就是阻斷了漏電流的天涯路
- 他其實是一個挖出來的深溝，比STI(shallow trench isolation)要深，裡面填充了 SiO_2 絕緣體，他把前面提到的**Parasitic PNPN paths**給阻斷了
 - 若將DTI圍成一圈，則形成guard ring (如右下圖)
- **問題:**DTI還是佔了一些面積，而且也相當費工，特別是以CVD_ SiO_2 填充時，有時候因為AR (aspect ratio = 高/寬)實在太高，結果往往填得不好不夠滿，造成絕緣不足，芯片可靠性因之下降，可能大失良率，麻煩可就大了(台積/三星/英特爾都面臨此挑戰)

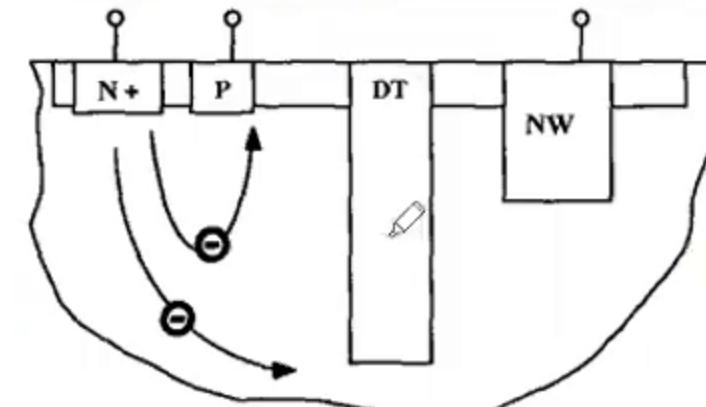


FIGURE 1. DEEP TRENCH GUARD RING STRUCTURE.

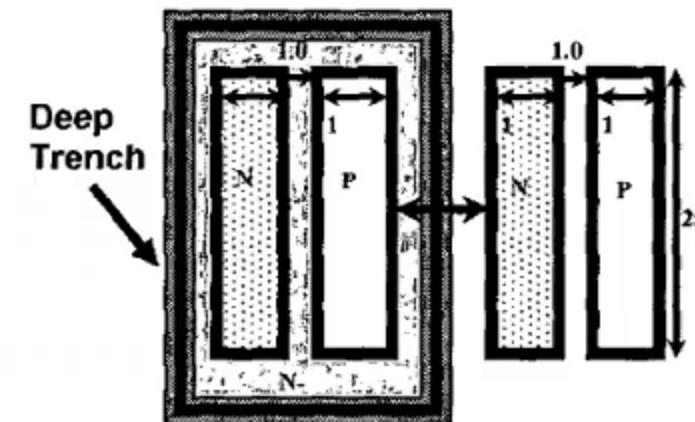


FIGURE 2. DEEP TRENCH LATCHUP STRUCTURE.