

## 0.18 微米芯片后端设计的相关技术

黄令仪、杨旭、陈守顺、左红军、蒋见花

中国科学院微电子中心

### 前言：

现今我国对集成电路芯片的需求量每年正以 15% 的速度增加，它们广泛的应用于通讯、计算机、网络等高科技领域。下表给出 1997 年到 2014 年国际集成电路工艺的发展趋势：

1997 到 2009 年国际集成电路工艺的发展趋势

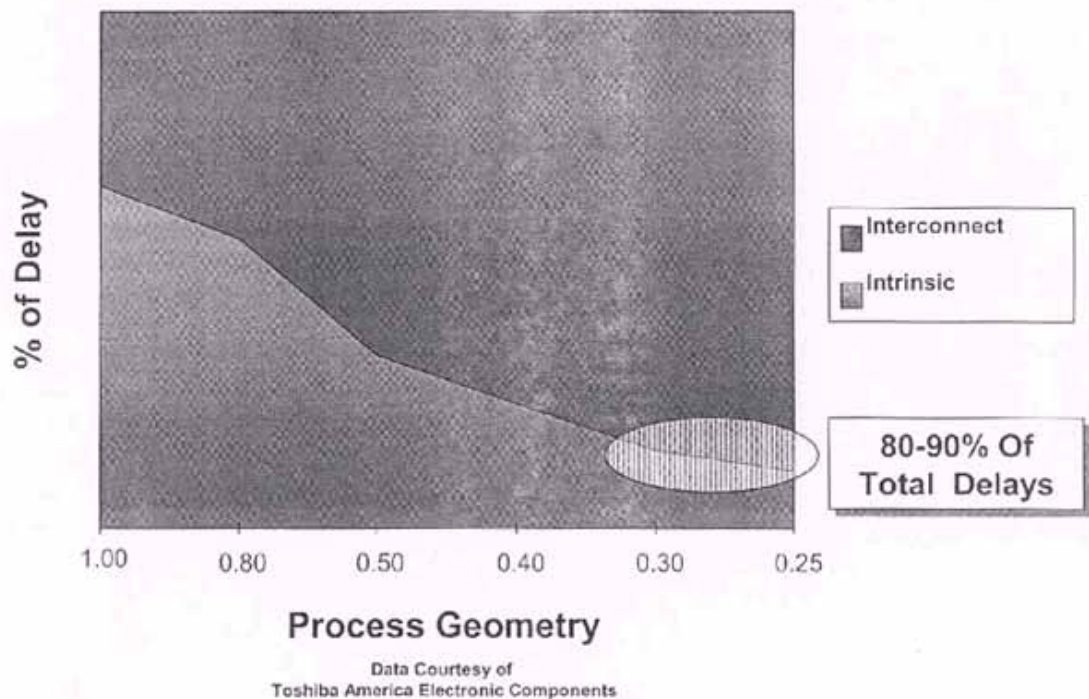
年 度	1997	1999	2001	2003	2006	2009
线宽 ( $\mu\text{m}$ )	0.25	0.18	0.15	0.13	0.10	0.07
晶体管数目 (M)	11	21	40	76	200	520
面积 ( $\text{mm}^2$ )	300	340	385	430	520	620
主时钟频率 (MHz)	750	1200	1400	1600	2000	2500
金属层数	6	6-7	7	7	7-8	8-9

目前国际集成系统芯片情况及未来发展预测

年份		1999	2002	2005	2008	2011	2014
工艺设计规则	$\mu\text{m}$	0.18	0.13	0.10	0.07	0.05	0.035
新逻辑占面积的比	%	64	32	16	8	4	2
再利用逻辑面积比	%	16	16	13	9	6	4
存储器占用面积比	%	20	52	71	83	90	94
晶体管逻辑密度	$\text{MT}/\text{cm}^2$	20	54	133	328	811	2000
新逻辑产能	$\text{MT}/\text{PY}$	1.4	2.1	2.9	4.2	6.0	8.6
再利用逻辑产能	$\text{MT}/\text{PY}$	2.9	4.1	5.9	8.4	12.0	17.1
最大功耗 (便携)	W	1.4	2	2.4	2	2.2	2.4
最大功耗 (高性能)	W	90	130	160	170	174	183

从表中我们可以看到：工艺尺寸愈来愈小，晶体管数目愈来愈大，时钟频率愈来愈高。这样，就给 ASIC 的设计带来了两个突出的技术问题：引线延迟在整个电路的链路中所占的比例愈来愈大，系统的逻辑设计，已不能单纯的根据器件本身的延迟来确定其功能。因此，系统设计必须和物理设计紧密结合。也就是说：设计的中心在发生变化，从以功能设计为中心，到以器件的时序设计为中心，正转向以引线延迟设计为中心。如下图所示：

## DSM Physical Effect Dominance



此外，当进入  $0.18\mu$  或更细尺寸时，信号完整性问题非常突出了。所谓信号完整性主要包括：由耦合电容导致的信号串扰（CrossTalk），由给芯片加电源、地网络时，在电源线上产生的压降（IRdrop）。这些技术是必须解决的，这也是当前 EDA 业界十分热门的技术。

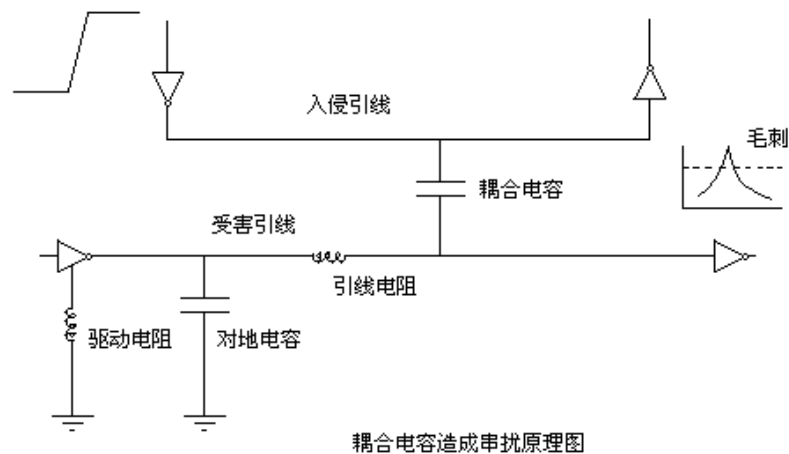
### 时序模拟的精确性：

由于互连引线延迟在整个电路链中所占的比例已超过 80%，而通常在综合优化中，互连引线的延迟是采用“线模型”（wireload model），其内容为多长引线等效多少个标准负载。而线模型的产生来源于加工完的芯片，实测其长度及其相应的引线延迟，并利用统计值来确定的。因此，根据线模型进行综合时的时序估计与布局布线完成后的时序估计必然会造成一定的差异。如何才能使这两者的时序估计一致起来，成为深亚微米大规模集成电路芯片设计技术的关键。Cadence 公司推出的 PKS（Envisia<sup>TM</sup> Physically Knowledgeable Synthesis）物理综合工具。是在综合时就把布局布线中的互连线延迟时间考虑进去。而且 PKS 的优化算法比 SE（Envisia<sup>TM</sup> Silicon Ensemble Place and Route）还强。因为将综合优化、布局布线生成在统一的物理数据库中能够把综合优化后的时序与布局布线后的时序一致（误差小于 3%）。我们在  $0.18\mu$  的 ASIC 设计中就是采用：SE - PKS 的流程来解决了时序模拟的精确性。使仿真模拟的速度与实际芯片实测速度一致。

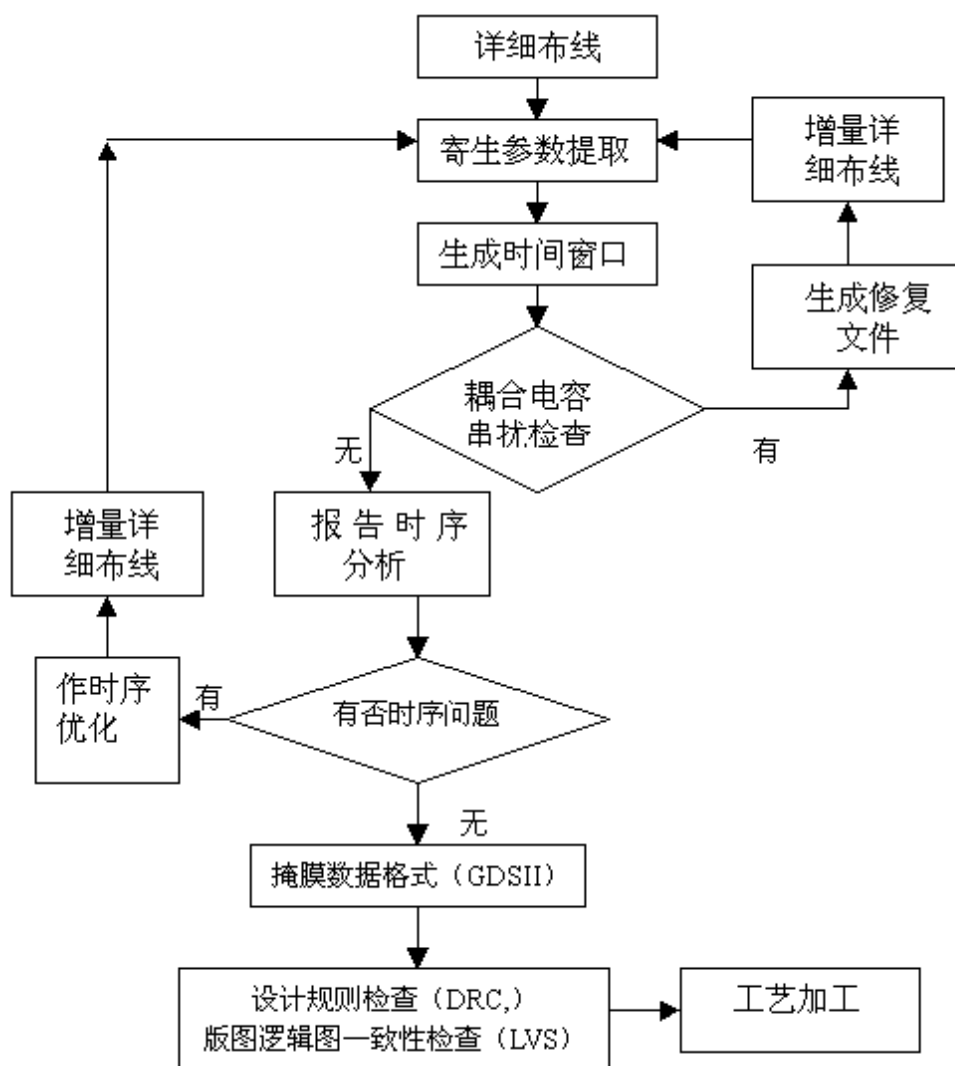
## 信号完整性:

### 一. CrossTalk 问题。

引线间的耦合电容会产生串扰信号（CrossTalk）原理图如下：



这种信号间的串扰是随线条宽度不同而不同。 $0.25\mu$ 开始出现。 $0.18\mu$ 较为严重。而 $<0.18\mu$ 则非常严重。这个问题若不解决。后果是非常可怕的。即使加工工艺完美无缺，设计规则完全符合，模拟仿真正确无误。但投片后出来的芯片还是无法工作。看得见功能不正常，查不出芯片不能工作的原因。因此，解决耦合电容导致的信号串扰问题已成为研制高速大规模IC芯片的最热门的技术之一。全球各大IC研制公司均提出了自己解决这个问题方法，但都秘而不宣。各大EDA软件公司如Cadence公司开发了具有信号完整性的布局布线工具（Envisia<sup>TM</sup> Place and Route With Signal Integrity）称为SE\_SI（Silicon Ensemble Place and Route – Envisia<sup>TM</sup> Place and Route with Signal Integrity）。由于SE\_SI对耦合电容造成的信号串扰的算法比较小心，与实际的串扰值相比过于保守。因此Cadence公司紧接着推出了Celtic程序。其中提出了“时间窗口”（Timing Window）的概念。对每一条连线由静态时序分析器（Pearl）计算出它们在同一个时钟周期内的信号上升（或下降）的最早到达时间和最晚到达时间，信号上升（或下降）的最小斜率和最大斜率，信号上升（或下降）的最小源电阻和最大源电阻。只有当入侵连线的“时间窗口”与受害连线的“时间窗口”重叠而且相位不同时。才可能使受害连线的功能改变。Cadence公司推出的SE - PKS修复耦合电容造成信号干扰的流程如图：



SE - PKS 修复耦合电容造成信号干扰的流程

当发现了需要修复的连线后，通常有四种方法进行修复：

- (1) 加宽入侵连线与受害连线之间的距离。
- (2) 在受害连线中增加一个缓冲器 ( Buffer )。
- (3) 在受害连线中增加 N 个缓冲器 ( Buffers )。
- (4) 在受害连线两侧加 VDD 或 VSS 来屏蔽与其它连线的耦合电容。

在计算哪些连线必须修复时，提高提取寄生参数的精度是很关键的。Cadence 新近又推出了三维快速的提取寄生参数程序 Fire and Ice。因此，Cadence 对如何修复由于耦合电容造成的干扰信号，有了完善的解决方案。

## 二. IRdrop 问题。

在芯片的电源、地网络上产生的压降 ( IRdrop ) 也是信号完整性问题的一个方面。在深亚微米工艺的低电压工作状态下，当芯片的规模增大，在电源线上

产生的压降增大。从而使电压分布不均匀。当超过一定的值后，导致信号失真，甚至信号失效。解决的办法是在布线资源得到保证的前提下加宽加密电源线。我们在进行 0.18 $\mu$  的 ASIC 设计时，采用 Cadence 公司的 Power Analysis 对电源的分布情况进行分析，其分析的结果跟实际情况符合的很好。

由于我们充分注意了上述两个关键技术的解决。在进行 0.18 $\mu$  芯片的后端设计中达到了仿真速度与加工后实测的速度一致。而且没有发现信号完整性的问题，芯片功能正常。