
集成于射频芯片的 LDO

电路设计报告

总体电路仿真报告

版图设计报告

电子科技大学 VLSI 设计中心

2015 年 11 月 10 日

目 录

目 录

第一部分 应用.....	1
LDO 的分析与设计	1
LDO 芯片的特点	1
LDO 芯片的详细性能参数	1
第二部分 电路设计报告.....	5
整体电路上电启动模块	5
电流偏置模块	7
带有修调功能的基准模块	11
带隙基准源的修调电路设计	21
预调整放大器模块	23
低通滤波器模块	27
保护电路模块	31
电压跟随器模块	39
第三部分 总体电路的仿真	43
直流参数	44
线性调整率	45
负载调整率	46
静态电流	46
瞬态仿真	47
噪声仿真	48
交流特性仿真	49
PSRR 特性仿真	52
第四部分 LDO 芯片版图设计.....	56

第一部分 应用

LDO 的分析与设计

本论文完成了一种应用于集成于射频芯片的LDO的分析与设计。本文主要从稳定性、负载瞬态响应、电源抑制比和噪声四个方面进行了分析。然后，采用SMIC 0.18 μm CMOS工艺完成了包括功率调整管、电阻反馈网络和误差放大器三个部分的电路设计，并用Cadence Spectre对设计的整体电路进行了仿真和优化，最终实现电路的设计要求，而且可以在片内集成。可在0.1mA~300mA的负载电流范围内稳定工作，电路正常工作时温度范围： -55°C ~ $+125^{\circ}\text{C}$ ，该电路工作电压范围为2.1~3.6V，输出电压1.8V，输出电压在全范围的波动： $\leq 4\text{mV}$ ，输出电压准精度： $\leq 10\text{mV}$ ，最小压差在300mV以下，静态电流 $\leq 60\mu\text{A}$ ；在10Hz~100KHz范围内的内部输出噪声积分约为， $\leq 20\mu\text{VRMS}@20\text{mA}$ 、 $\leq 50\mu\text{VRMS}@80\text{mA}$ 、 $\leq 100\mu\text{VRMS}@300\text{mA}$ ；电源抑制比（PSRR，在10KHz以下）： $\geq 60\text{dB}@20\text{mA}$ 、 $\geq 60\text{dB}@80\text{mA}$ 、 $\geq 60\text{dB}@300\text{mA}$ ；线性调整率： $\leq 0.1\%$ ；负载调整率： $\leq 1\%$ ；启动时间： $\leq 100\mu\text{s}$ ；电压瞬态响应： $\leq 30\mu\text{s}$ ；负载瞬态响应： $\leq 50\mu\text{s}$ ；输出启动电压过冲： $\leq 100\text{mV}$ ；集成输入欠压过压保护、输出断路保护。另外集成过温保护以及输入软启动电路。

LDO 芯片的特点

- ◆ 低静态电流
- ◆ 0.1mA~300mA的负载电流范围内稳定工作，带载能力强
- ◆ 在10Hz~100KHz范围内的内部输出噪声小
- ◆ 高电源抑制比（PSRR，在100KHz以下）
- ◆ 可全片内集成

LDO 芯片的详细性能参数

下面将集中讲述一下此次芯片电路设计应该满足的条件，以便于在电路设计过程中有

一个总体的设计框架和设计思路。

衡量LDO的性能参数较多，下面介绍主要的几种性能参数。从对这些性能的分析过程中，可以看到各个性能之间不是独立的，性能和性能之间会相互影响和制约。因此，在设计时，要根据具体要求来具体分析。

1) 电压差(Dropout Voltage)

当输入电压下降时，输出电压不能再恒定在预定的值，这时的输入电压与预定的输出电压的差值就是电压差。在实际设计LDO时，为了达到更高的效率，常常希望电压差越小越好。一般通过增大功率调整管的尺寸，就可以使电压差减小。但是调整管尺寸的增大，会对稳定性、负载瞬态响应及电源抑制等性能有很大影响。因此，在设计时，需要根据具体要求来具体分析。

2) 静态电流(Quiescent Current)

静态电流也叫接地电流，是LDO内部电路所消耗的电流，等于输入电流与负载电流的差值。低的静态电流能提高LDO的效率，延长电池的使用时间。静态电流包括带隙基准电压源和误差放大器消耗的电流，及调整管通过采样电阻网络到地的漏电流。对于用MOS晶体管做功率调整管的LDO，由于MOS是电压控制器件，因此它的静态电流与负载电流无关。

3) 效率(Efficiency)

LDO的效率与静态电流和电压差有关，表达式如下式所示：

$$\eta = \frac{V_{out}I_{load}}{V_{in}(I_Q + I_{load})} \times 100\%$$

I_{load} 为负载电流， I_Q 为静态电流。由(2-1)式可以看到，若想LDO效率高，静态电流和电压差就要尽可能的小。

4) 负载调整率(Load Regulation)

负载调整率表征的是负载电流变化对输出电压变化的影响程度。定义为输入电压不变时，负载电流的变化引起输出电压的变化与输出电流变化的比值。即：

$$S_L = \frac{\Delta V_{out}}{\Delta I_{out}} \times 100\%$$

其中， S_L 为负载调整率。

5) 线性调整率(Line Regulation)

线性调整率表征的是输入电压变化对输出电压变化的影响程度，该值越小，LDO的稳压

能力越强。线性调整率定义为在恒定载电流、温度等其他条件下，改变输入电压，输出电压的变化量与输入电压的变化量的比值。公式表示如下：

$$S_V = \frac{\Delta V_{out}}{\Delta V_{in}} \times 100\%$$

LD0的线性调整率与功率调整管的跨导 g_{mp} 和导通电阻 R_{on} 、反馈电阻 R_{f1} 和 R_{f2} 、负载电阻 R_{load} 以及误差放大器的增益 A_{EA} 有关。

6) 负载瞬态响应 (Load Transient Response)

LD0的瞬态响应包括两个方面：线性瞬态响应 (Line Transient Response) 和负载瞬态响应。线性瞬态响应表征的是输入电压发生瞬变时，输出电压的响应情况；负载瞬态响应表征的是负载电流发生瞬变时，输出电压的响应情况。由于LD0工作时候，供电电压相对稳定，而负载电流经常发生变化，因此，在这两种瞬态响应中，人们关注的主要是负载瞬态响应。

负载瞬态响应与LD0的闭环增益带宽积 (Gain Bandwidth, GBW)、输出电容和负载电流有关，输出电压的变化如 (2-10) 式所示：

$$\Delta V_{out} = \frac{\Delta I_{load} \cdot \Delta t}{C_{out}}$$

ΔI_{load} 是负载电流的变化， Δt 是LD0的环路响应时间，近似为LD0环路增益带宽积的倒数， C_{out} 是输出电容。环路增益带宽积和输出电容越大，负载电流瞬态变化引起的输出电压的过冲越小，LD0的性能越好。

7) 电源抑制比 (Power Supply Rejection Ratio)

电源抑制比简称为PSRR，表征的是输出电压对输入电压噪声的抑制能力。对于LD0来说，输入电压就是电源电压。输出电压对电源噪声的抑制是很有必要的。例如手机，其工作在高频的收发机对电源变化和噪声很敏感。电源上的噪声会严重影响传输频率，不稳定的传输频率会恶化声音信号和通信质量。因此应该尽可能的抑制电源上的噪声。

电源抑制比通常表示为：

$$PSRR = 20 \lg \frac{V_{out}}{V_{in}}$$

单位为分贝 (dB)。和分别指的是输出电压和输入电压小信号的变化量。PSRR的dB值越大，电源抑制能力越好。LD0的线性调整率和电源抑制比有类似之处，都是描述输出电压

变化与输入电压变化的关系。不同之处是前者考虑的是低频大信号，其值不随频率发生变化。而后者考虑的是交流小信号，对于在不同频率的输入信号下，电源抑制比是不同的。

8) 噪声 (noise)

LD0内部噪声模型，总输出噪声为

$$\overline{V_{n_out}^2} = (\overline{V_{n_ref}^2} + \overline{V_{n_amp}^2}) \cdot (1 + \frac{R_{F1}}{R_{F2}})^2 + \overline{V_{n_r2}^2} \cdot (\frac{R_{F1}}{R_{F2}})^2 + \overline{V_{n_r1}^2}$$

其中 $\overline{V_{n_ref}^2}$ 为输入参考电压Vref的噪声；为 $\overline{V_{n_amp}^2}$ 误差放大器以及功率PMOS管的等效输入噪声； $\overline{V_{n_r1}^2}$ 、 $\overline{V_{n_r2}^2}$ 为反馈电阻RF1、RF2的热噪声。由式中可知，要减小其总输出噪声，可从3个方面入手：(1)减小参考电压 V_{REF} 引入的噪声；(2)减小或去除反馈电阻 R_{F1} 、 R_{F2} ；(3)增加输入管的跨导来减小误差放大器和功率PMOS管的等效输入噪声。

第二部分 电路设计报告

整体电路上电启动模块

1. 功能描述(Function Description)

启动电路主要控制LDO的开启和关断，在启动上电后给后面模块提供两个控制使能信号，是电路正常运转。

2. 输入/输出信号功能描述(Input/Output Signal Architecture Fun Description)

CTRL：上电使能信号

EN、ENN：使能控制信号

3. 等效框图(Equivalent Structure Diagram)

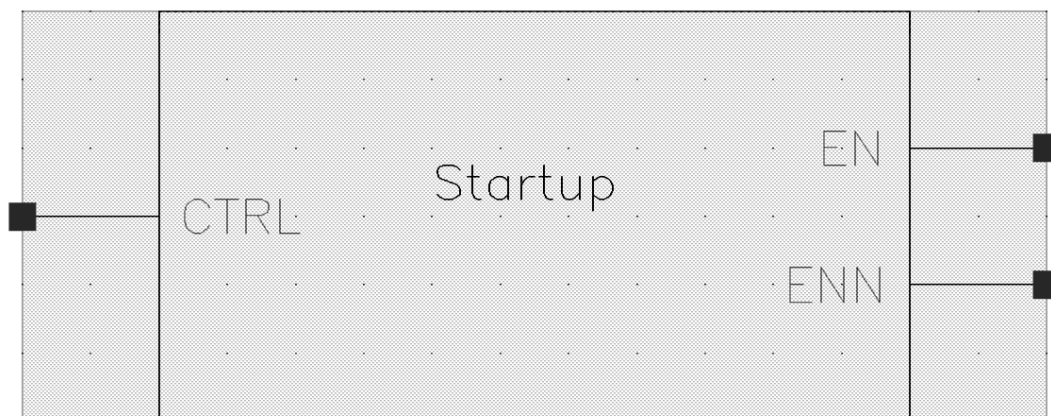


图 2-1 SStartup 模块等效框图

4.实际分析(The Fundamental of Equivalent Structure Diagram)

该电路为整个LDO的启动电路部分，为偏置电路和基准电路提供使能信号，使整个电路正常工作。图中M0的源、漏端均接地，为一电容，与R3构成低通滤波器。M1的栅、源端均接地，为一个大电阻。当CTRL为低电平时，ENN为高电平，EN为低电平；当CTRL为高电平时，ENN为低电平，EN为高电平。M3的栅端与I13的输出端相连，形成正反馈，加速了EN与ENN的电平转换。

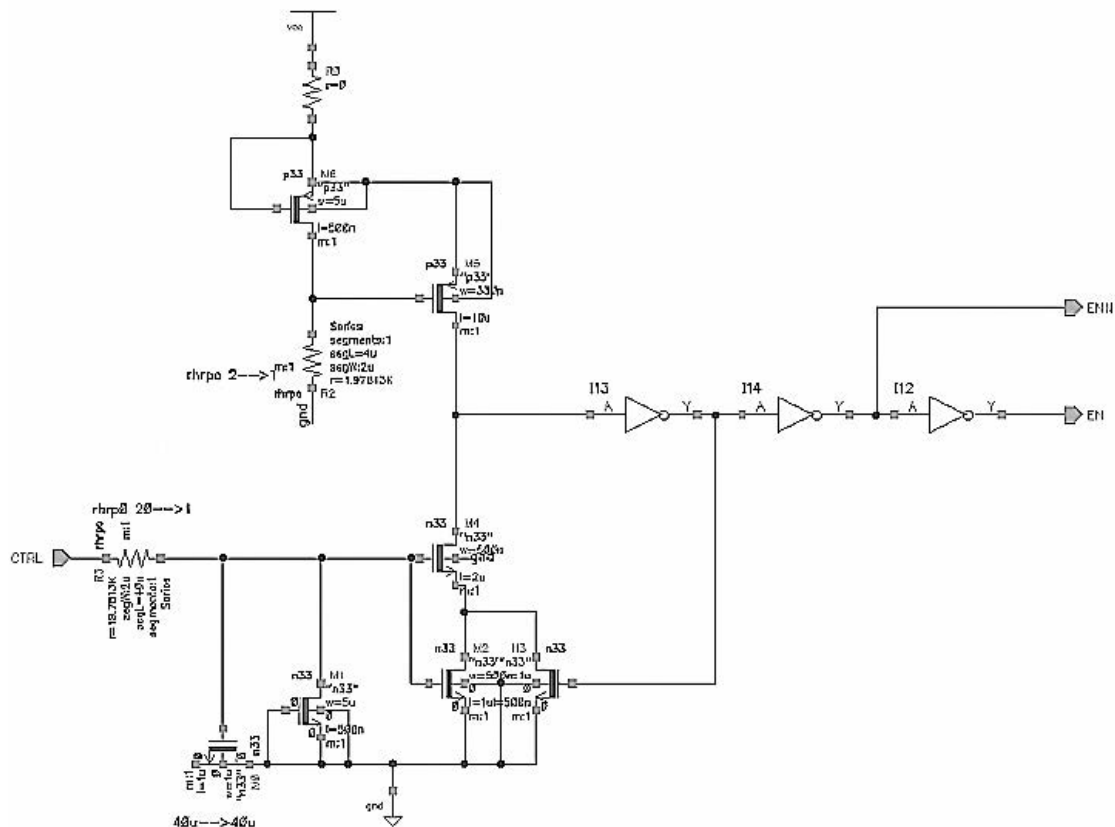


图 2-2 实际电路图

5.实际线路图瞬态特性分析(The Electrical Characteristics of TRAN)

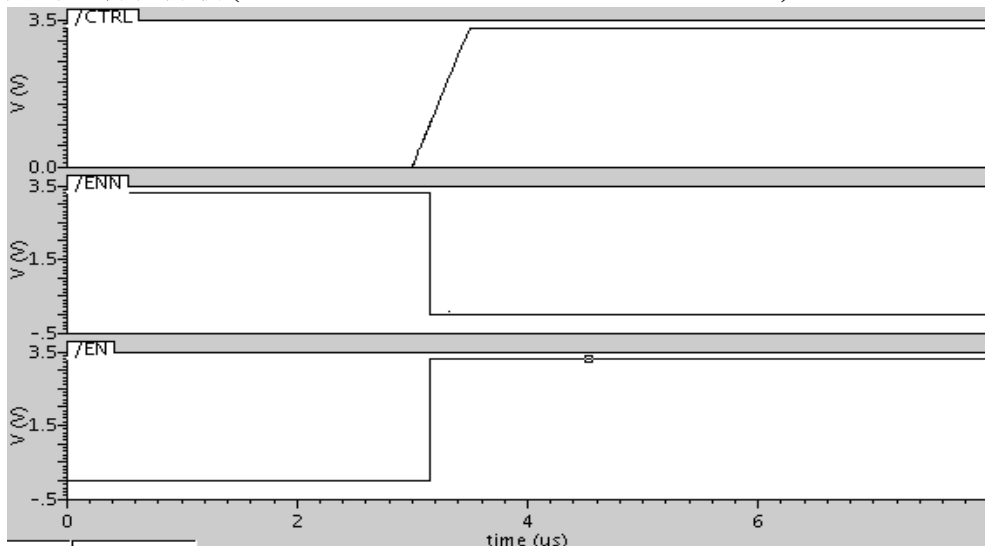


图 2-3 瞬态仿真结果

图2-3为该启动电路的仿真结果，与电路分析结果一致。从波形图中可以看出，CTRL控制得到的ENN与EN为较完美的高低电平信号，为偏置电路和基准电路提供了良好的使能信号。

1. 功能描述(Function Description)

本次设计的偏置电流大小为 $I_{bias}=1\text{ uA}$

EN:Start_up输入到电流偏置的使能控制信号

IRG1、IRG2、IRG3: 输出的使能控制信号

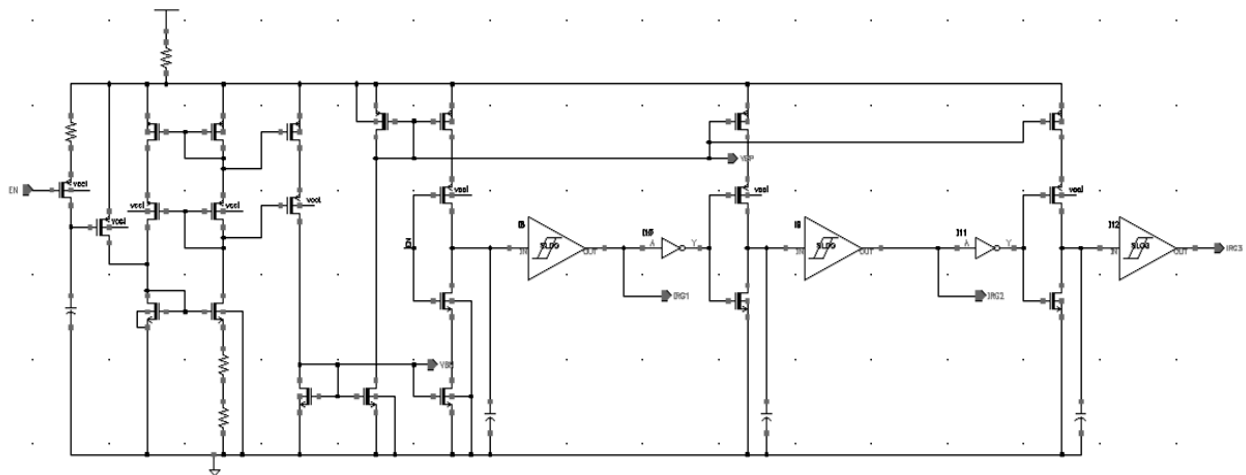
The diagram shows the 68000 microprocessor with its pins and internal components. The pins are labeled as follows:

- EN**: Enable pin, connected to a square wave signal.
- VBP**: VDD pin, connected to a square wave signal.
- VBN**: VDD pin, connected to a square wave signal.
- IRG1**: IR pin, connected to a square wave signal.
- IRG2**: IR pin, connected to a square wave signal.
- IRG3**: IR pin, connected to a square wave signal.
- VBP**: VDD pin, connected to a square wave signal.
- VBN**: VDD pin, connected to a square wave signal.
- IRG1**: IR pin, connected to a square wave signal.
- IRG2**: IR pin, connected to a square wave signal.
- IRG3**: IR pin, connected to a square wave signal.

The internal components of the 68000 are labeled as follows:

- BIAS**: Bias pin, connected to a square wave signal.
- IRG1**: IR pin, connected to a square wave signal.
- IRG2**: IR pin, connected to a square wave signal.
- IRG3**: IR pin, connected to a square wave signal.

4. 实际线路图原理分析(The Fundamental of Actual Circuit)



7

这里先简单分析一下产生电流偏置的启动电路模块，启动电路由PMOS管M0，M9和电阻R0，电容C组成。因为此电流偏置模块存在正常状态和0状态，所以要使电流偏置模块正常工作必须先去除简并点。原理如下：在电源电压刚开始上电时，M9先导通，给偏置核心电路提供一个电流，使其脱离简并点，正常工作，之后M9的栅极电压由于电容C被充电，M9被关断，启动电路被关断，减小启动电路的静态电流。

电流偏置核心结构分析

如图2-5所示，此电路采用典型的与电源电压无关的偏置电路实现，由于用CMOS 实现的电流源要比Bipolar难。借助于 MOS 管工作在弱反型状态下输出电流相对于输入电压的指数关系可以得到良好的温度补偿特性。

PMOS 管作为电流镜工作在强反型状态，NMOS 管 M7、M8 工作在弱反型状态。则电阻 R 上的压降为：

$$V_R = V_{Tn} \ln \frac{\beta_3 \beta_2}{\beta_1 \beta_4}$$

常温下 V_T 约为 26mV。由上式可以看出 R 上的压降仅与几个管子的尺寸有关。由此实现了与温度、工艺变化相关不大的电流源。然而这种结构显著的缺点在于电阻的电阻率难以保证、并且没有补偿电阻的温度系数。所以该电流源在结构上还有很大的改进余地。

此偏置模块分别产生N管的偏置信号VBN和P管的偏置信号VBP，还有三个使能控制信号IRG1、IRG2和IRG3分别控制预调整放大器、保护模块和滤波模块和过流保护模块。因为滤波电路要在基准稳定后，才工作。故本设计中利用了偏置电流对电容的充电加上反相器来实现三个使能信号的延迟。

实际线路图 DC 特性分析(The Electrical Characteristics of DC)

以下将采用Smic0.5um工艺库对电路进行仿真验证。

图2-6为偏置电路中基准电流随温度的关系，从波形中可以看出，基准电流的温度特性较差，随全温度范围变化大概50 mV，这里与上面分析结果类似，由于MOS晶体管的 V_{TH} 与载流子迁移率与温度有关且电阻的温度系数。故其温度系数较差，但满足后面模块对电流源的要求。

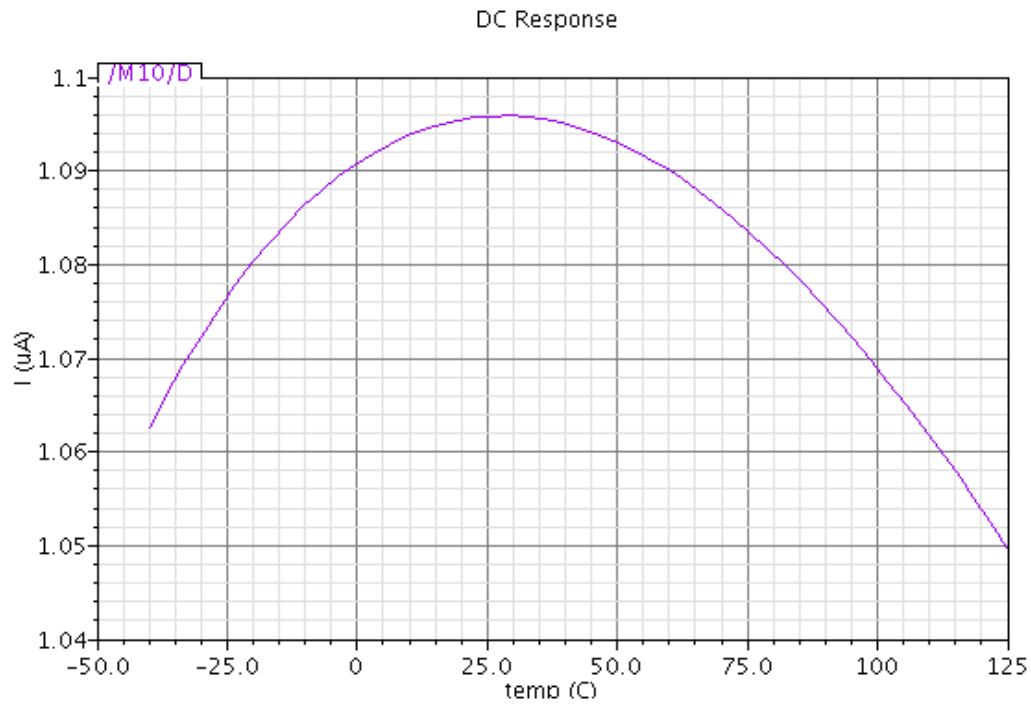


图 2-6 电流与温度的关系

图2-7为偏置模块的仿真波形图，仿真时电源电压为从2.1V→3.6V，从图中我们可以看到，偏置模块输出的电流源压，与电源电压变化较小。

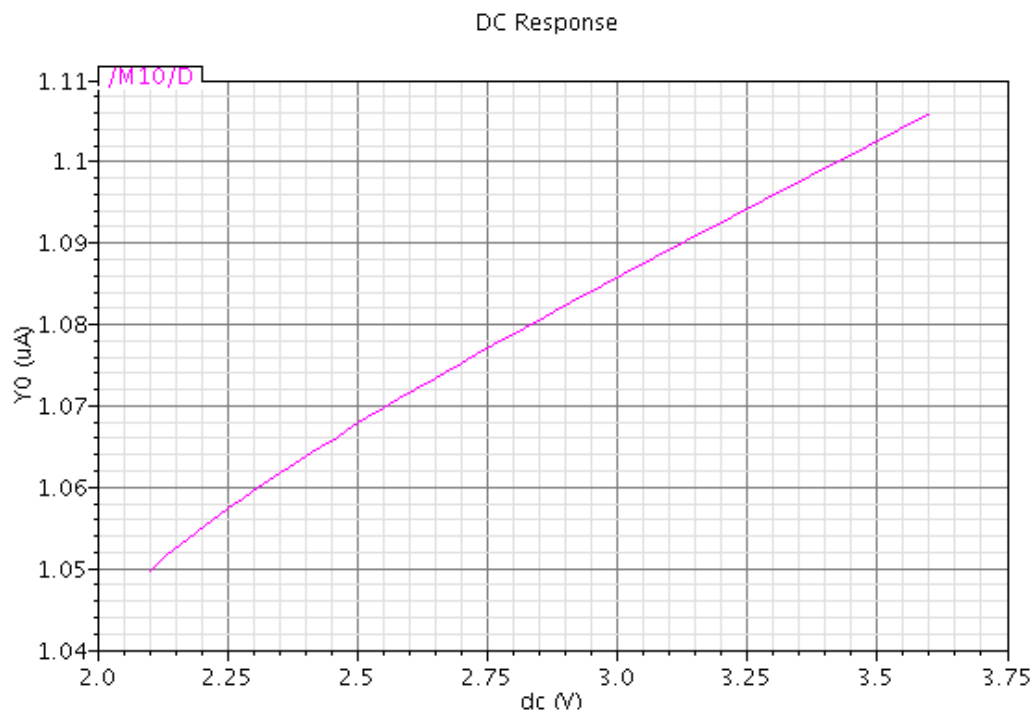


图 2-7 电流源与电源电压的关系

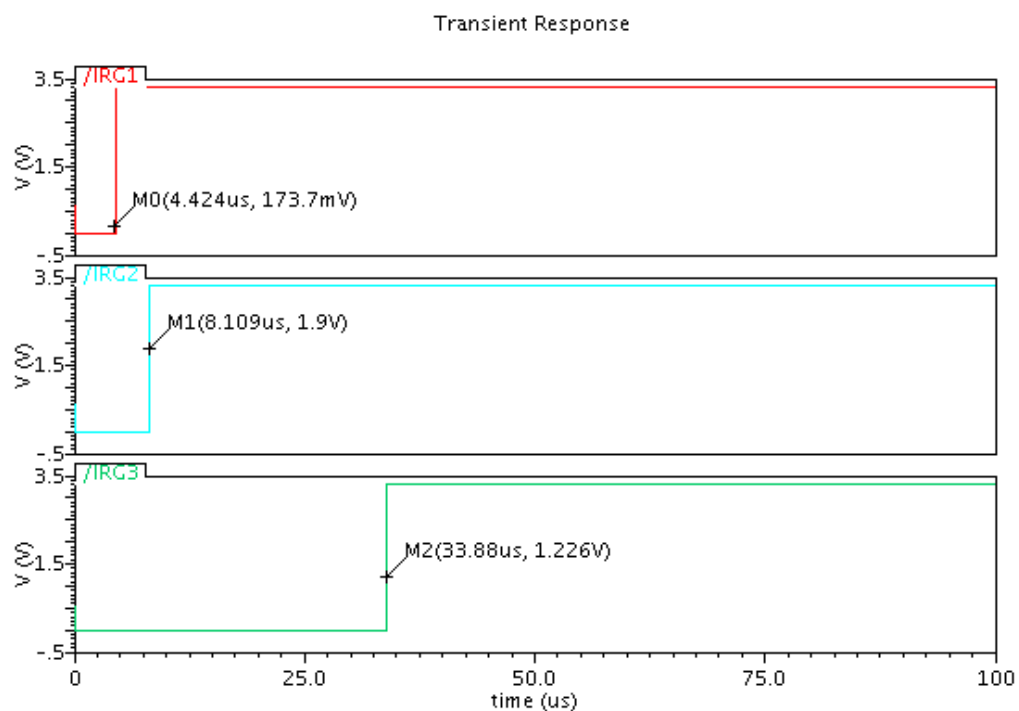


图 2-8 使能信号的仿真

图2-8是BIAS模块中产生使能信号和上电启动信号的仿真波形，从波形中可以看出使能信号存在一定的延时，达到了设计的目的。

带有修调功能的基准模块

1.功能描述(Function Description)

基准模块主要是为全电路中的模块提供必要的偏置电压，该偏置基于带隙电压产生。本模块中基准主要产生一个恒定电压值，该电压值通过与电源电压的分压比较，达到监视电源电压变化的作用。由于对基准的精度要求很高，所以本设计中加入了修调电路模块。

2.输入/输出信号功能描述(Input/Output Signal Architecture Fun Description)

VBP:基准偏置电流源

A、B、C、D、E、F: 修调电路控制信号

EN:基准使能控制信号

VREF: 基准输出电压

3. 等效框图(Equivalent Structure Diagram)

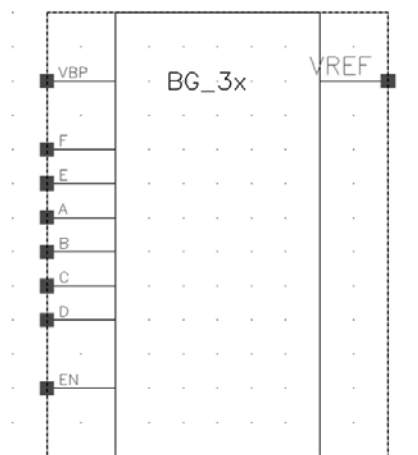


图 2-9 等效框架图

4.实际分析(The Fundamental of Equivalent Structure Diagram)

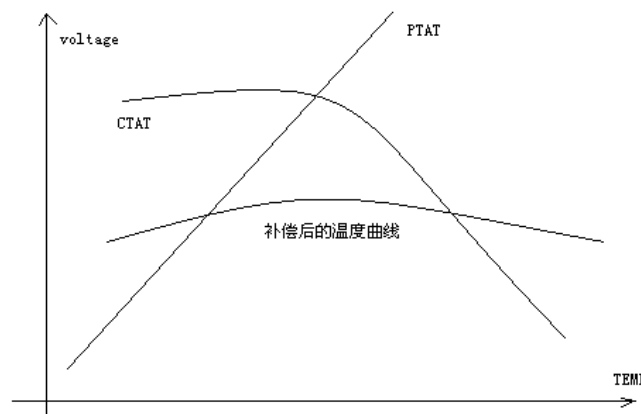


图 2-10 温度补偿曲线

带隙基准的主要原理是利用与温度系数有关的电流来得到与温度系数有关的电压，利用电压温度系数的不同来实现温度系数的补偿从而得到与温度无关的基准电压源，如图2-10所示

1. 负温度系数电压（CTAT）

负温度系数电压多采用双极性晶体管的BE结电压 V_{BE} （对PNP管为 V_{EB} ），室温下，典型值大约为 $\frac{\partial V_{BE}}{\partial T} \approx -1.5mV/K$ 。

2. 正温度系数电压(PTAT)

当两个双极晶体管工作在不相等的电流密度下，基极—发射极的电压差值与绝对温度成正比，如图2-11所示。

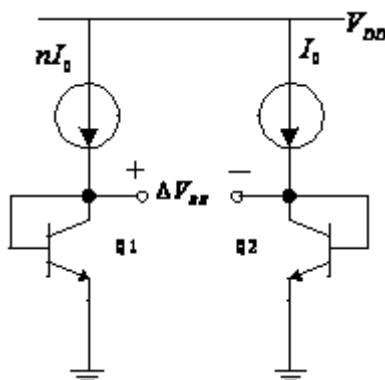


图 2-11 PTAT 电压产生电路

如果两个相同的晶体管($I_{s1} = I_{s2}$)偏置的集电极电流分别为 nI_0 和 I_0 ，并忽略其基极电流，那么：

$$\Delta V_{BE} = V_{BE1} - V_{BE2} = V_T \ln \frac{nI_0}{I_{s1}} - V_T \ln \frac{I_0}{I_{s2}} = V_T \ln n$$

这样， V_{BE} 的差值就表现出正温度系数：

$$\frac{\partial \Delta V_{BE}}{\partial T} = \frac{k \ln n}{q}$$

室温下，典型值大约为 $\frac{\partial V_T}{\partial T} = +0.087mV/K$ 。

利用上面的 CTAT 和 PTAT 电压，可以设计出高精度的、适合设计要求的带隙基准电路，原理如图 2-12。

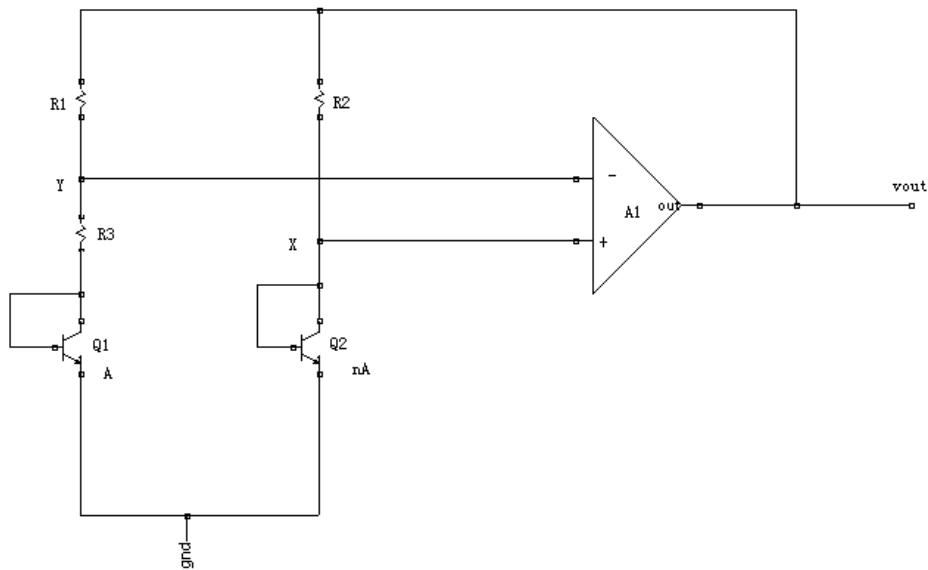


图 2-12 带隙基准电路图

在图 2-12 中，放大器 A1 以 X 和 Y 作为输入，驱动 R1 和 R2 的上端，使得 V_x 和 V_y 近似相等，基准电压可以在放大器的输出端得到：

$$V_{out} = V_{BE2} + \frac{V_T \ln n}{R_3} (R_2 + R_3) = V_{BE2} + V_T \ln n \left(\frac{R_2}{R_3} + 1 \right)$$

调整 R2/R3 的大小，可以得到基本与温度系数无关的电压。

5. 实际线路图原理分析(The Fundamental of Actual Circuit)

图 2-13 是实际设计的电路原理图。

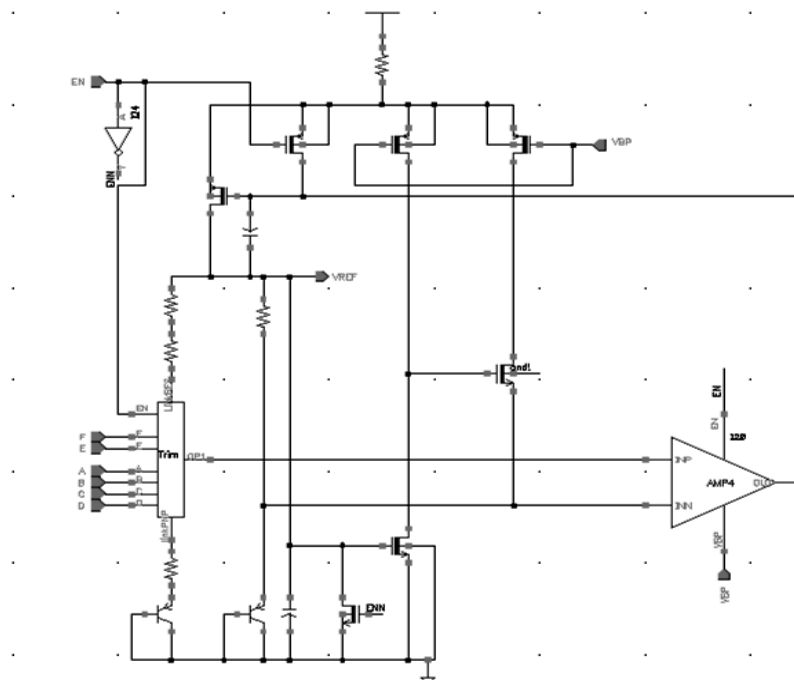


图 2-13 带隙基准电路

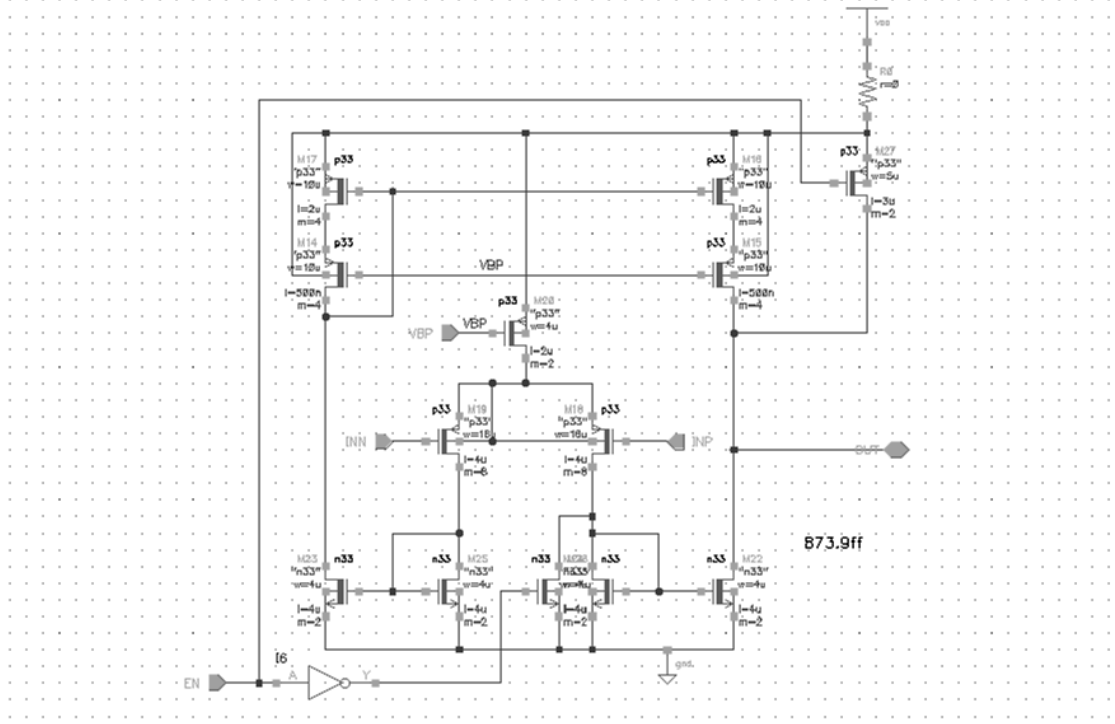


图 2-14 带隙基准电路中的运放（AMP）实际电路图

图2-13为本次设计中的带隙基准电路，由于此次用到的带隙基准所要求的精度较高，所以带隙基准电路中加入了修调电路，修调电路的结构和原理将在修调电路章节中单独详细介绍，这里暂且不予讨论，仅将修调电路OP以上的电阻统称为R2，以下的电阻为R3。

实际电路中，因为AMP两端可以认为是虚断，所以有如下关系：

$$V_{EBQ_1} = V_{EBQ_2} + I_{R3} * R_3$$

由此得到

$$I_{R3} = \frac{\Delta V_{EB}}{R_3}$$

PNP管电压电流有如下关系：

$$V_{EBQ1} = V_T \ln \frac{I_{CQ1}}{I_{SQ1}}$$

$$V_{EBQ2} = V_T \ln \frac{I_{CQ2}}{I_{SQ2}}$$

$$I_{SQ1} = \frac{qA_{Q1}D_n n_i^2}{W_{BQ1}N_{AQ1}} = \frac{qA_{Q1}D_n n_i^2}{Q_{BQ1}} \propto A_{Q1}$$

$$I_{SQ2} = \frac{qA_{Q2}D_n n_i^2}{W_{BQ2}N_{AQ2}} = \frac{qA_{Q2}D_n n_i^2}{Q_{BQ2}} \propto A_{Q2}$$

其中 q 为电子电荷数 $q=1.6 \times 10^{-19} C$ ， A 为发射结的横截面积， D_n 为电子扩散常量， n_i 为硅的本征载流子浓度， W_B 为发射区耗尽层边缘到集电极耗尽层边缘之间的基极宽度， N_A 为基区掺杂浓度， Q_B 为单位基区中杂质原子的总数。

假设两个管子除了发射极面积不同以外，其它的参数都相同，则实际电路设计中取

$$\frac{I_{SQ1}}{I_{SQ2}} = \frac{A_{Q1}}{A_{Q2}} = \frac{1}{8}$$

由VREF输出端和AMP放大器输入端电压虚断，则有：

$$V_{R2} = V_{R3}$$

实际电路中由于修调电阻的影响，使得电阻 R_2 的值大小是个变化值，现在用一般情况下分析，假设：

$$R_2 = R_1$$

所以有

$$I_{R2} = I_{R1}$$

因此

$$I_{CQ1} = I_{CQ2}$$

所以

$$\Delta V_{EB} = V_T \ln \frac{I_{CQ1} I_{SQ2}}{I_{CQ2} I_{SQ1}} = V_T \ln 8$$

由以上公式可得：

$$I_{R3} = \frac{V_T}{R_3} \ln 8$$

$$\begin{aligned} V_{REF} &= V_{BEQ2} + I_{R3} (R_2 + R_3) \\ &= V_{BEQ2} + \frac{V_T \ln 8 (R_2 + R_3)}{R_3} \end{aligned}$$

上面是对基准电路产生的核心电路的详细推导。

6.实际线路图 DC 特性分析(The Electrical Characteristics of DC)

1、DC特性仿真分析

基准电压与输入电压之间关系的仿真结果曲线

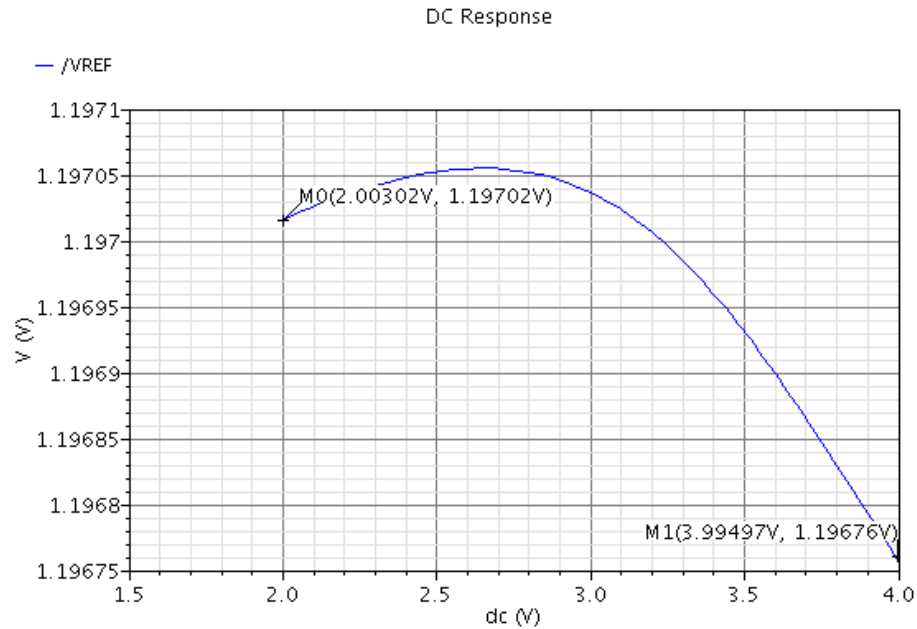


图 2-15 基准电压随电源电压的变化

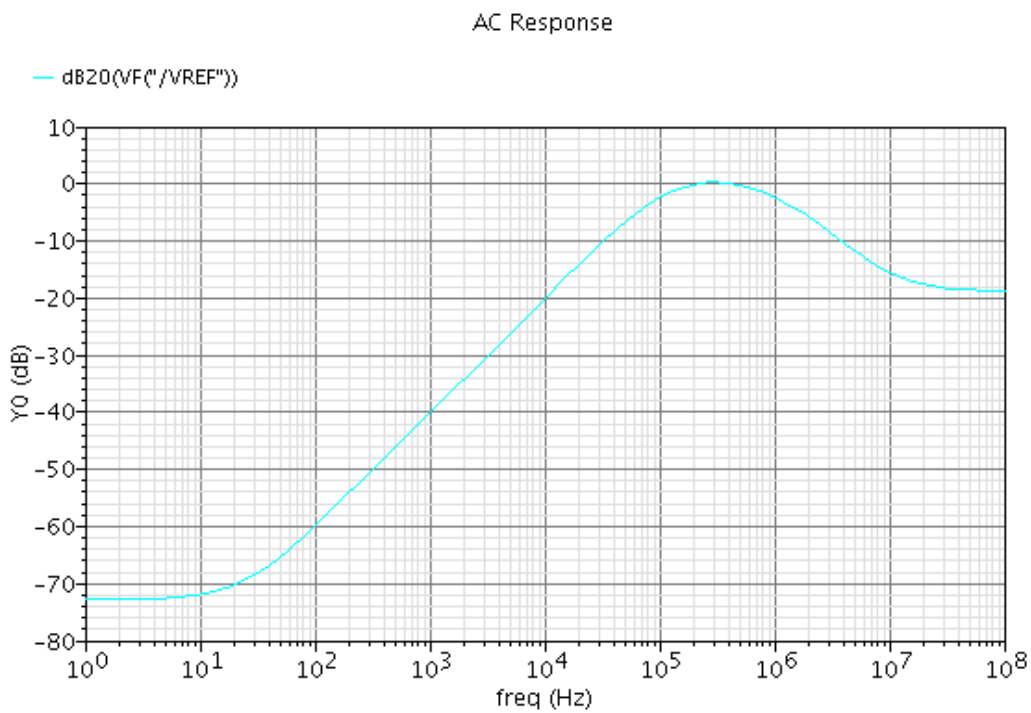


图 2-16 基准电压的电源抑制比性能

分析：在图2-15和图2-16中，基准电压随电源电压变化很小。此带隙基准电路具有良好的电源抑制比。低频PSRR为72dB。

A. 基准电压与温度之间关系的仿真结果曲线

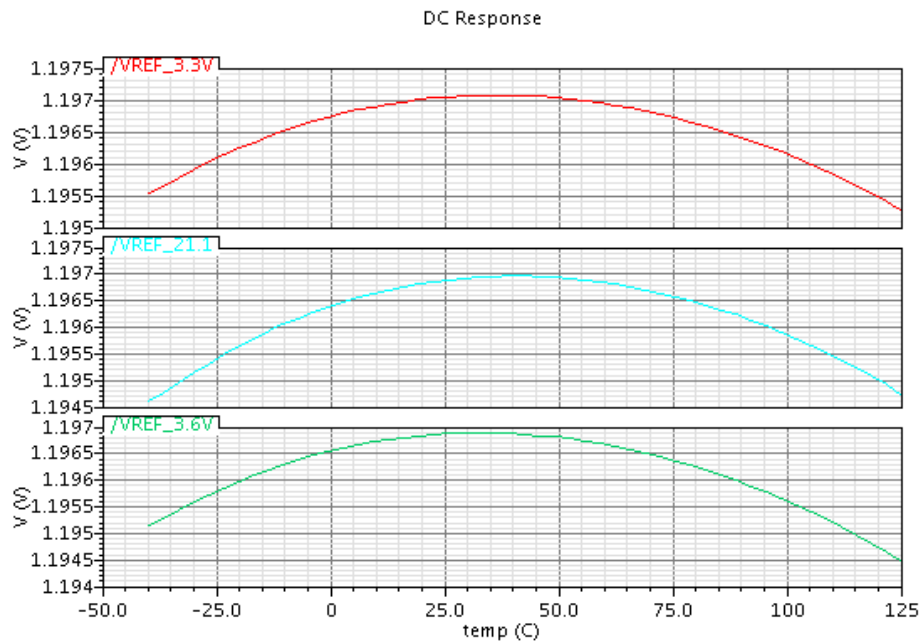


图 2-17 2.1V、3.3V、3.6V 三种输入电压下，基准电压与温度之间关系曲线

分析：由图2-17的曲线可得，基准的最大偏移为 $\pm 2mV$ 。由于最后的输出电压的采样是与基准电压比较的，所以输出电压的精确度可以说直接是由基准电压源的精确度决定的。所以输出电压的精确度可以到达要求。另外，基准电压最大的偏移小于 $2mV$ ，一阶补偿效果很好。基准的ppm为： $12.18ppm/^{\circ}C$ 。由于实际工艺做出的器件存在偏差和寄生效应，故一般基准需要修调。

B. 基准电压受MOS管、BJT和电阻工艺角 r 的影响的仿真曲线

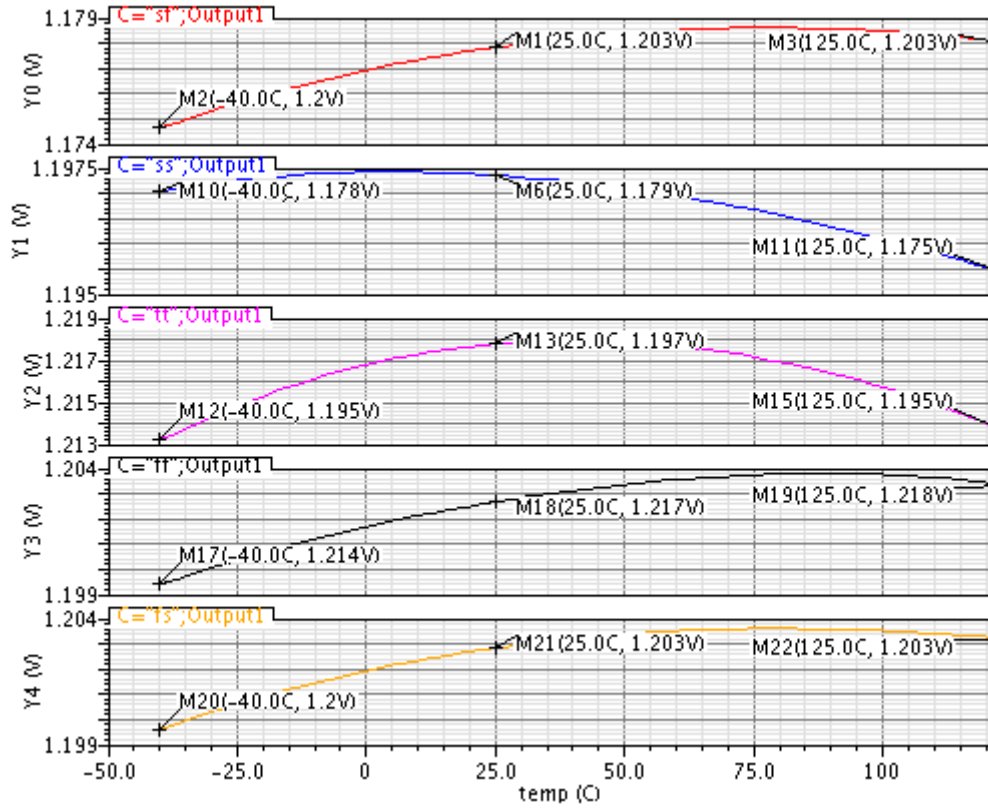


图 2-18 电源电压 2.1V， MOS 管和 BJTcorner 的仿真

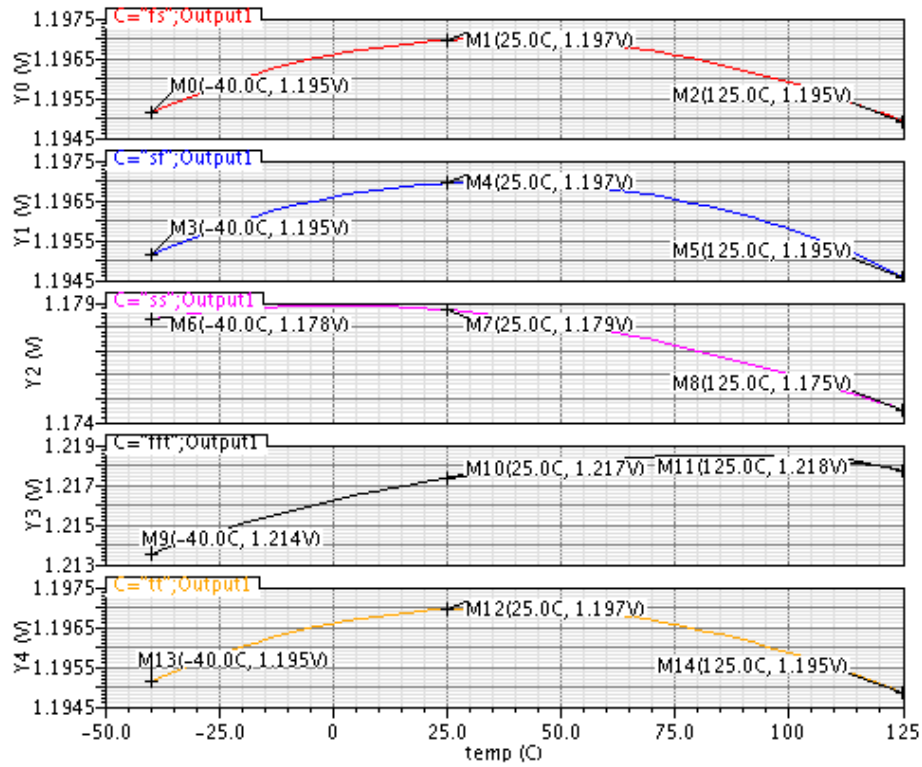


图 2-19 电源电压 3.3V， MOS 管和 BJTcorner 的仿真

Expressions 1

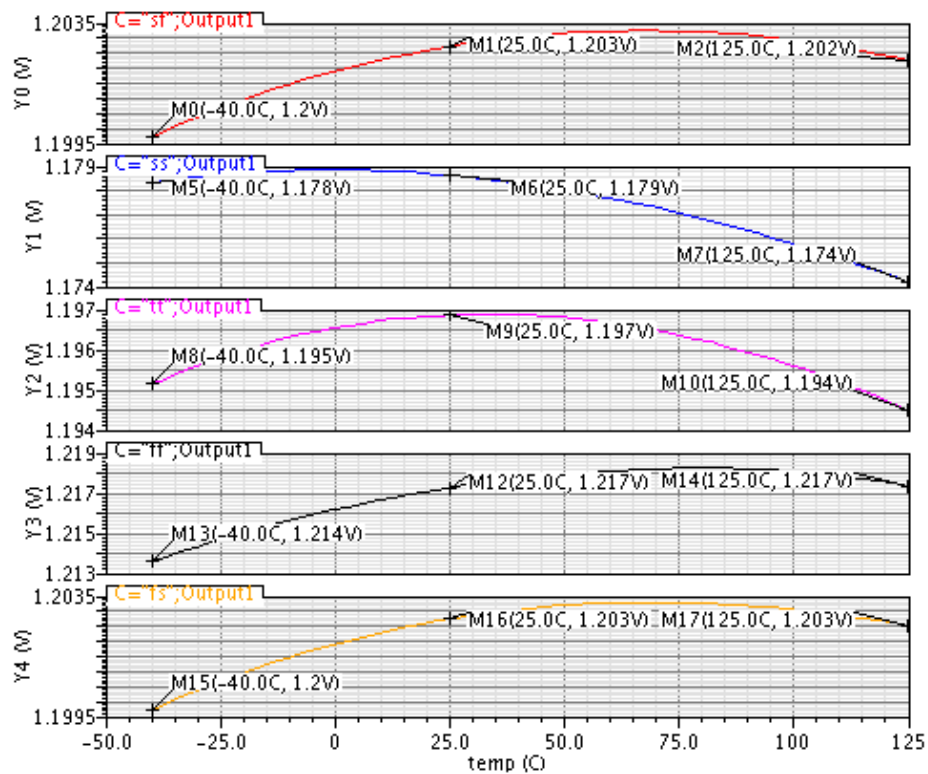


图 2-20 电源电压 3.6V， MOS 管和 BJTcorner 的仿真

以上是考虑到 BJT 和 MOS 管由于工艺环境的随机性所造成的曲线的变化波形图。总结表格如表 1:

CORNER VDD TEMP		TT	SS	FS	SF	FF
2.1V	-40℃	1.195	1.178	1.2	1.2	1.214
	25℃	1.197	1.179	1.203	1.203	1.217
	125℃	1.195	1.175	1.203	1.203	1.218
3.3V	-40℃	1.195	1.178	1.195	1.195	1.214
	25℃	1.197	1.175	1.197	1.197	1.217
	125℃	1.195	1.179	1.195	1.195	1.218
3.6V	-40℃	1.195	1.178	1.2	1.2	1.214
	25℃	1.197	1.179	1.203	1.203	1.217
	125℃	1.194	1.174	1.203	1.202	1.217

(标注: 典型值: 蓝色 最小值: 紫色 最大值: 红色)

2、AC特性仿真结果

以下是基准内部放大器开环增益的仿真曲线和数据表格

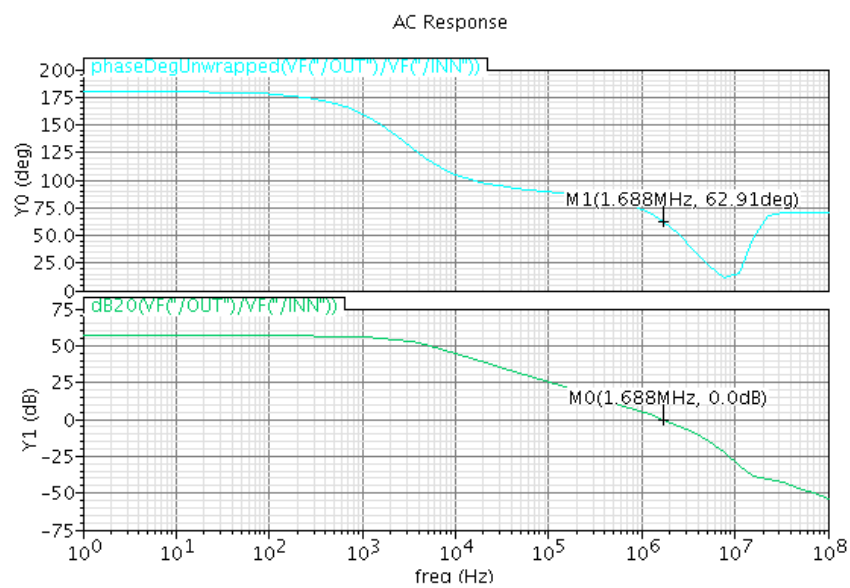


图 2-21 基准运放增益和相位曲线图

带隙基准源的修调电路设计

由于本次设计的电源监视芯片电路对基准电压精度的要求很高，而仅仅电路的仿真通过是不够的，因为版图的设计以及以后芯片的加工和封装都会对电路的特性产生影响，无法保证基准电压的精度（误差小于 $\pm 1\%$ ）。为确保基准电压源能够消除这些潜在的隐患，本设计加入了修调方案，使得基准电压可以在芯片封装前还可以调整，从而可以很好的保证基准的精确度。本次设计采用译码选择方式的数字修调。图2-22是本次设计中基准的修调电路。

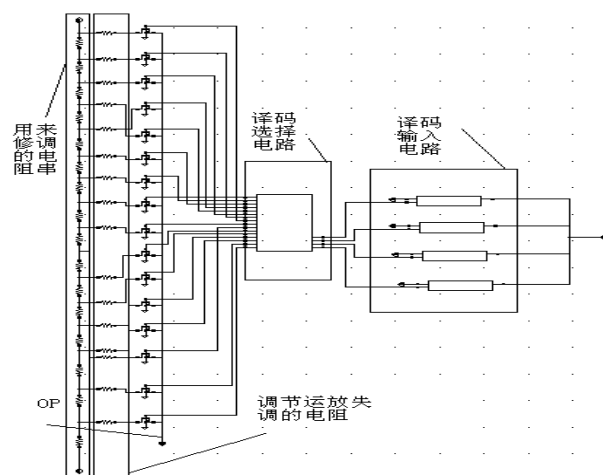


图 2-22 基准的修调电路

修调电阻串上端为Linkres端口，下端为Linkpnp端口，以及与MOS开关共同连接处的OP端口，它们与外围电路的连接见图2。修调电阻串就像一个大的滑动变阻器，通过译码电路不同的译码选择，来调节上下电阻值，从而改变基准模块图中的R2和R3的阻值，进而改变基准电压值，起到修调作用。由于译码电路可以使电阻串上下调节，从而可以上下调节基准大小，于是对基准的修调可以上下调节，在众多修调方案中，此种修调拥有很好的优势。

译码电路

译码电路是一个4输入16输出的普通译码器。它的电路设计图为图2-23。

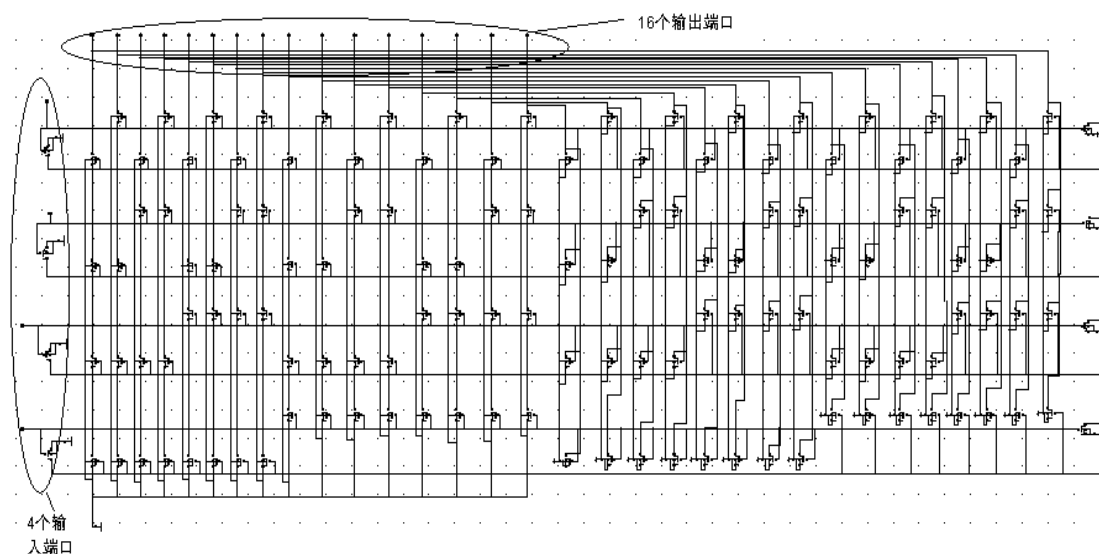


图 2-23 4-16 译码器电路

上面译码器电路的详细工作方式见表2:

表 2 译码器译码工作方式

NA (PAD05)	NB (PAD06)	NC (PAD07)	ND (PAD08)	OUT=1	VREF (V)	ΔV_{REF} (mV)
0	0	0	0	16	1.1992	3
0	0	0	1	15	1.1935	-3
0	0	1	0	14	1.1907	-6
0	0	1	1	13	1.1879	-9
0	1	0	0	12	1.1851	-12
0	1	0	1	11	1.1823	-15
0	1	1	0	10	1.1796	-18
0	1	1	1	9	1.1769	-21
1	0	0	0	8	1.1963	0
1	0	0	1	7	1.2021	6
1	0	1	0	6	1.2051	9
1	0	1	1	5	1.208	12
1	1	0	0	4	1.211	15
1	1	0	1	3	1.214	18
1	1	1	0	2	1.2171	21
1	1	1	1	1	1.2202	24

注 1: OUT=1, 代表输出为高电平有效, 即当输入 0000 时, 输出为 1000000000000000, 输出端口 16 输出高电平, 同时与 16 相连的 NMOS 管打开。

注 2: ΔV_{REF} 代表基准的上下调节幅度, 其中以 10000 输入所选择的译码为标准。+: 代表基准相对于 1000 输入方式所得到的基准电压值上升; -: 代表基准相对于 1000 输入方式所得到的基准电压下降。

预调整放大器模块

1. 功能描述(Function Description)

在本设计中，需要用一高性能的运放放大器来形成对VREF的预调整，通过电阻反馈网络使其直流输出为1.8V。

2. 输入/输出信号功能描述(Input/Output Signal Architecture Fun Description)

INP: 基准输出电压

INN: 反馈电压VFB

EN: BIAS模块产生的使能信号

VBN: BIAS模块产生的电流偏置信号

3.等效加框图(Equivalent Structure Diagram)

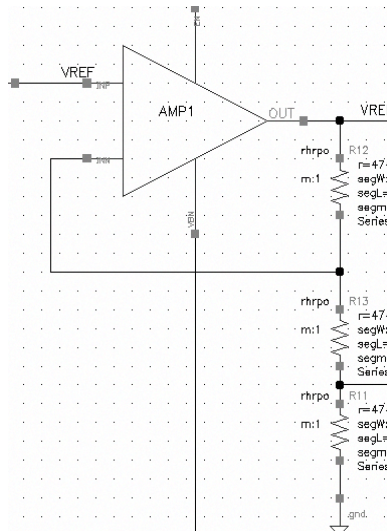


图 2-24 BIAS 的等效架构图

4. 运放原理

随着集成电路的发展，高增益放大器已成为模拟电路设计中广泛使用的电路之一，经常被用于设计更高一级的复杂电路-模拟系统。在本次的电源监视芯片系统中，放大器被多次应用在不同的系统模块中。图2-25为一般负反馈电路的方框图，图中A为放大器，F为反馈网络，X为输入信号，Y为输出信号，整个放大器的输出增益为：

$$A_f = \frac{Y}{X} = \frac{A}{1 + AF}$$

当放大器增益A足够大时

$$A_f \approx \frac{1}{F}$$

理想运算放大器就这样的一种电路，它具有足够正向增益($A \rightarrow \infty$)的放大器，当引入负反馈时，闭环传输函数与运算放大器的增益几乎无关。故此时运放输出等于 $V_{OUT} = V_{REF} (1 + R_1/R_2) = 1.8 \text{ V}$ 。

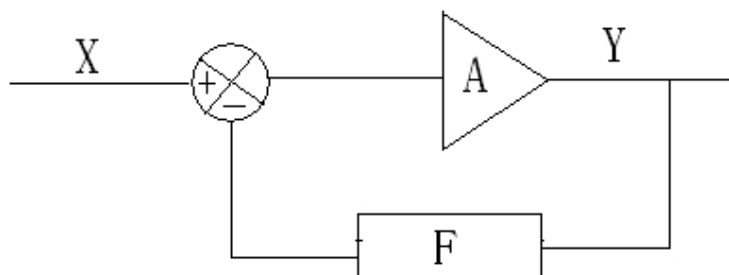


图 2-25 反馈电路的方框图

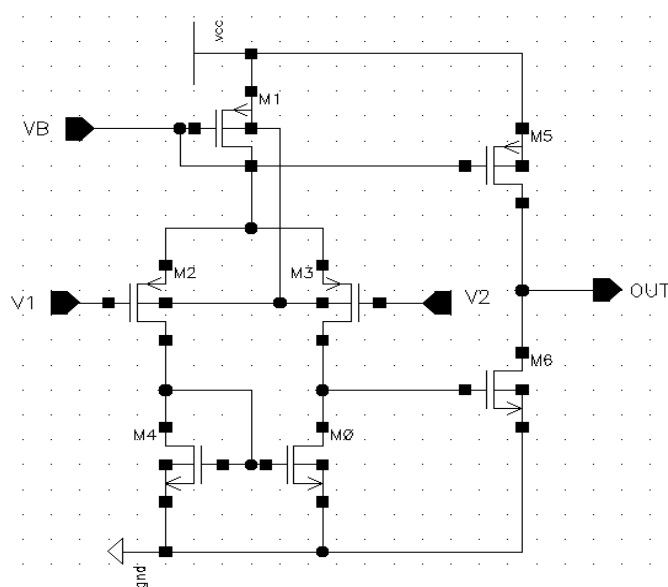


图 2-26 标准的两级 CMOS 运算放大器

在集成电路中，具有高增益的放大器一般都为多级放大系统，其核心部分有差分对构成。本文采用的是标准的两级COMS运算放大器，再通过电流镜负载转换成差模电压输出。第二级由有源电阻作负载的共源放大器构成，在提高放大器增益的同时降低输出阻抗，增大电压输出范围。

采用以上结构的运算放大器的实际电路图为图2-26所示。该电路差模增益和输出电阻分别为：

$$A_v = A_{v1} A_{v2}$$

$$R_0 = R_{01}$$

由于初级和次级产生一个主极点，在典型情况下这些极点远离复平面原点且相互靠的很近，使得相位裕度低于45度。因此必须对其补偿，增大相位裕度，保证环路的稳定性。

1) 直流仿真

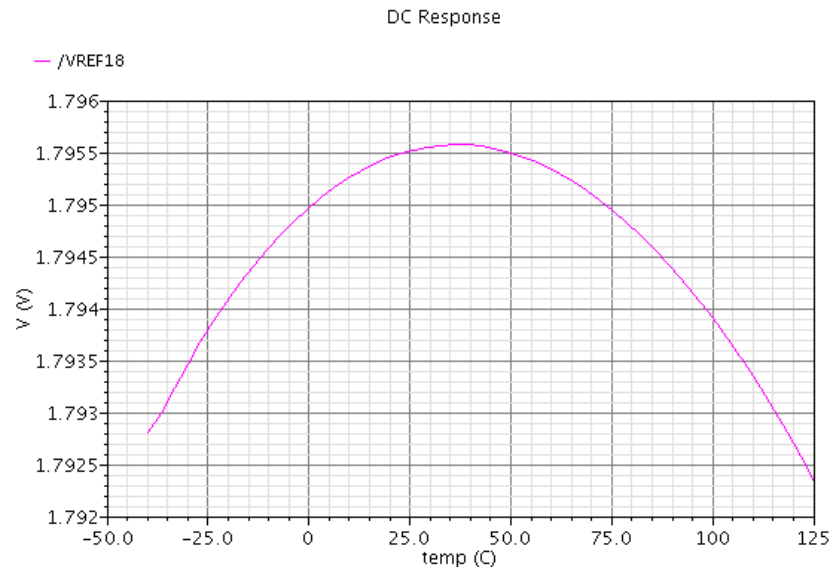


图 2-27 放大器的直流特性仿真波形图

从图中可以看出，运放的直流输出基本跟随VREF基准电压的变化，在全温度变化范围内只变化2mV。

2) 瞬态仿真特性

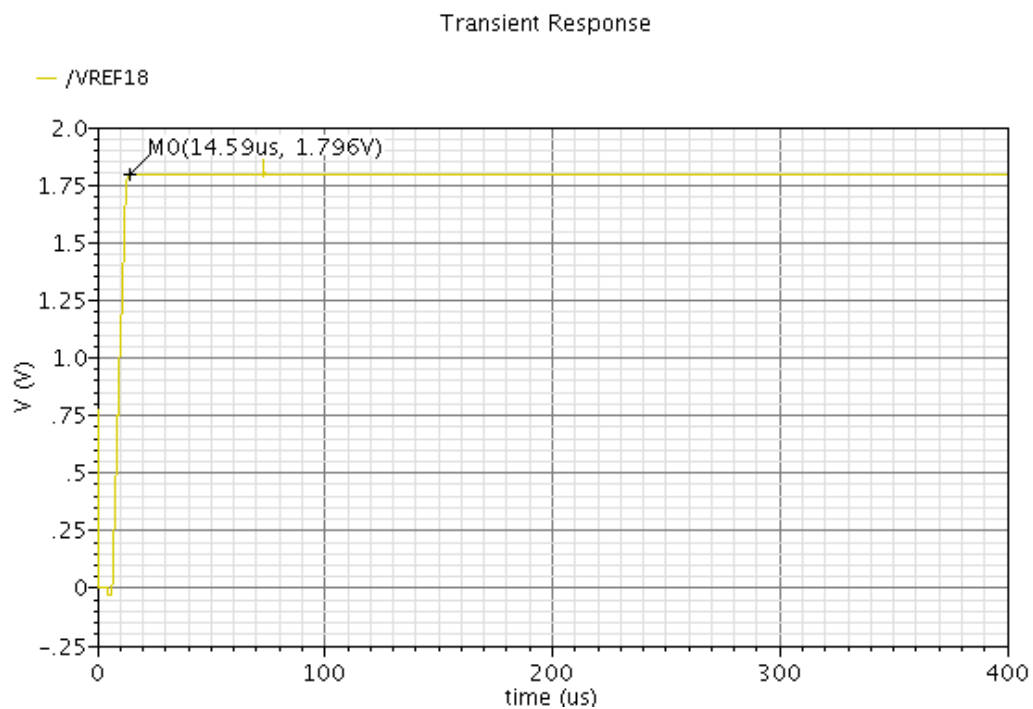


图 2-28 放大器的瞬态特性仿真波形图

3.AC 仿真特性

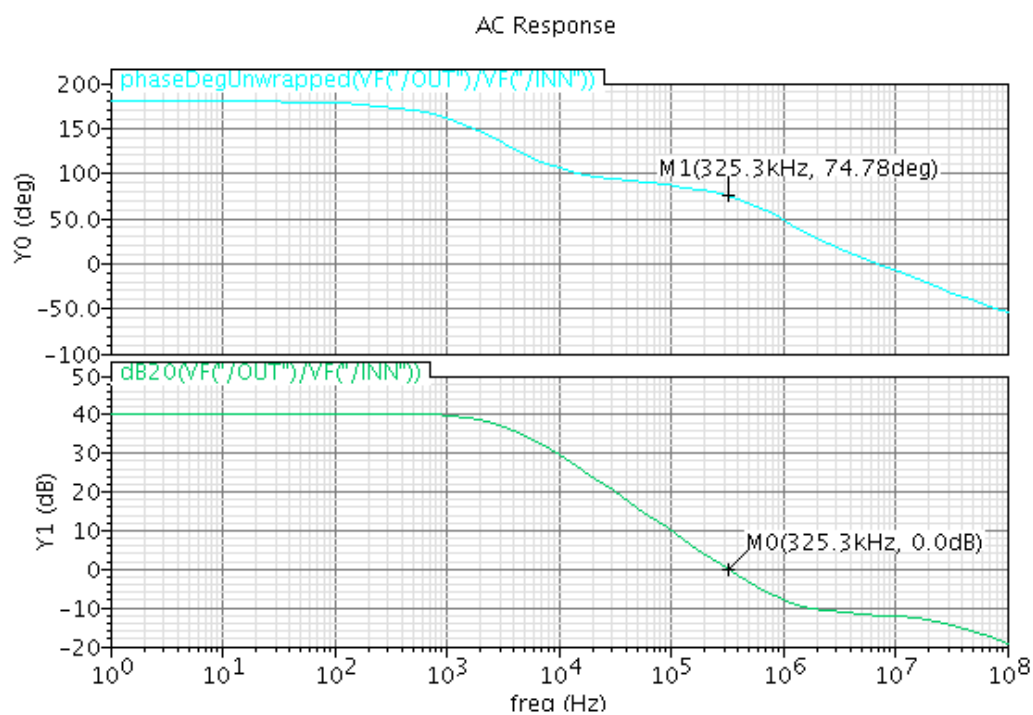


图 2-29 放大器的频率特性波形

低通滤波器模块

1.功能描述(Function Description)

低通滤波器模块主要是为了降低整个电路中的噪声。本模块低通滤波器的极点在1Hz 以内，这样可以将前面电路的大部分噪声滤除掉，由于对电路的功耗要求很高（静态电流 20uA 以内），所以加入了电压比较器电路。

2.输入/输出信号功能描述(Input/Output Signal Architecture Fun Description)

EN:使能输入控制端

VREF18: 输入1.8V电压

VBP:PMOS管栅电压偏置输入端

VBN:NMOS管栅电压偏置输入端

V18:低通滤波器输出电压端

3. 等效加框图(Equivalent Structure Diagram)

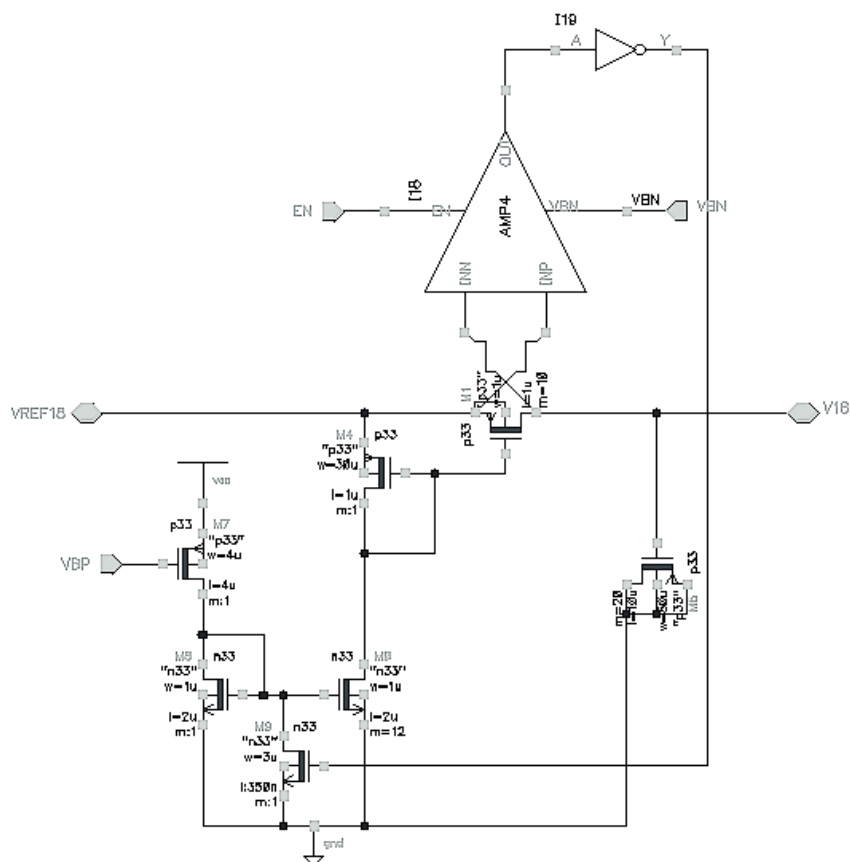


图 2-30 低通滤波器等效框架图

4.电路图原理分析(The Fundamental of Actual Circuit)

图2-30为本次设计中的低通滤波器电路，相比于传统的无源低通滤波器，其转角频率极低，使用传统的RC滤波器，要使用GΩ的电阻和pF量级的电容。这样将要占用很大的芯片面积，故本设计中采用MOS管形成的有源低通滤波器对前面的电路噪声进行滤波。使用这种超低频的低通滤波器的问题是，必须设计快速建立的电路使输出电压快速建立起来。因此，在预调整电压稳定后，通过偏置模块产生的延迟信号，才使滤波电路开始工作，且此时用比较器比较输入和输出的电压，当输出电压还未建立时，即还未达到预调整电压时，由偏置模块镜像的电流会对MOS充电，使之快速建立起来。使电路不会因为加入滤波器电路而影响其启动速度。当V18达到VREF-18时，比较器输出低电平，使M9打开，从而M0也被关断。此时M1管处于深线性区，沟道电阻可达1—10Gohm，与MOS电容M5一起构成一个超低频的低通滤波器。M5管源端漏端衬底接在一起作为电容，之所以使用MOS管作为电容是因为可以将芯片面积降低很多。M7、M8、M4、M0管作为偏置电路，为M1管提供电流偏置，由于此次用到的LDO电路对功耗要求较高，所以在低通滤波器输出稳定后偏置电流断开，所以在静态电流和低噪声，快速建立时，设计取了一个折中。所用比较器如下图2-31，M64、M65、M66、M67耦合连接，组成电流镜，应用此种结构电流镜的优点是：1）稳定预防大器的输出共模电平；2）应用了正反馈的交叉耦合PMOS管，提高与放大器的增益。这样可以加快比较器反应速度，减低延迟，并减小功耗。

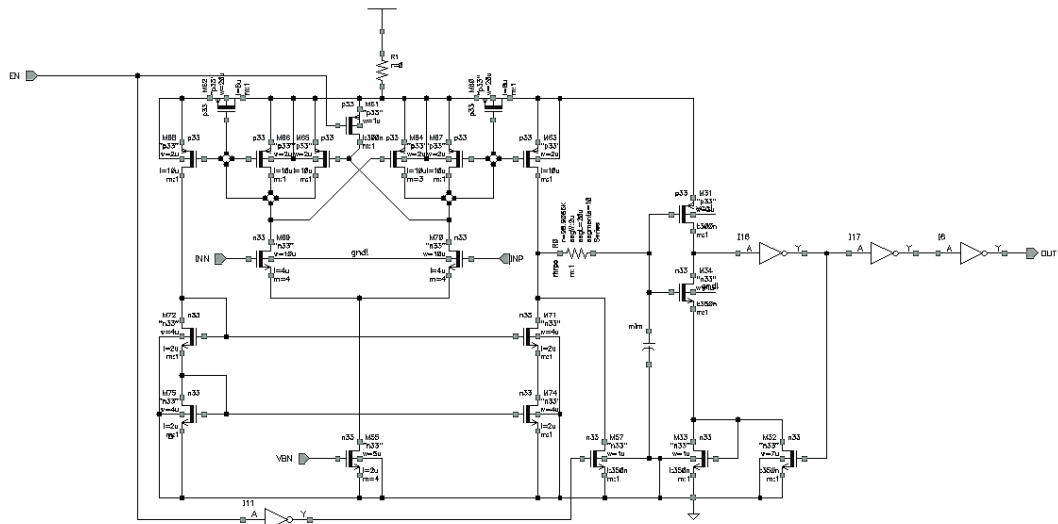


图 2-31 低通滤波器电路中的比较器的实际电路图

图2-31是低通滤波器电路中的比较器的实际电路图，图2-32是反相器的实际电路图，该运放第一级为双端输入单端输出的差分运放，VBN输入端为运放的尾电流提供栅端偏置电

压，当INP为高电平INN为低电平时，第一级输出高电平，经过RC低通滤波器后作为第二级反相器的输入，第二个反相器输出高电平，同时高电平为M32、M32提供偏置，M32、M33又为反相器M31、M34提供静态工作点，整个运放输出高电平，在经过一个反相器输出低电平关断晶体管M9。同时电路加入了使能控制端EN，电路正常工作时EN为高电平，不关断电路中的偏置部分，EN为低电平时关断偏置部分。

5.实际线路图 DC 特性分析(The Electrical Characteristics of DC)

1、DC特性仿真分析

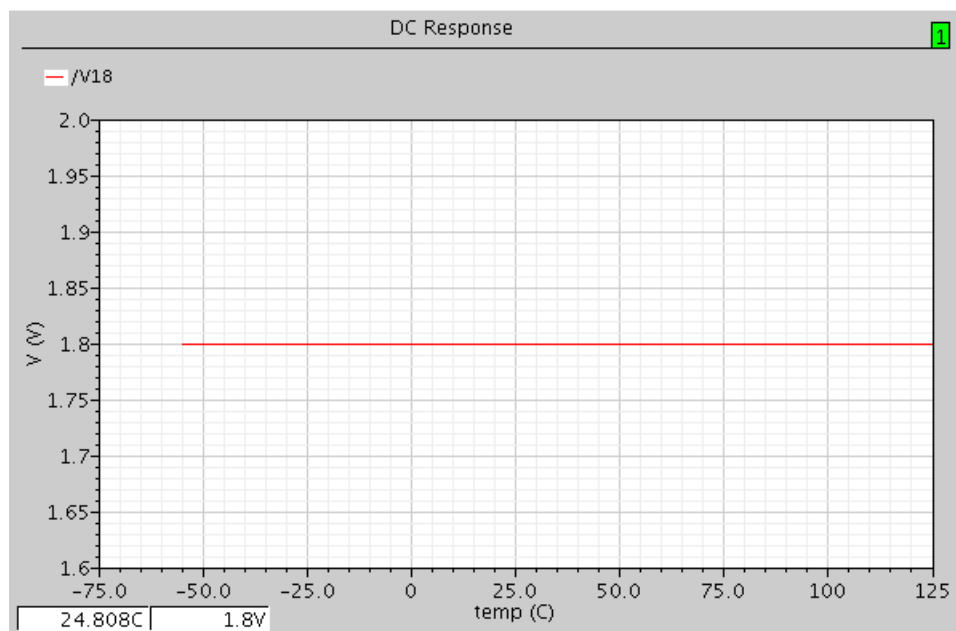


图 2-32 输出电压与温度之间关系的仿真结果曲线

分析：在图2-32中，温度在-55℃到125℃之间时，低通滤波器电路的输出电压和输入电压一样，几乎没有降低。这揭示了在-55℃到125℃之间，电路输出电压非常稳定，不随温度变化，性能指标达到要求。

2、AC特性仿真结果

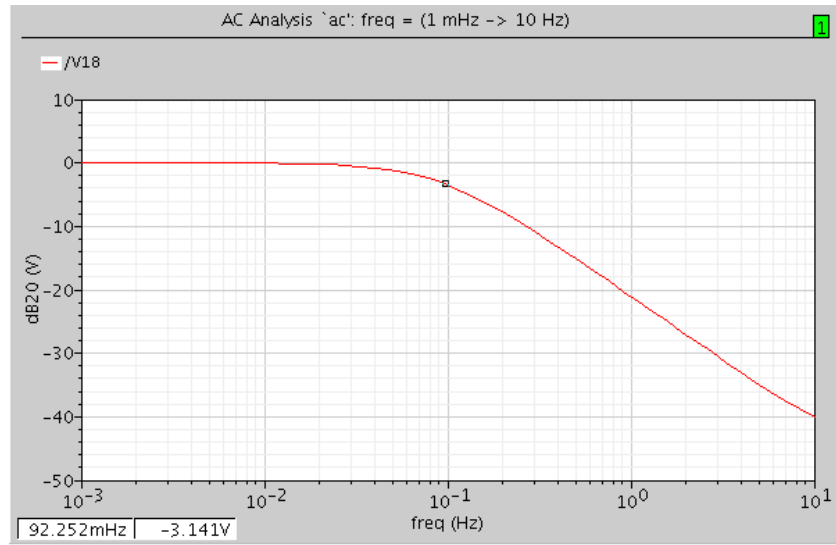


图 2-33 0.001Hz-1Hz 频率范围内低通滤波器增益图

分析：在图2-33中，20dB增益在0.001Hz-0.1Hz范围内基本不变，3dB带宽大概在0.1Hz处，而在0.1Hz-1Hz范围之间，增益呈现-20dB下降趋势。这揭示了该电路是低通滤波器，并且极点大约在0.1Hz位置，这个仿真结果符合预期，因为电路的导通晶体管设置在深线性区，导通电阻非常大，而且MOS管电容宽长都比较大，电容值很大。

保护电路模块

1.功能描述(Function Description)

LD0是一种功率器件，为了防止功率管功耗过大导致芯片受损，在设计LD0的过程中需要加入过温、过压欠压、输出短路保护等辅助保护电路。针对不同应用LD0中电压调整电路大同小异，但过温、过压欠压、短路等保护电路有很多不同的设计方法，在保护状态下的输出电流也有较大区别。本文设计了过温保护、过压欠压保护、输出短路保护等电路。

2.输入/输出信号功能描述(Input/Output Signal Architecture Fun Description)

IRG1:输入使能控制端1

IRG2: 输入使能控制端2

VREF: 输入1.2V基准电压

VR04: 输入0.6V电压

VBP:PMOS管栅电压偏置输入端

VBN:NMOS管栅电压偏置输入端

FB:输出电压反馈端

OFF:保护电路输出端

3. 等效加框图(Equivalent Structure Diagram)

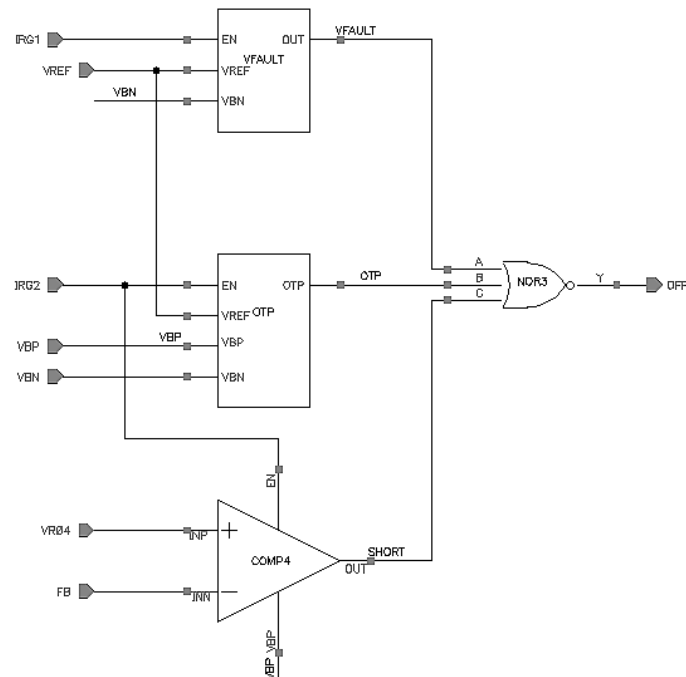


图 2-34 保护电路等效框架图

4.电路图原理分析(The Fundamental of Actual Circuit)

4.1 过压欠压电路原理分析

由于电源电压存在较大的波动，因此过压欠压保护模块必不可少。本文设计的过压欠压保护电路是先将由过压信号引起的电流信号转换成电压信号之后再与基准电压比较，以确定是否过压欠压。图2-35所示为过压欠压电路实际电路图，使能控制端EN用来控制电路是否工作，电源电压通过一系列电阻产生各种需要的电压，上面的一条支路是检测过压的，下面的一条支路是检测欠压的，两条支路都与基准电压比较，以确定输出高电平还是低电平，两条支路所用的比较器是相同的，运放都是图2-36中电路图。只要电路的两条支路中任何一条输出低电平，整个模块都输出高电平，因为电路不管是出现过压还是欠压我们都认为电路出现问题，所以模块用了与非门电路，如图2-37所示。

当电路出现过压时，上面那条支路正端输入电压大于基准电压VREF，比较器输出高电平，从而与非门电路输出高电平，整个保护电路模块的或非门输出低电平，因此关断电路，达到保护电路的目的；当电路出现欠压时，下面那条支路负端输入电压小于基准电压VREF，比较器输出高电平，从而与非门输出高电平，或非门输出低电平，电路关断，电路达到保护目的。

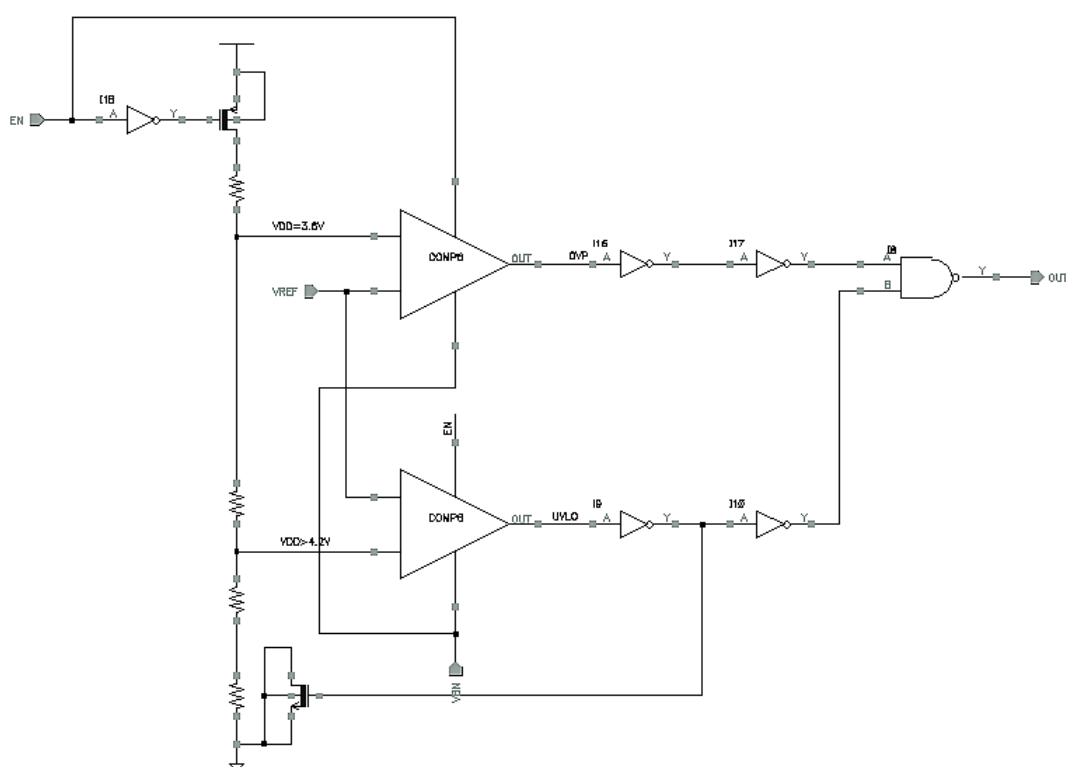


图 2-35 过压欠压电路实际电路图

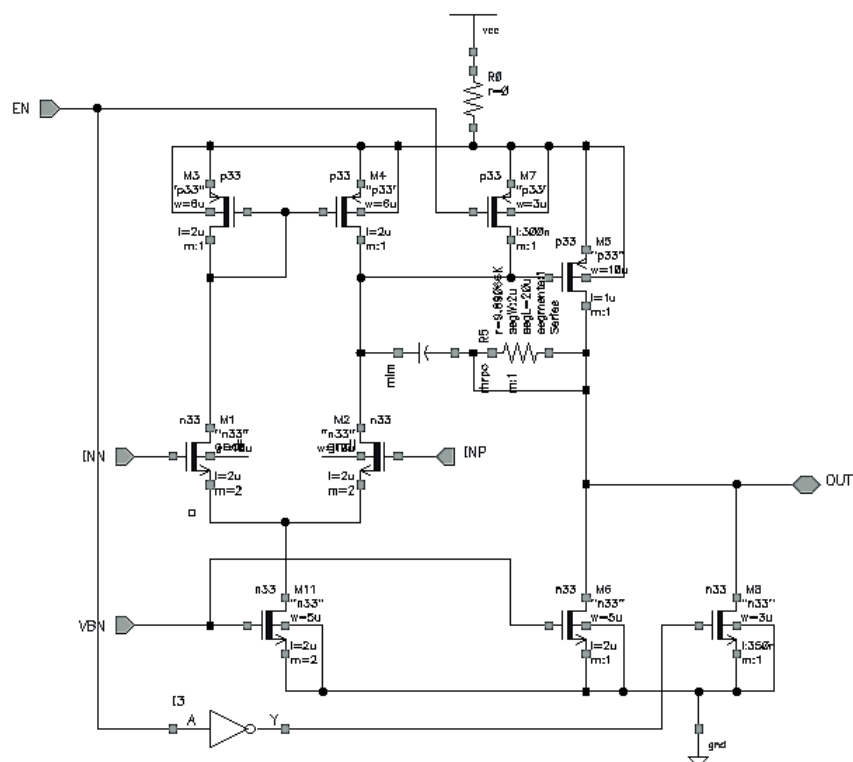


图 2-36 过压欠压电路中运放实际电路图

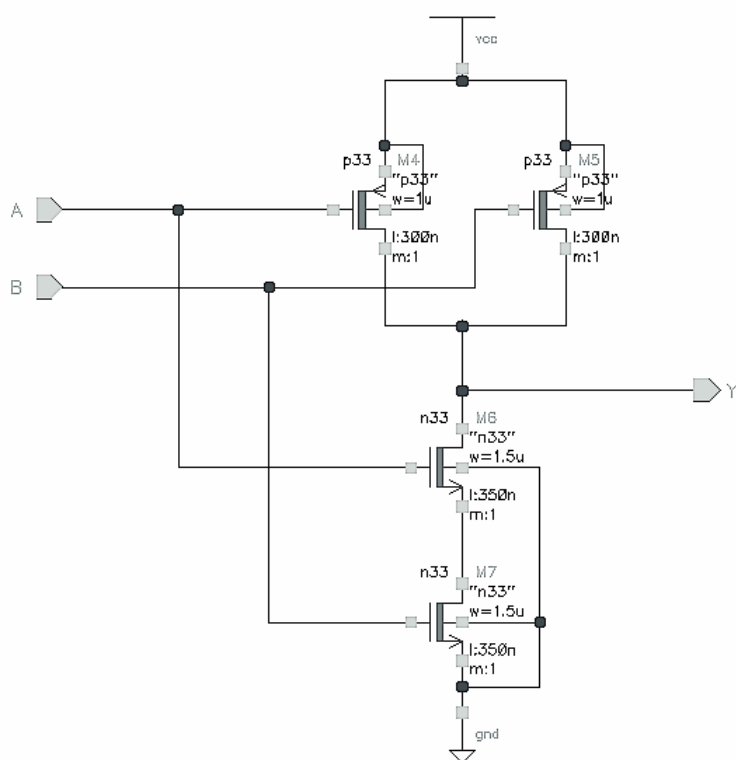


图 2-37 过压欠压电路中与非门实际电路图

4.1.1 实际线路图 DC 特性分析(The Electrical Characteristics of DC)

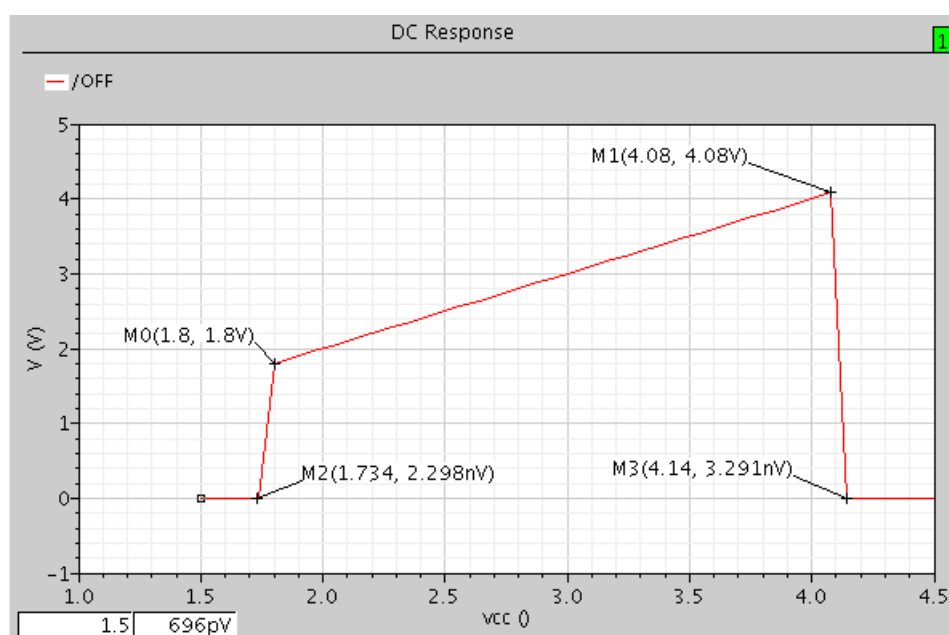


图 2-38 过压欠压保护电路输出电压的特性图

分析：图2-38所示为过压欠压保护电路输出电压的特性曲线，当电源电压高于4.08V时保护电路工作，LD0被关断；当电源电压低于1.8V时，LD0被关断。

当电源电压1.8V和4.08V之间时，LD0正常工作，过压欠压保护电路输出电压跟随电压电压。

4.2 过温保护电路原理分析

过温保护电路的功能是当芯片温度高于最高工作温度时，过温保护电路开启将功率管关断。当芯片的温度下降到安全温度时，功率管重新开启，LD0恢复正常工作。此外，为了避免电路在关断温度附近发生振荡，在电路中加入温度迟滞电路。过温保护电路的设计是利用三极管的温度特性来检测芯片内部温度的变化，过温保护电路如图2-39、图2-40所示，其中图2-40为差分比较器，比较VREF和VINN（运放负输入端）电压大小从而控制电路导通与关断。简单分析一下该电路：三极管Q的VBE为负温度系数，随着温度的上升，VBE下降，基准电压VREF具有零温度系数，保持不变。设在常温下VREF < VINN，比较器输出高电平；当温度升高到某一点时VREF > VINN，比较器输出低电平，发出关断信号，达到保护芯片的目的；同时比较器的迟滞性能解决了由热振荡产生的危害。

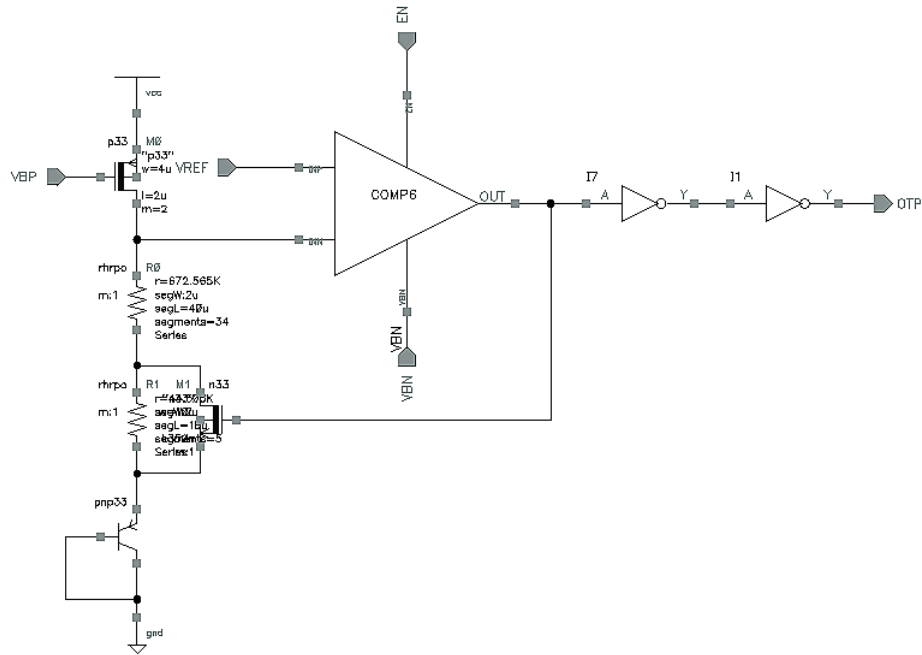


图 2-39 过温保护电路实际电路图

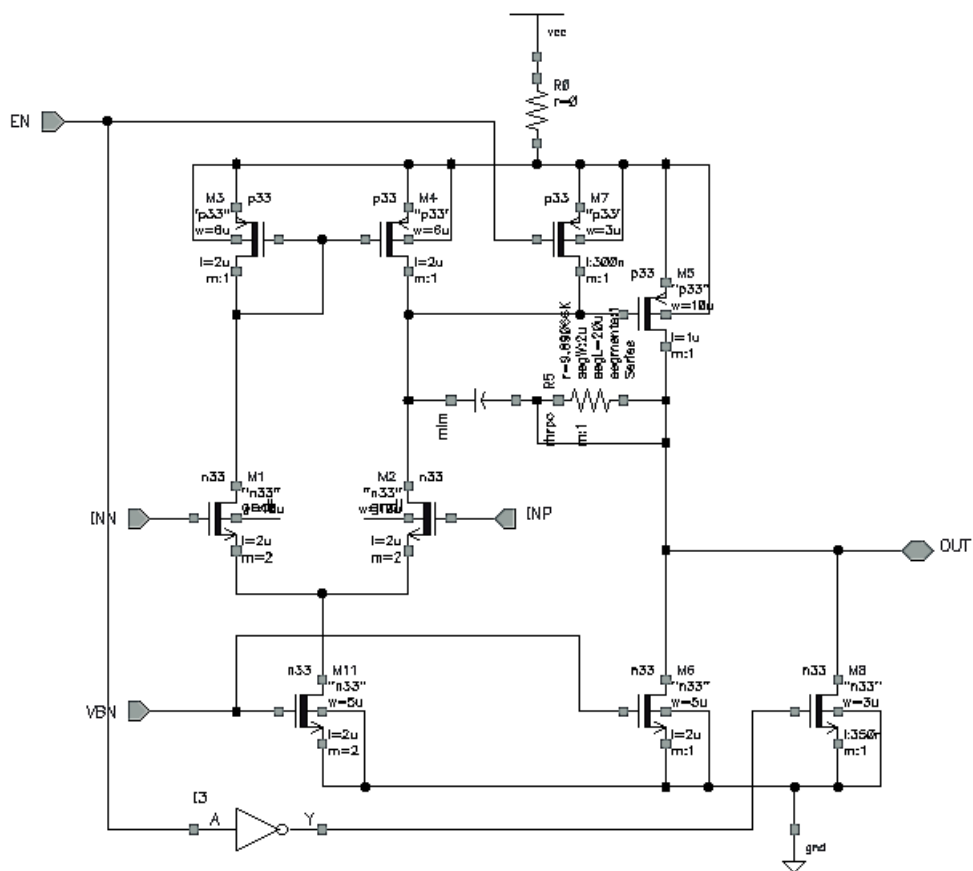


图 2-40 过温保护电路中运放实际电路图

当温度有低温逐渐上升时， V_{BE} 很大， V_{INN} 电压大于基准电压， V_{OUT} 为低电平， V_{OUT} 控制的MOS管关断，电阻R1可以导通，随着温度升高， V_{BE} 逐渐降低，在某一温度下满足 $V_{REF} > V_{INN}$ ，比较器输出低电平，发出关断信号，达到保护芯片的目的。当温度由高温逐渐下降时， V_{BE} 很小， V_{INN} 电压小于基准电压， V_{OUT} 为高电平， V_{OUT} 控制的MOS管导通，电阻R1被短路不导通，随着温度降低， V_{BE} 逐渐升高，在某一温度下满足 $V_{REF} < V_{INN}$ ，比较器输出高电平，发出开启信号，达到开启芯片的目的。由于电阻R1导通或者关断，因此形成迟滞，迟滞大小可以有电阻R1进行设置。

4.2.2 实际线路图 DC 特性分析(The Electrical Characteristics of DC)

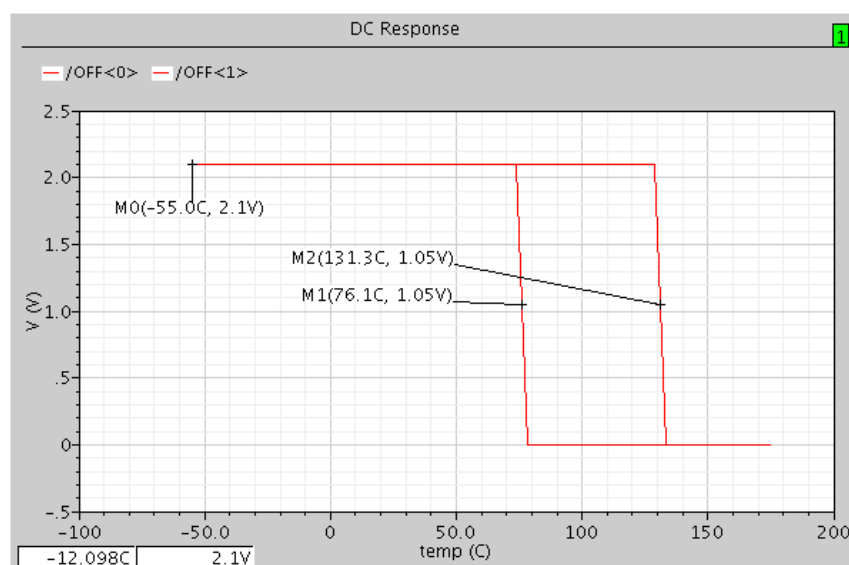


图 2-41 电源电压 2.1V 时过温保护电路输出电压的温度特性

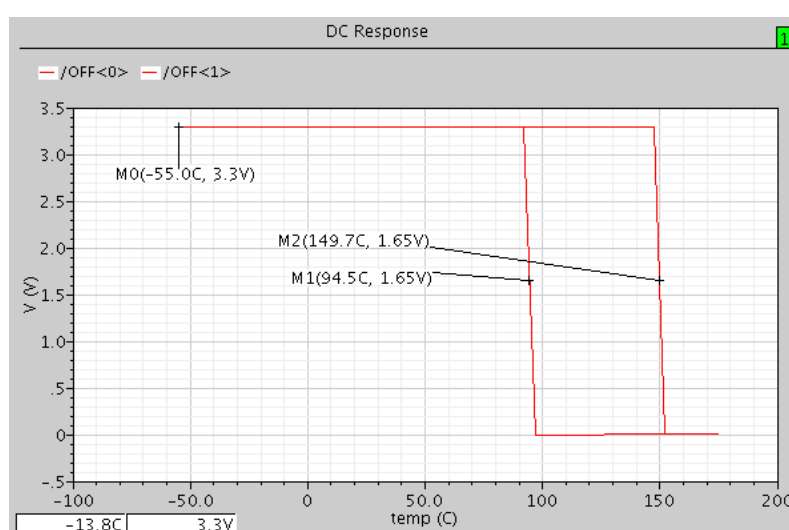


图 2-42 电源电压 3.3V 时过温保护电路输出电压的温度特性

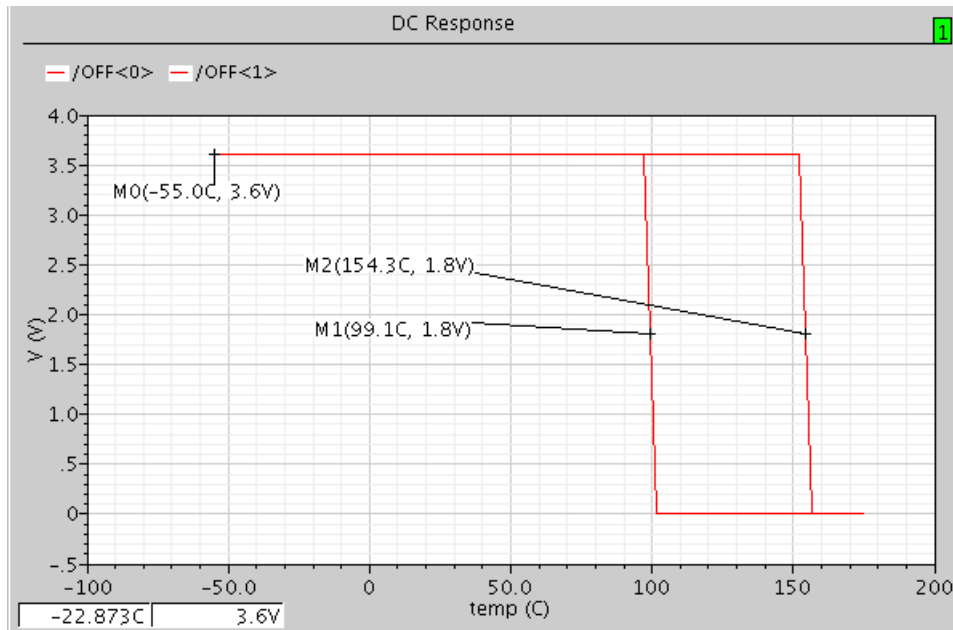


图 2-43 电源电压 3.6V 时过温保护电路输出电压的温度特性

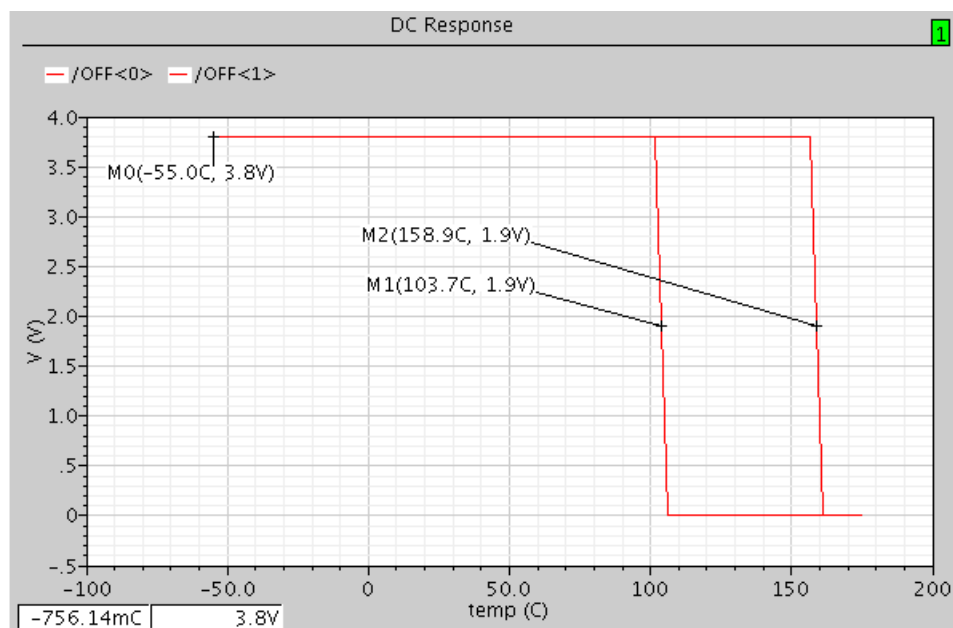


图 2-44 电源电压 3.8V 时过温保护电路输出电压的温度特性

分析：图2-41所示为电源电压2.1V时过温保护电路输出电压的温度特性曲线，当温度高于131.3℃时过温保护电路工作，LD0被关断；当温度低于76.1℃时，LD0恢复正常工作，迟滞环为55.2℃。

图2-42所示为电源电压3.3V时过温保护电路输出电压的温度特性曲线，当温度高于149.7℃时过温保护电路工作，LD0被关断；当温度低于94.5℃时，LD0恢复正常工作，迟滞

环为55.2℃。

图2-43所示为电源电压3.6V时过温保护电路输出电压的温度特性曲线，当温度高于154.3℃时过温保护电路工作，LD0被关断；当温度低于99.1℃时，LD0恢复正常工作，迟滞环为55.2℃。

图2-44所示为电源电压3.8V时过温保护电路输出电压的温度特性曲线，当温度高于158.9℃时过温保护电路工作，LD0被关断；当温度低于103.7℃时，LD0恢复正常工作，迟滞环为55.2℃。

4.3 输出短路保护电路原理分析

由于电路有时会出现短路，所以本文设计了输出短路保护电路，电路正常工作没出现短路时，比较器负输入端FB为输出端反馈电压1.8V，正输入端VR04为0.6V，因此正常工作状态时比较器输出低电平，电路输出端OUT为低电平，不关断电路；当电路输出端出现短路时，比较器负输入端FB电压为0V，正输入端VR04为0.6V，因此短路状态时比较器输出高电平，电路输出端OUT为高电平，关断电路。电路中晶体管M0、M15为整个运放电路提供电流偏置，电路为两级放大和两个反相器，第一级为电流镜作负载的差分对，第二级为共源放大电路，另外电路中加入了使能控制端EN，以便控制电路的关断与导通。

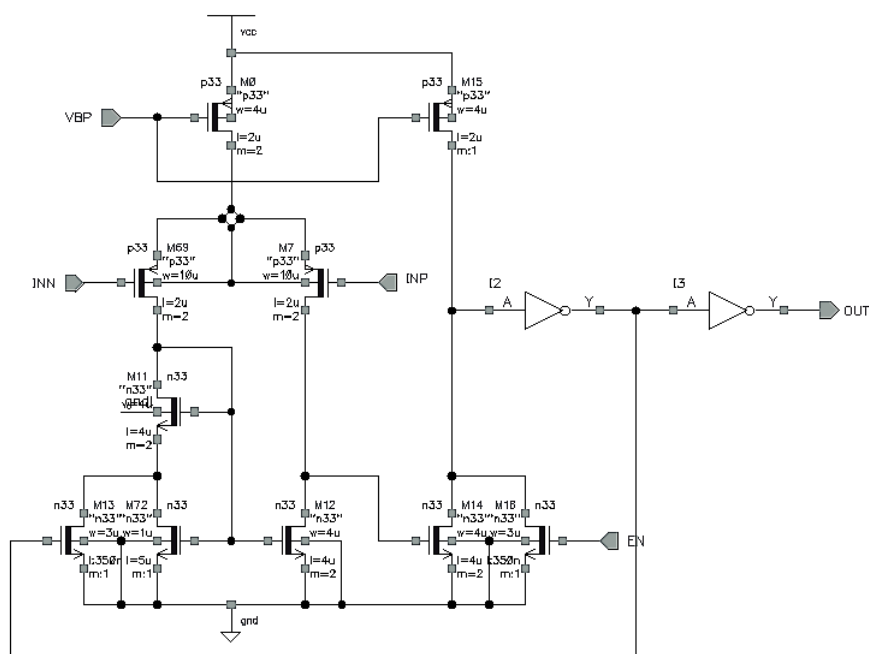


图 2-45 输出短路保护电路实际电路图。

电压跟随器模块

1.功能描述(Function Description)

低通滤波器输出端是1.8V电压，LD0整个电路的输出电压是1.8V，因此本文设计电压跟随器电路，使电路输出电压跟随输入电压1.8V。电压跟随器是基于误差放大器设计的，正输入端接低通滤波器的输出端电压，输出端和负输入端连接，从而构成单位增益放大器，即电压跟随器。在LD0线性稳压器中，误差放大器用来比较输出反馈取样信号与基准电压，并将差值信号经放大后，输出到调整管的输入端，控制调整管的工作状态，使输出电压保持稳定。误差放大器是一个非常重要的模块，它的性能会在很大程度上影响整个LD0芯片的性能，从前面的内容可以看出以下几个方面的影响：第一：误差放大器的增益直接影响着LD0的电源电压抑制比、环路增益、线性调整率及负载调整率；第二：误差放大器的零极点位置影响LD0包括环路稳定性在内的频率特性；第三：误差放大器的转换速率影响LD0的线性瞬态响应和负载瞬态响应；第四：误差放大器的驱动能力影响LD0的线性瞬态响应和负载瞬态响应；第五：误差放大器作为LD0整体结构的一部分，其静态电流决定LD0的效率；第六：误差放大器的面积影响整体面积，特别是补偿电容；第七：误差放大器作为反馈的主要部分，控制着栅极电压，从而控制调整管的输出电流，使输出电压保持稳定。

2.输入/输出信号功能描述(Input/Output Signal Architecture Fun Description)

INP：电压跟随器正输入端

INN：电压跟随器负输入端

EN：使能控制端

VBN：NMOS管栅电压偏置输入端

VOUT：电路输出端

3. 等效加框图(Equivalent Structure Diagram)

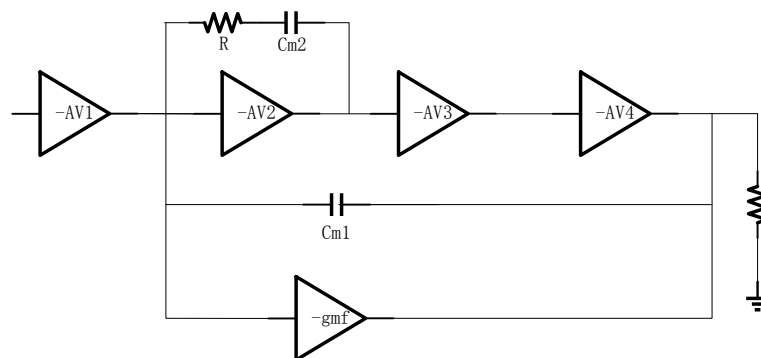


图 2-46 原理框图

4. 电路图原理分析(The Fundamental of Actual Circuit)

4.1 电压跟随器电路原理分析

本文设计的LD0误差放大器类似于三级运放结构，其输出驱动功率管的栅极。其中第四级为PMOS功率管，而前两级分别为第一级折叠式共源共栅放大器和第二级为简单的共源级放大器，第三级为提高PSR而加入的单位增益放大器原理见后面分析，第四级等效为功率管放大级。等效框图如图2-46所示。

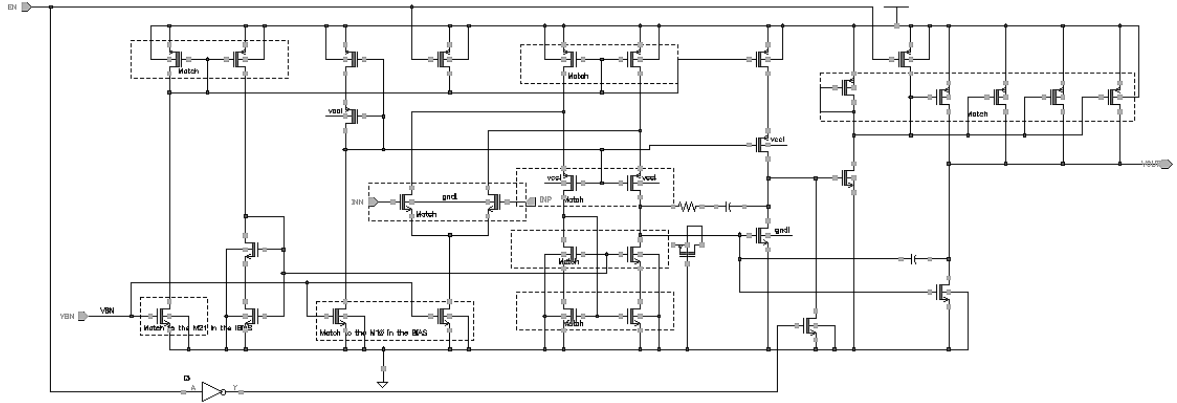


图 2-47 电压跟随器电路图

本设计为了保证达到PSRR要求使系统环路带宽增大，增大低频增益，采用四级运放结构，因为最后一级的功率管要提供很大范围的负载电容，且对于无片外电容的LD0时，其稳定性在最低负载时最差，由典型的片内LD0误差放大器稳定性分析可知，输出极点会随着负载电流的变化而变化，在最小负载电流时，输出极点减小，可能造成不稳定。且功率管栅极的寄生电容很大，一般可以达到100pF左右，故第三级也可做成电压缓冲器，把栅极的寄生极点推向高频，令 G_{mi} 、 C_i 、 R_i 代表每级的输入跨导、输出节点寄生电容和输出电阻。因为第二级是高增益级，且其输出阻抗较高，故在传统的NMC基础上加以修改，加上了前馈跨导 G_{mf} 和调零电阻 R 。前馈跨导级可以与功率管构成push-pull结构，在一定程度上有利于瞬态响应的改善。同时在第一级输出和第二级输出之间用典型的RC补偿网络，产生极点分裂效应，并去除了传统米勒补偿所产生的右半平面零点。故本文的设计使得主极点在非常低的频率，且使RC补偿的右半平面零点转化为左半平面零点来抵消第二级输出的极点，从而做到在全负载范围内的稳定。

$$(A_{dc} = g_{m1}g_{m2}g_{m3}g_{m4}R_1R_2R_3R_{out})$$

$$P_0 = \frac{1}{R_1g_{m2}R_2g_{m3}R_3g_{m4}R_{out}C_{m1}}$$

$$P1 = \frac{gm2}{C1 + C2 + \frac{C1C2}{Cm2}} \quad Z1 = \frac{1}{Cm2(\frac{1}{gm2} - R1)}$$

$$GBW = \frac{gm1}{cm1}$$

$$PM = 90 - \arctan \frac{GBW}{P1} + \arctan \frac{GBW}{Z1}$$

4.2 实际线路图特性分析(The Electrical Characteristics of DC)

4.2.1 DC 特性分析

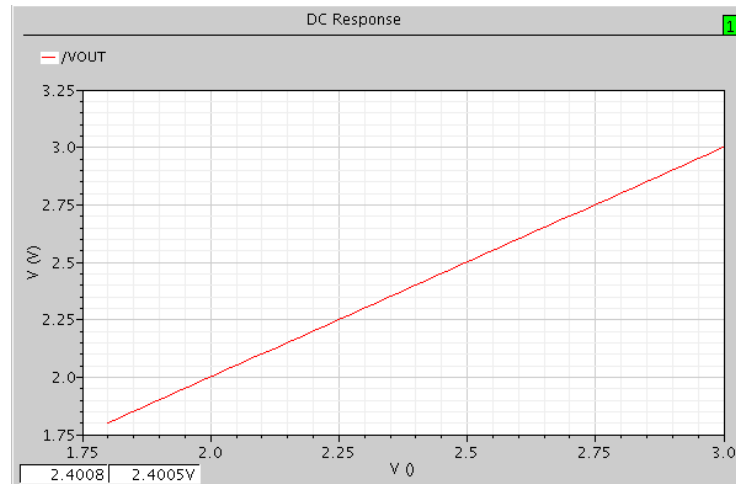


图 2-48 电压跟随器电路 DC 仿真图

分析：图2-48所示为电压跟随器电路DC仿真特性曲线，从图中可以看出在1.8V-3.0V范围内输出电压非常好的跟随输入电压，输出电压等于输入电压，符合预期。

4.2.2 AC 特性分析

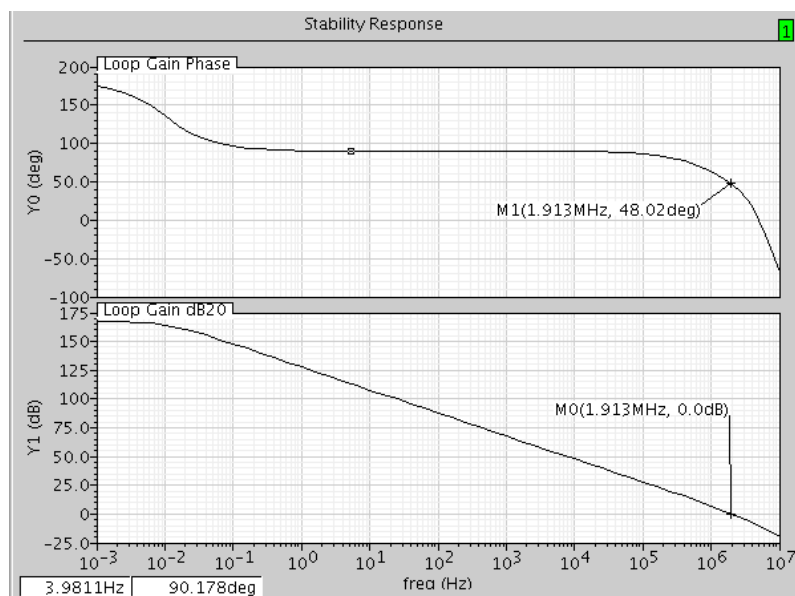


图 2-49 电压跟随器电路 AC 仿真图 负载电流 100uA

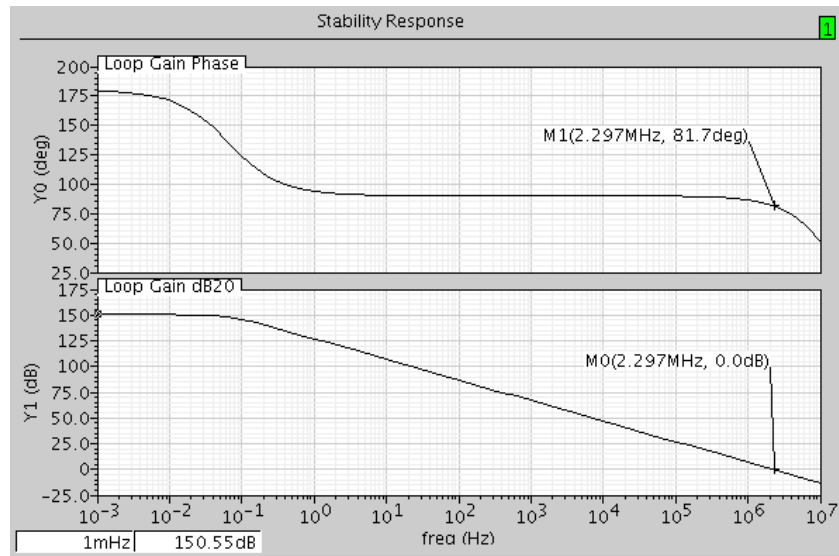


图 2-50 电压跟随器电路 AC 仿真图 负载电流 300mA

分析：图2-49和图2-50所示为电压跟随器电路AC仿真特性曲线，当负载电流为100uA时，相位裕度为48.02db，GBW为1.913MHZ。当负载电流为300mA时，相位裕度为81.7db，GBW为2.297MHZ.

第三部分 总体电路的仿真

低压差线性稳压 (LDO) 芯片主要由启动电路、偏置电路、带隙基准、预调整放大器、低通滤波器、保护模块、电阻反馈网络和电压跟随器组成：带隙基准产生1.2V左右的基准电压，所需的电阻由电阻网络提供；偏置电路主要提供后面电路模块所需的电流偏置信号和模块使能信号，预调整放大器对基准电压进行预调整，使其输出为1.8V。低通滤波器用于过滤带隙基准和反馈电阻所产生的噪声。电压跟随器对预调整的电压形成单位增益的结构，图3-1是该电路的整体框图：

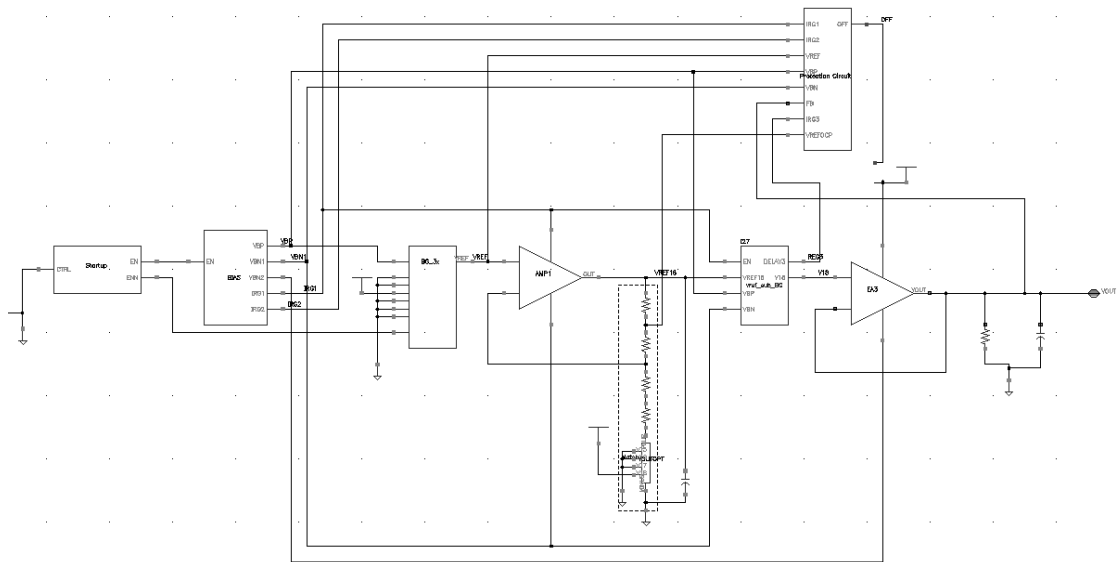


图 3-1 电路的整体功能模块图

直流参数

仿真时只需根据仿真参量或所需仿真条件的不同选取图中相应的组件参数进行扫描即可。

仿真条件：TA =27°C ， VCC =3.3 V

仿真波形如下图所示

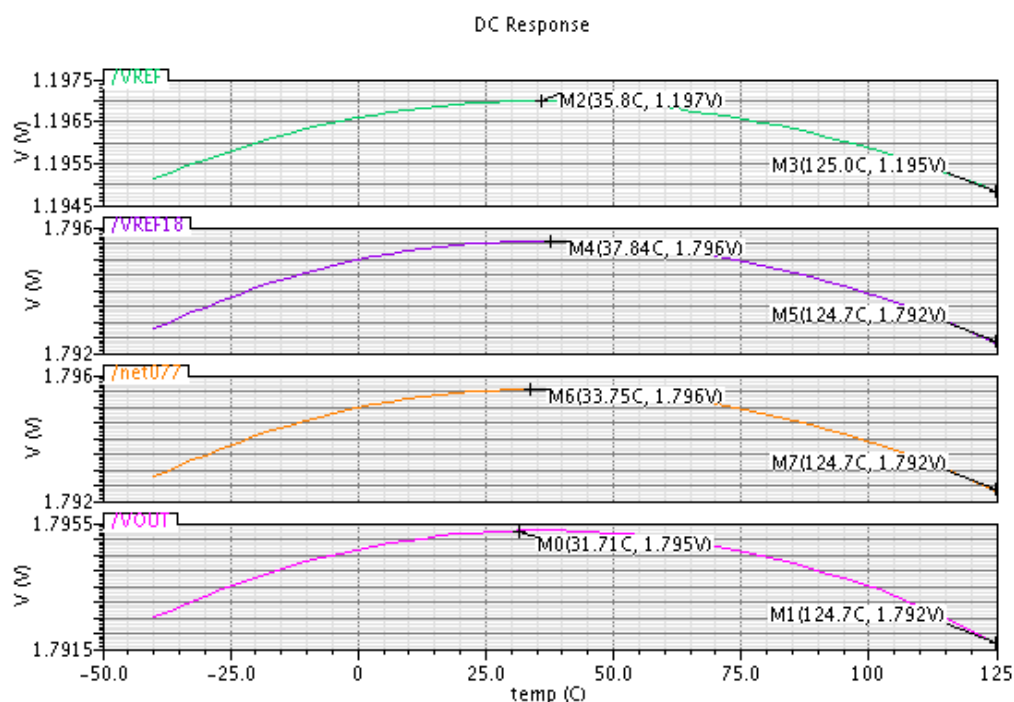


图 3-2 VREF、VREF18、V18、VOUT 随电源电压的变化

整体电路的直流特性仿真结果，LDO输出电压在全温度范围内变化为3mV，达到设计要求压差电路的输入电压，扫描Vin从 0 到 4 变化（见横坐标轴，从右到左），得到所对应的输出电压。设计部分的LDO压差仿真曲线如图3-3所示。

图3-3是300mA负载时，压差仿真曲线，由上图可知，当输出电压由1.8V下降 0.1%精度时，对应的压差为2.07-1.79=280mV

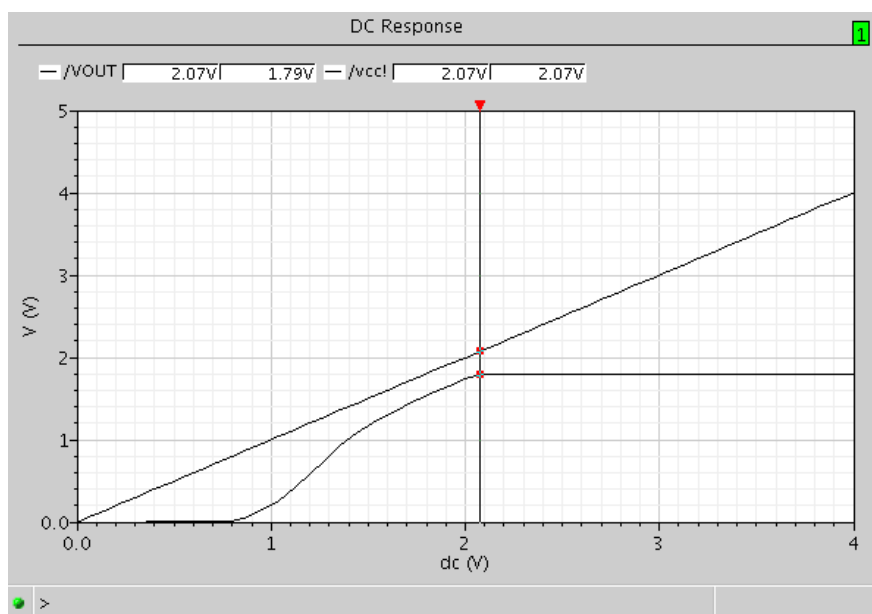


图 3-3 负载电流为 300mA 时的压差仿真图

综上所述，本文所设计的电路压差在不同负载电流时均小于设计所要求的 300mV，满足设计要求。

线性调整率

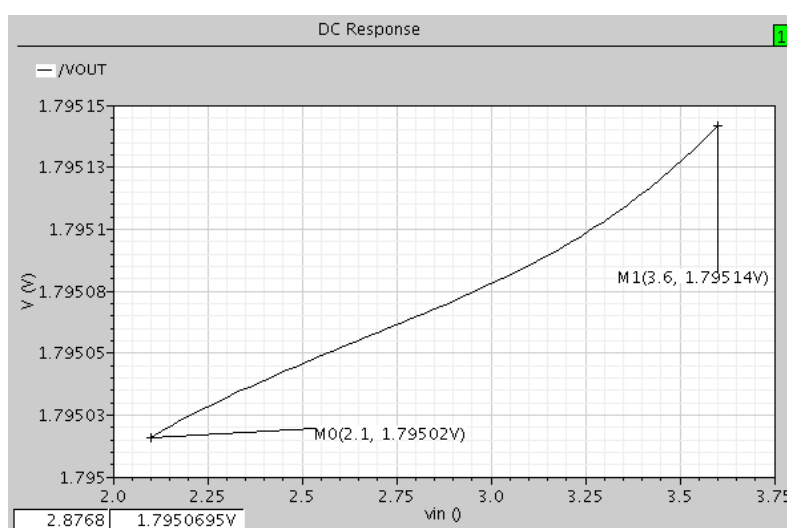


图 3-4 线性调整率曲线

图3-4中电压源V0，即输入电压，扫描Vin从2.1V到3.6V变化。由图3-3可得线性调整率为：

$$\frac{1.79514 - 1.79502}{3.6 - 2.1} = 0.008\%$$

负载调整率

输入电压3.3V，负载电流 I_{load} 从0.1到300mA变化时，本文所设计的输出电压曲线如图3-5所示

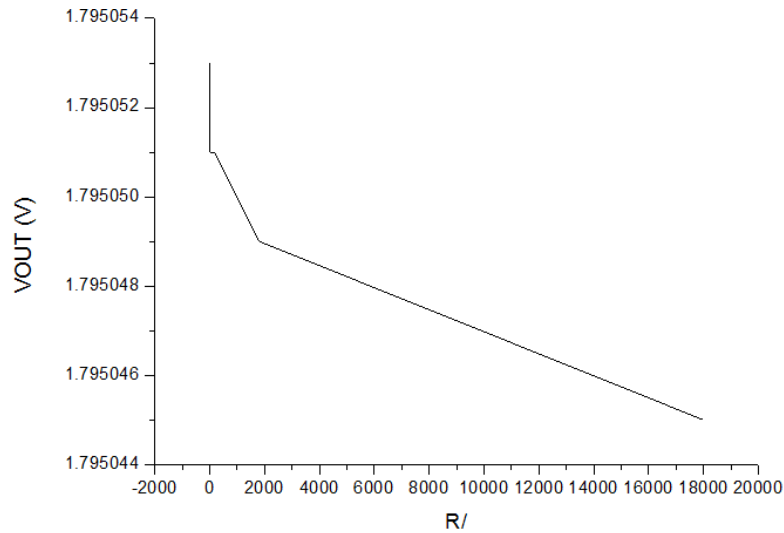


图 3-5 负载调整率仿真曲线

由图3-5可得负载调整率约为0.003%。

静态电流

电源电压为3.3V，负载电流分别为100uA时，电路的静态电流为 $147.2 - 100 = 47.2 \mu\text{A}$ 。

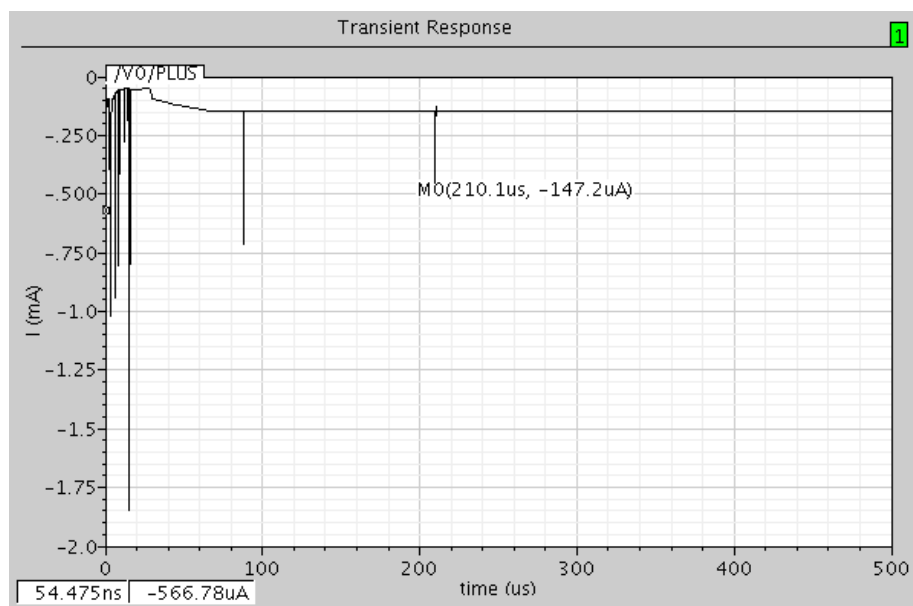


图 3-6 静态电流仿真曲线

瞬态仿真

当给电源电压加一个线性上电电源时，仿真输出电压的瞬态特性

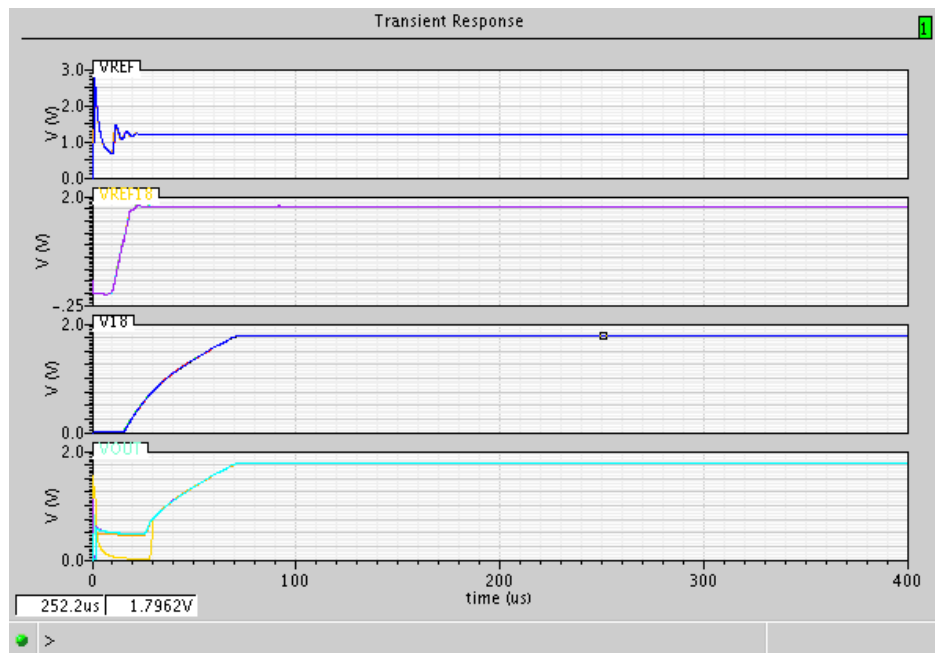


图 3-7 瞬态仿真曲线

由图可知，上电启动时间为75 us,

当输入电压为3.3V时，负载瞬态响应的仿真结果如图3-8所示

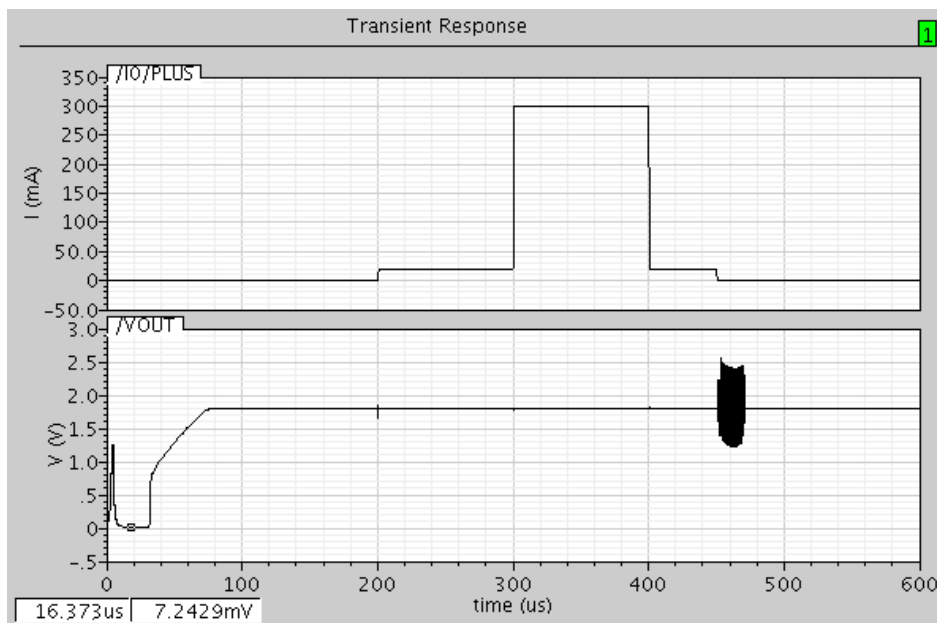


图 3-8 负载瞬态响应

从图3-8中可以看出，负载电流从0.1mA经过1us从100uA上升到20mA，稳定100us, 在经过1us，由20mA上升到300mA。输出电压经过约1.9μs达到稳定，过冲电压为135mV。

噪声仿真

图3-9所示是本文设计电路在负载为300mA时1Hz~100KHz的噪声分布示意图。由仿真结果可知输出端总的积分噪声在10HZ—100KHZ时，为17.3uV。

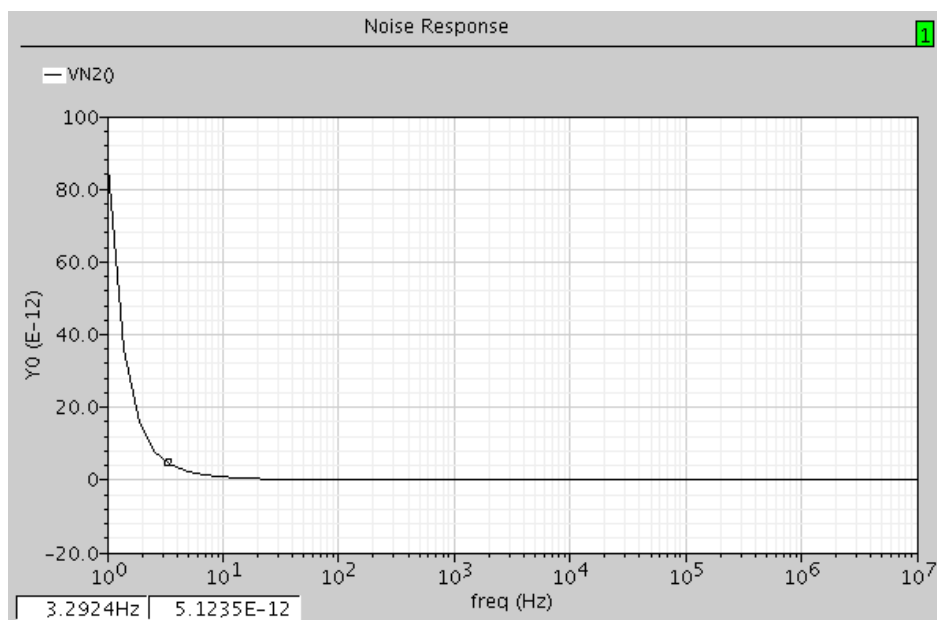


图 3-9 输出噪声频谱图

Device	Param	Noise Contribution	% Of Total
/I28/M46	id	6.7248e-06	15.13
/I28/M45	id	6.72435e-06	15.13
/I28/M45	fn	5.95961e-06	11.89
/I28/M46	fn	5.95855e-06	11.88
/I28/M39	id	5.70543e-06	10.89
/I28/M43	id	5.66852e-06	10.75
/I28/M25	id	5.44144e-06	9.91
/I28/M21	id	5.44112e-06	9.91
/I28/M39	fn	2.06624e-06	1.43
/I28/M43	fn	2.05277e-06	1.41
Integrated Noise Summary (in V) Sorted By Noise Contributors			
Total Summarized Noise = 1.72866e-05			
Total Input Referred Noise = 0.0429352			
The above noise summary info is for noise data			

图 3-10 输出总噪声

图3-11所示是本文设计电路在负载为20mA时1Hz~100KHz的噪声分布示意图。由仿真结果可知输出端总的积分噪声在10HZ—100KHZ时，为17.3uV。

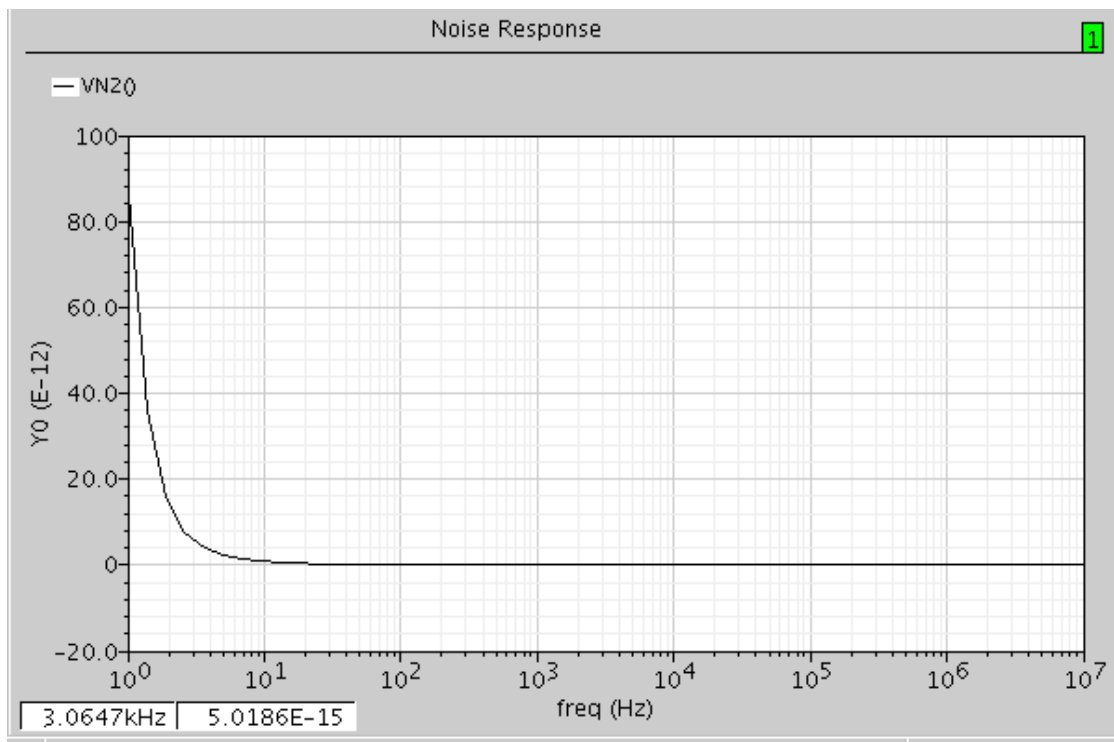


图 3-11 输出噪声频谱图

Device	Param	Noise Contribution	% Of Total
/I28/M46	id	6.72536e-06	15.13
/I28/M45	id	6.72491e-06	15.13
/I28/M45	fn	5.95969e-06	11.88
/I28/M46	fn	5.95865e-06	11.88
/I28/M39	id	5.70591e-06	10.89
/I28/M43	id	5.66898e-06	10.75
/I28/M25	id	5.4419e-06	9.91
/I28/M21	id	5.44157e-06	9.91
/I28/M39	fn	2.06627e-06	1.43
/I28/M43	fn	2.0528e-06	1.41
Integrated Noise Summary (in V) Sorted By Noise Contributors			
Total Summarized Noise = 1.72875e-05			
Total Input Referred Noise = 0.0475268			
The above noise summary info is for noise data			

图 3-12 输出总噪声

交流特性仿真

设计电路时，要求交流稳定仿真满足以下条件电路才能稳定：

相位裕度大于等于60°；

本文设计的应用于嵌入式LDO的误差放大器的整体电路的环路交流稳定性仿真时，将电路连接成图3-13所示的形式。

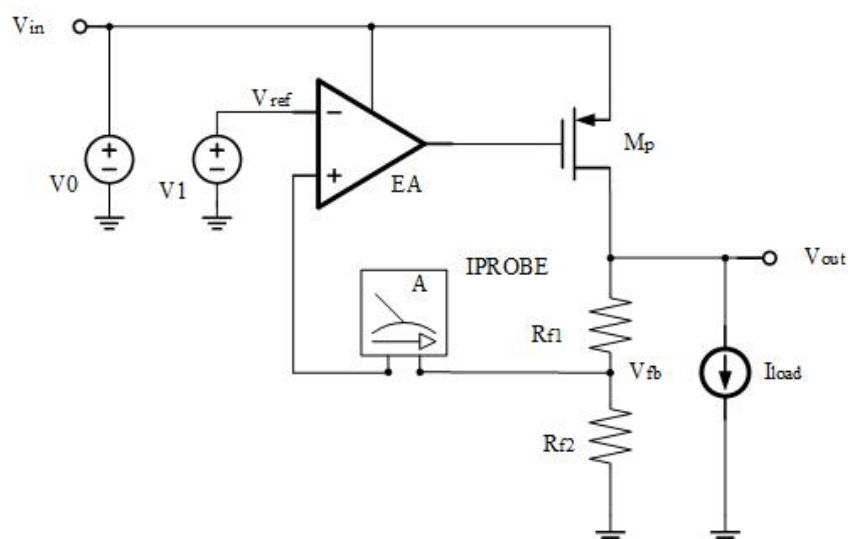


图 3-13 交流稳定性仿真结构

图3-13中将反馈环路断开，在其中加入元件IPROBE，进行stb仿真。另外V0为电路提供输入电压，V1作为理想的带隙基准电压源为电路提供1.2V的电压。

在嵌入式电路中，电源电压为3.3V并且变化很小，所以需要重点关注不同负载时设计电路的稳定性。下面将在负载电流Iload分别为100uA，20mA，80mA，300mA定性仿真。

1) 负载电流为100uA

当电源电压为3.3V，负载电流为100uA时，频率响应仿真结果如图3-14所示。从图中可以看到，此时LD0的低频环路增益约为165dB，相位裕度约为48°。因此，0.1mA负载电流下所设计的电路满足稳定的要求。

2) 负载电流为20mA

当电源电压为3.3V，负载电流为20mA时，频率响应仿真结果如图3-15所示。从图中可以看到，此时LD0的低频环路增益约为162dB，相位裕度约为80.35°。因此，20mA负载电流下所设计的电路满足稳定的要求。

3) 负载电流为80mA

当电源电压为3.3V，负载电流为80mA时，频率响应仿真结果如图3-16所示。从图中可以看到，此时LD0的低频环路增益约为157dB，相位裕度约为80.85°。因此，80mA负载电流下所设计的电路满足稳定的要求。

4) 负载电流为300mA

当电源电压为3.3V，负载电流为300mA时，频率响应仿真结果如图3-17，从图中可以看到，此时LD0的低频环路增益约为150dB，相位裕度约为81.7°。因此，300mA负载电流下所设计的电路满足稳定的要求。

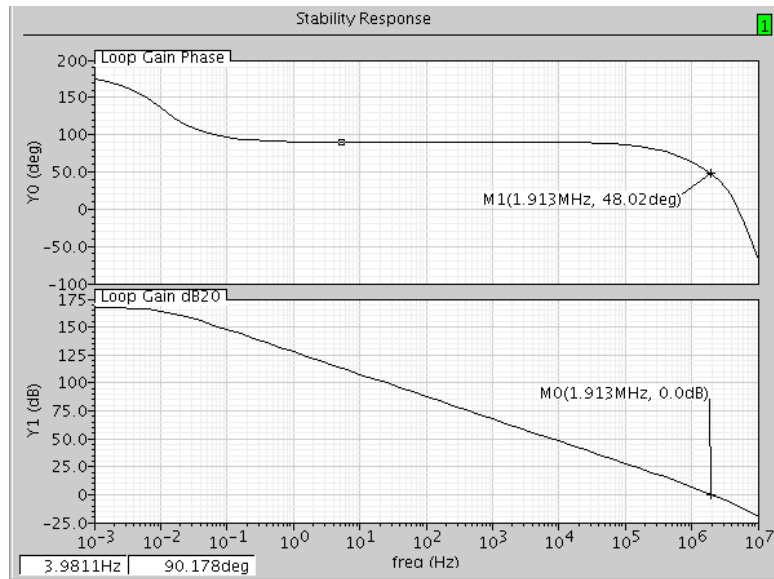


图 3-14 负载电流为 100uA 时的所设计电路的频率响应

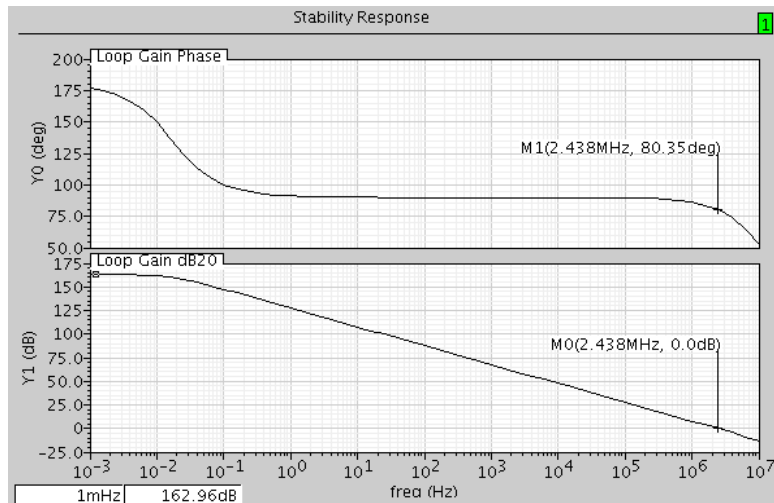


图 3-15 负载电流为 20mA 时的所设计电路的频率响应

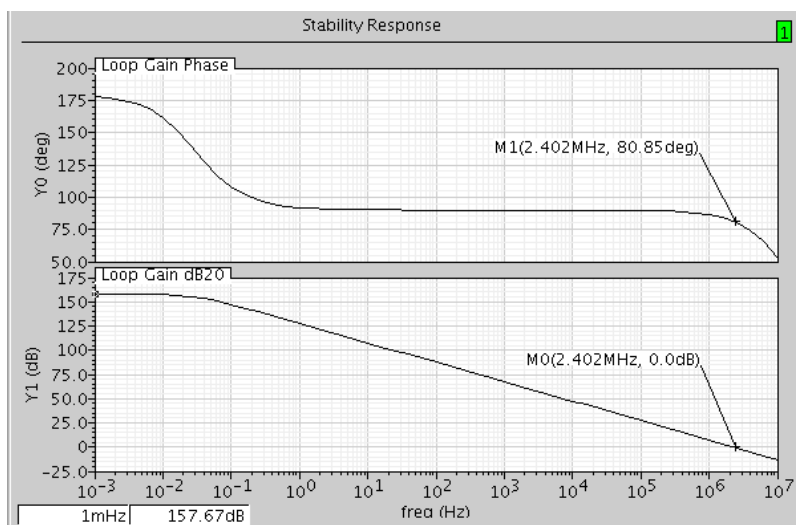


图 3-16 负载电流为 80mA 时的所设计电路的频率响应

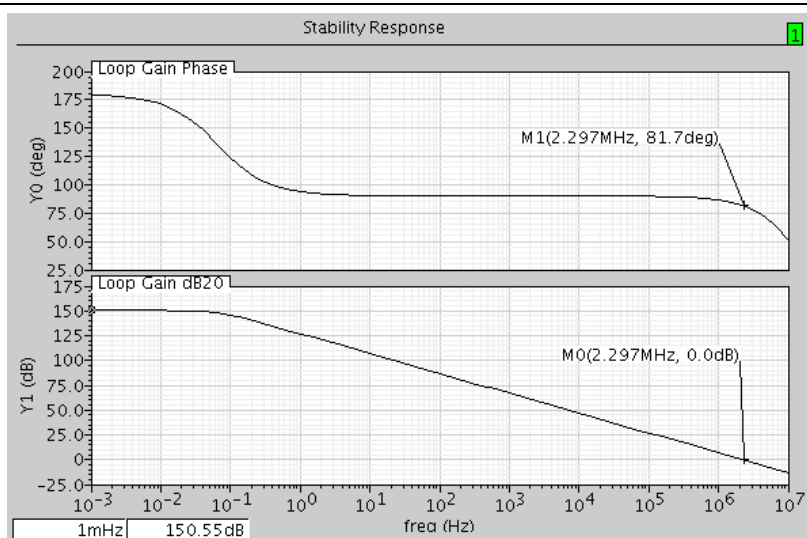


图 3-17 负载电流为 300mA 时的所设计电路的频率响应

综上所述，电压为3.3V，负载电流分别为0.1mA，20mA，80mA，300mA时电路全都满足稳定的条件。

PSRR 特性仿真

前面已经介绍过电源抑制比 (PSRR) 也是LDO的主要的性能之一，是指输出电压对输入电压的抑制能力。定义为：

$$PSRR = 20 \log \frac{A_{dd}}{A_v}$$

由于LDO是一个闭环系统，因此 $A_v = 1$ 。PSRR的传输函数可以由输入到输出的阻抗和输出到地的阻抗分压得到，如图3-18所示：

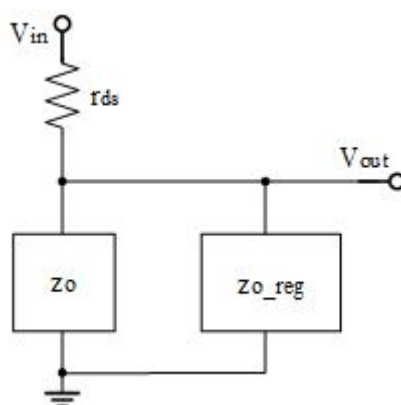


图 3-18 负载电流为 300mA 时的所设计电路的频率响应

其中 r_{ds} 是功率调整管的沟道电阻， Z_o 是开环的输出阻抗， Z_{o_reg} 是反馈环路的输出阻抗（此处反馈环路布包裹输出电容）。即：

$$z_o = (z_{C_{out}} + R_{esr}) \parallel (R_{f1} + R_{f2}) \parallel R_{load}$$

$$z_{o_reg} = \frac{z_o \parallel r_{ds}}{1 + A_{ol}\beta} \approx \frac{z_o \parallel r_{ds}}{1 + A_{ol}\beta}$$

其中 A_{ol} 为反馈环路的开环增益，为 $A_{ol}(s) = \frac{A_{ol_dc}}{1+s/p_{o_EA}}$ ， p_{o_EA} 是系统频率响应的第二个极点。 $z_{C_{out}}$ 为输出电容 C_{out} 和等效串联电阻 R_{esr} 串联的阻抗。由图3-18可看出，系统的PSRR为：

$$PSRR = \frac{(z_{o_reg} \parallel z_o)}{r_{ds} + (z_{o_reg} \parallel z_o)}$$

由于电源抑制比与频率有关，因此对不同频率时的PSRR进行分析。

1) 直流和低频

在频率较低时， A_{ol} 很大，那么 z_{o_reg} 很小， z_{o_reg} 和 z_o 并联只有 z_{o_reg} 起作用。这时：

$$PSRR = \frac{z_{o_reg}}{r_{ds} + z_{o_reg}}$$

而且 z_o 远大于 r_{ds} ，因此：

$$PSRR_{dc} \approx \frac{\frac{r_{ds}}{A_{ol_dc}\beta}}{r_{ds} + \frac{r_{ds}}{A_{ol_dc}\beta}}$$

即：

$$PSRR_{dc} \approx \frac{1}{A_{ol_dc}\beta}$$

由上式可以看出，LDO的低频PSRR的值为低频环路增益的倒数。因此，若要增大低频的PSRR，可以增大系统的开环增益和反馈因子。通常用多级放大器级联的方法来提高系统的开环增益，但是多级放大器级联会引入补偿的问题，因此设计时要全面考虑。

2) 中频

当频率增大时，反馈环路传输函数出现了极点，在放大器的输出端，即 p_{o_EA} ，使得反馈环路增益开始下降。在反馈环路增益带宽积（GBW）之前，可认为 $z_{o_reg} \parallel z_o \approx z_{o_reg}$ 这个关系仍然满足。那么，LDO的PSRR的零点出现在反馈环路的极点处，极点出现在反馈环路的GBW处。

$$PSRR_{f \leq GBW} \approx \frac{1 + \frac{s}{p_{o_EA}}}{A_{o_idc} \beta (1 + \frac{s}{GBW})}$$

当频率刚刚大于GBW时, $z_{o_reg} \parallel z_o \approx z_{o_reg}$, 因此系统的PSRR为:

$$PSRR_{f=GBW} \approx \frac{z_o}{r_{ds} + z_o}$$

而此时的 z_o 远大于 r_{ds} , 则 $PSRR_{f=GBW} \approx 1$ 。这时候的电源抑制能力是最差的, 反馈环路不能抑制电源噪声, 同时输出电容也不能将噪声传到地上。

3) 高频

当频率大于反馈环路增益带宽积后, 反馈环路的作用已经消失, 这时候的 $z_{o_reg} \parallel z_o \approx z_o$, PSRR表达式与中频相同。当频率变大时, 输出电容的阻抗变小, 使得输出电压的噪声减小(因为噪声正比于电阻的阻值), 就相当于增大了PSRR。由于输出电容的阻抗随频率的增大而减小, 故PSRR随频率的增大而增大, 在PSRR上相当于出现了第二个极点 p_2 。此时的PSRR为:

$$PSRR_{f > GBW} \approx \frac{z_{Cout}}{r_{ds} + z_{Cout}}$$

当频率更大时, 输出电容相当于短路了, 而与其串联的等效电阻 R_{est} 会增大输出端的噪声, 在PSRR上相当于出现了一个零点 z_2 。 R_{est} 越大, 零点就越近, PSRR的性能就会越不好。此时的PSRR可以写成:

$$PSRR_{f \gg GBW} \approx \frac{R_{est}}{r_{ds} + R_{est}}$$

若想要提高高频的PSRR, 减小 R_{est} 是一个办法。但是 R_{est} 取值还会影响到稳定性, 因此设计的时候要综合考虑。下图能清晰地看出, 不同频率下PSRR的变化。

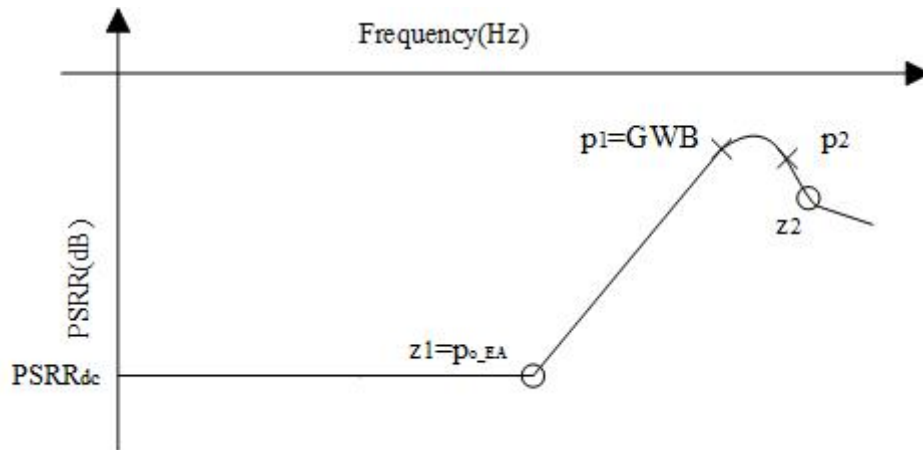


图 3-19 带片外电容 LDO 的 PSRR 波特图

经过以上的分析，可以看出带片外电容 LDO 的 PSRR 的第一个零点出现在 p_{o_EA} ，同时 p_{o_EA} 是系统环路增益的第二个极点，处于中频带，因此在中频带带片外电容的 LDO 很高。在高频处，输出端的片外电容引入一个极点 p_2 ，增大了 PSRR，使系统在高频处也具有很高的电源抑制能力。但是，对于无片外电容的 LDO，为了系统稳定而引入的密勒电容，会降低系统的电源抑制能力。因此，电源抑制能力的提高也是本文设计的难点。

4) 仿真

如图 3-20 所示，为电源电压为 3.3V，负载为 300mA 时的 PSR 特性曲线的仿真，该结果表明在低频时 PSR 为 71.24dB，在 10KHz 时大概为 70.48dB。

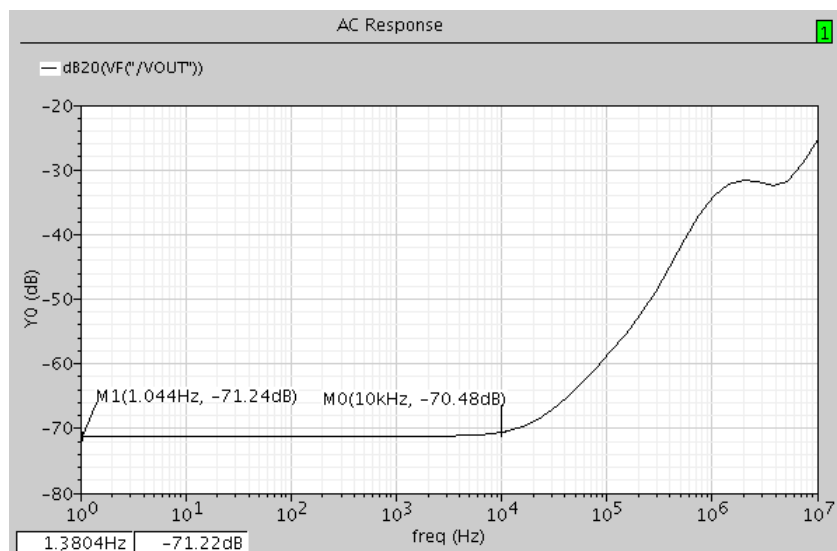


图 3-20 PSRR 特性仿真曲线

第四部分 LDO 芯片版图设计

该 LDO 所用工艺为 SMIC 0.18um Mix-signal，并使用六层金属进行布线。版图设计过程用到的器件包括 3.3V MOS 管、MIM 电容、3.3V 纵向 PNP 管、高阻值多晶电阻（rhrpo）、N 阱电阻（rnwaa）。

设计软件为 Cadence 下的 Virtuoso，DRC 和 LVS 验证在 Dracula 下进行并通过（设计过程并未触及 slot 条件，且金属电容尺寸不在 slot 验证之列，无需进行 slot 的 DRC 验证）。

版图尺寸与面积：

$$575\mu\text{m} \times 390\mu\text{m} = 0.22425 \text{ mm}^2$$

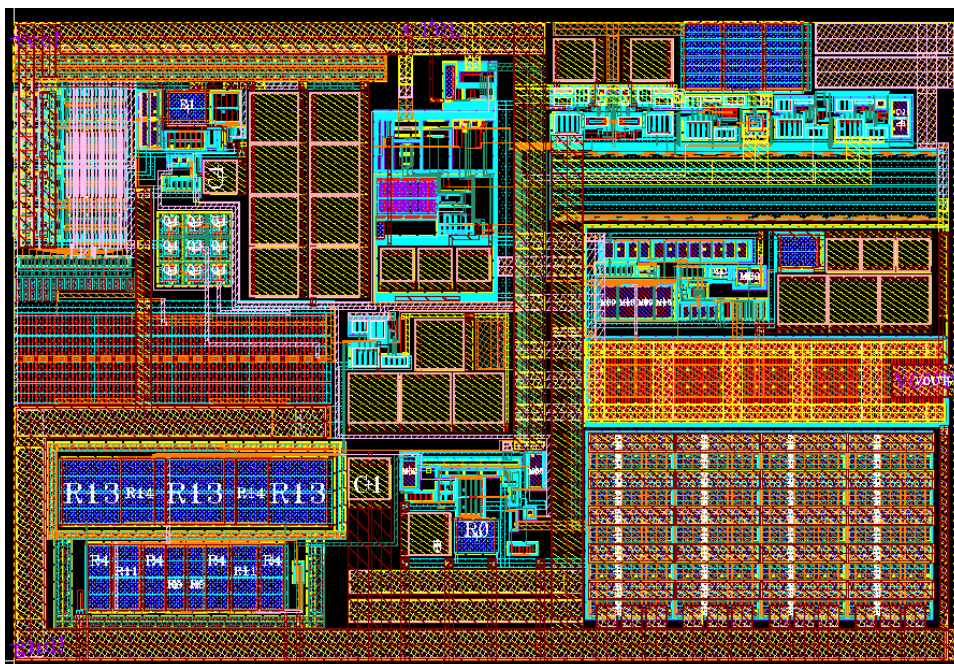


图 4-1. LDO 版图

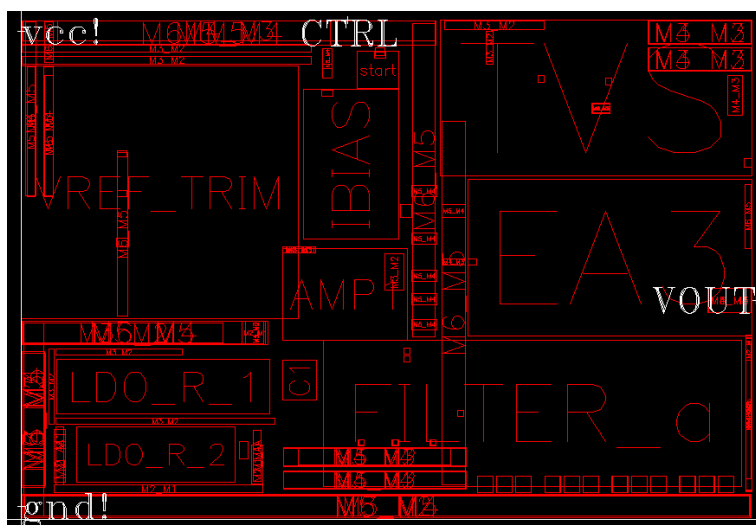


图 4-2.版图中各模块相对位置