

半导兒童不宜篇

群魔亂舞之10與20

早洩， DIBL and Lg limits

王不老說半导

世界魔鬼花何其多

- 世界有多以魔鬼為名的花，例如右上的魔鬼蘭(*elipogon diabolicus*)，其中花蕊真有魔鬼模樣，真嚇人
- 我們亞洲的石蒜 (*Lycoris radiata*)，又名彼岸花(鬼花也)，曼殊沙花 (*mañjūsaka*)等(右下)
- 就其花語而言，此花據稱包含”悲伤的回忆”(日本)，”相互思念”(朝鲜)，“优美纯净”，又有“**恶魔的温柔**”寓意(中国)



<https://www.eurekalert.org/news-releases/672568>



<https://zh.wikipedia.org/wiki/%E7%9F%B3%E8%92%9C>

何謂Decartes魔鬼？

- 大哲笛卡尔(Decartes)突發奇想，他開始懷疑世間他所感受的，所有他原以為理所當然的世間萬事，可能都是假的
- 他後來又想，也許數學及物理的公式可以完全相信，然而他又懷疑，也許數學中的真理(例如 $2+3 = 5$)，也可能也是某個超級厲害的魔鬼天才忽悠他的
- 最後笛卡尔认为，真正知识的基础在於“我思(懷疑)，故我在”
- Decartes魔鬼乃是促進現代科學發展的重要推手之一

www.lcps.org



Cogito, ergo sum
我思，故我在



11/6/2021

#EnglishWithJulien

How to Pronounce Cogito Ergo Sum? (CORRECTLY)

何謂Decartes魔鬼？

- 大哲笛卡尔(Decartes)突發奇想，他開始懷疑世間他所感受的，所有他原以為理所當然的世間萬事，可能都是假的
- 他後來又想，也許數學及物理的公式可以完全相信，然而他又懷疑，也許數學中的真理(例如 $2+3 = 5$)，也可能也是某個超級厲害的魔鬼天才忽悠他的
- 最後笛卡尔认为，真正知识的基础在於“我思(懷疑)，故我在”
- Decartes魔鬼乃是促進現代科學發展的重要推手之一

www.lcps.org



Cogito, ergo sum
我思，故我在

何謂Decartes魔鬼？

- 大哲笛卡尔(Decartes)突發奇想，他開始懷疑世間他所感受的，所有他原以為理所當然的世間萬事，可能都是假的
- 他後來又想，也許數學及物理的公式可以完全相信，然而他又懷疑，也許數學中的真理(例如 $2+3 = 5$)，也可能也是某個超級厲害的魔鬼天才忽悠他的
- 最後笛卡尔认为，真正知识的基础在於“我思(懷疑)，故我在”
- Decartes魔鬼乃是促進現代科學發展的重要推手之一

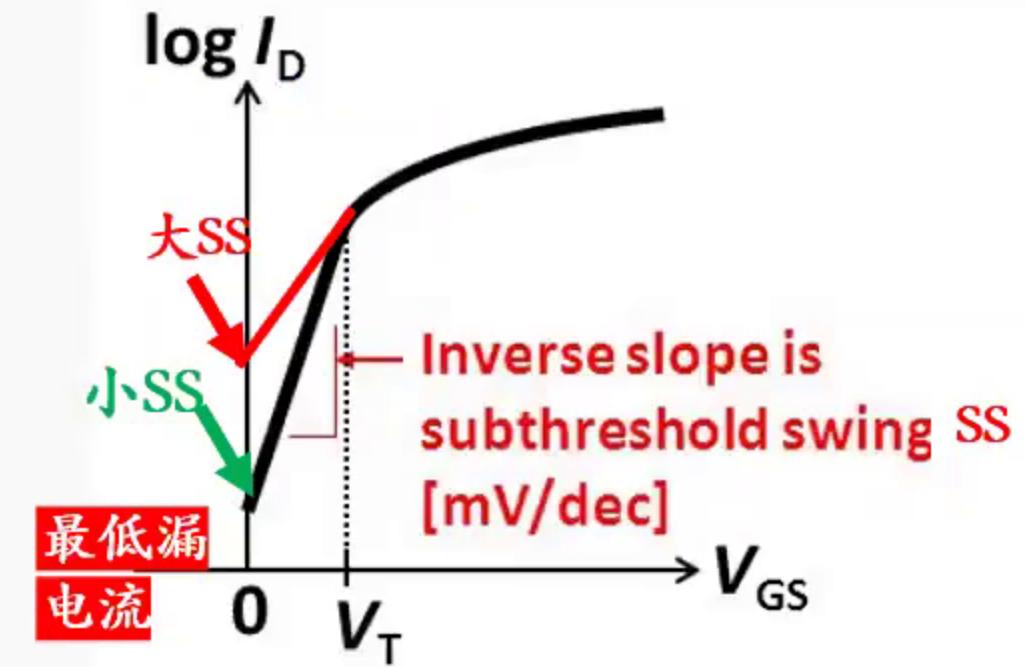
www.lcps.org



Cogito, ergo sum
我思，故我在

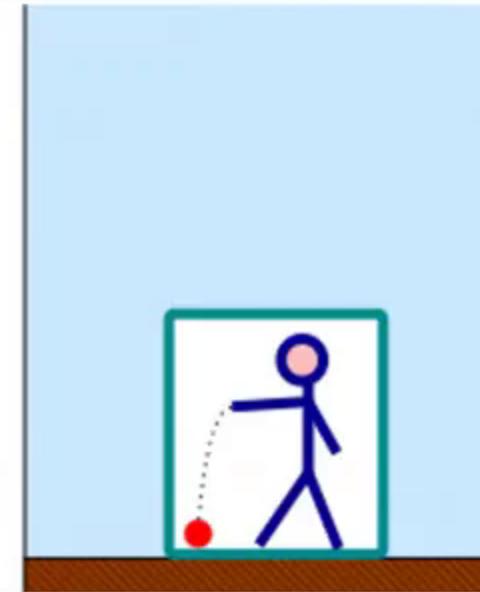
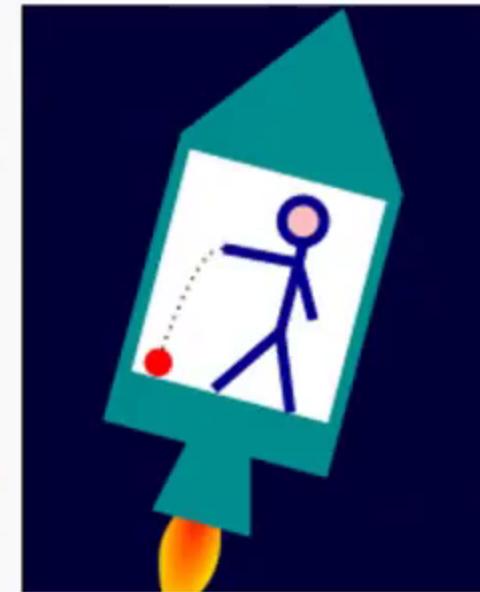
最低漏电流: Boltzmann 的魔鬼數字 = 60

- 這個意思是說，硅芯片的電流即使在電壓(V_{GS})為零時仍存在，此為最低漏电流
- SS 為圖右直線區之斜率倒數， $C_{it} = 0$ 時
 - $SS_{min} = \ln(10) \times \frac{kT}{q} = \ln(10) \times 26mV = 60 mV/dec$
 - SS 越低越好，但我們都是在常溫(25C)用電腦或手機，所以 SS 有了最小值 = 60mV/dec
- 顧客要求最低漏电流: 0.1nA, 1nA, 10nA and 100nA，而且要求 $SS \sim 60$



何謂Einstein 天使？

- 爱因斯坦一直對量子力学很不爽，因為後者将宇宙描述为不可预测的暂时状态，他卻堅認為宇宙是稳定的，他为此发表论文爭辯，但量子力学反而越辯越明
- 愛因斯坦著名的”電梯”思想實驗中假設電梯乃被某”**天使**”控制，他认为在电梯内部，人们无法通过任何可能的测量来判断电梯是在引力场中静止还是以恒定加速度被拉起。这种等效原理意味着局部重力的影响与没有重力时的加速度的影响相同。转换成数学方程，是为广义相对论的基础

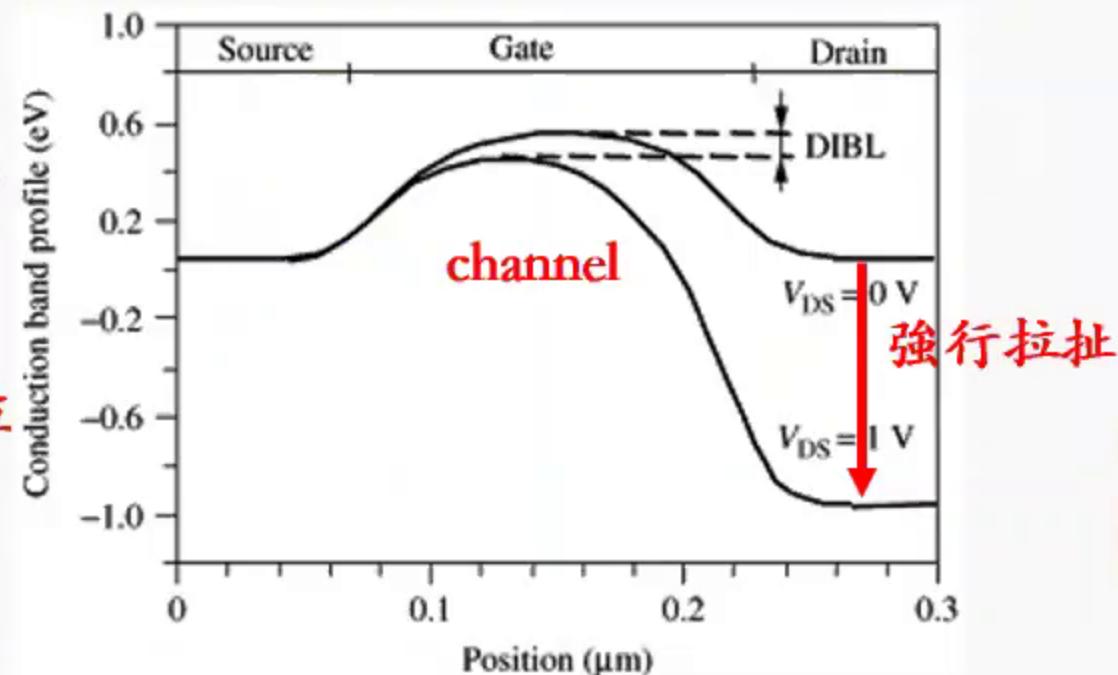


<https://www.thegreatcoursesdaily.com/einstein-experimental-elevator/>

試問:何謂DIBL?

解答: 強行拉扯, 幫倒忙的DIBL

- 電子在電晶體內由Source流動到Drain, 本就受到Source與channel所形成之位能壁壘所節制, V_G 電壓的作用其實就是直接控制此一位能壁壘, 當 $V_G \geq V_t$ 之時, 瞬間位能壁壘消失(inversion layer formed), Source的電子瞬間沖入Drain (高潮 Yeah)!
- 然而當D方加了電壓($V_{DS} \downarrow$) , 若是Gate太短, 如右圖所示, 結果位能壁壘竟然"自動"變低了, 使得Source-to-drain更易導通, 臨界電壓(V_t)變得比原來要小了, 此曰之DIBL (drain induced barrier lowering)

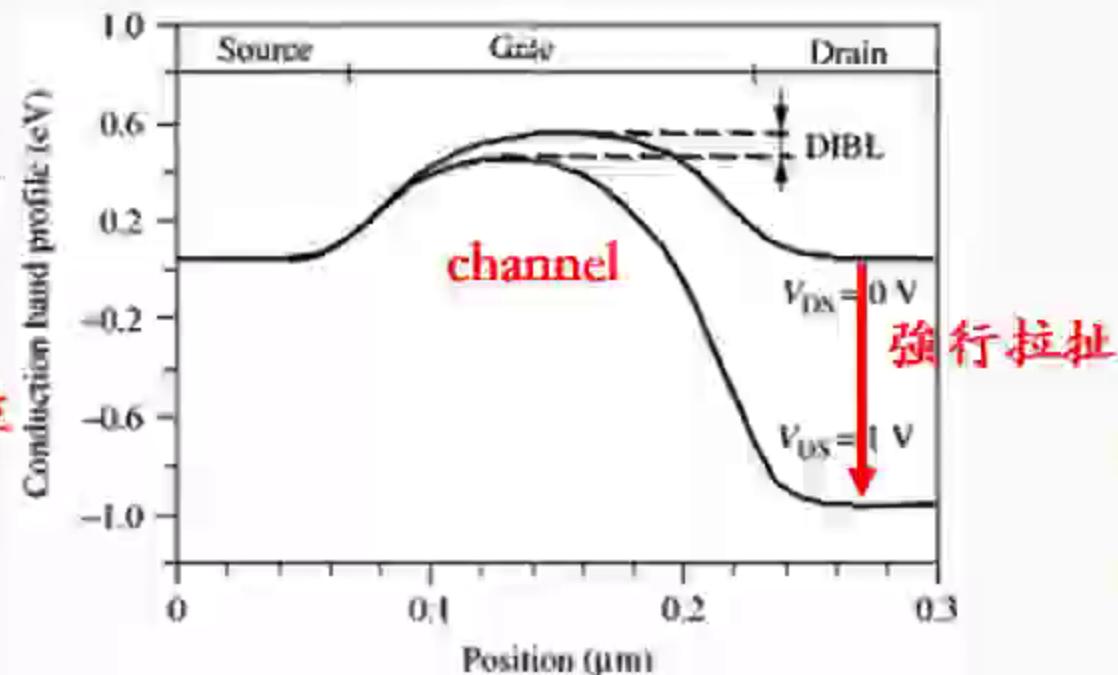


顯而易見，若Gate太短，
DIBL影響越大，此為SCE
(short channel effect)

試問：何謂DIBL？

解答：強行拉扯，幫倒忙的DIBL

- 電子在電晶體內由Source流動到Drain，本就受到Source與channel所形成之位能壁壘所節制， V_G 電壓的作用其實就是直接控制此一位能壁壘，當 $V_G \geq V_t$ 之時，瞬間位能壁壘消失(inversion layer formed)，Source的電子瞬間沖入Drain (高潮 Yeah)!
- 然而當D方加了電壓($V_{DS} \downarrow$)，若是Gate太短，如右圖所示，結果位能壁壘竟然"自動"變低了，使得Source-to-drain更易導通，臨界電壓(V_t)變得比原來要小了，此曰之DIBL (drain induced barrier lowering)

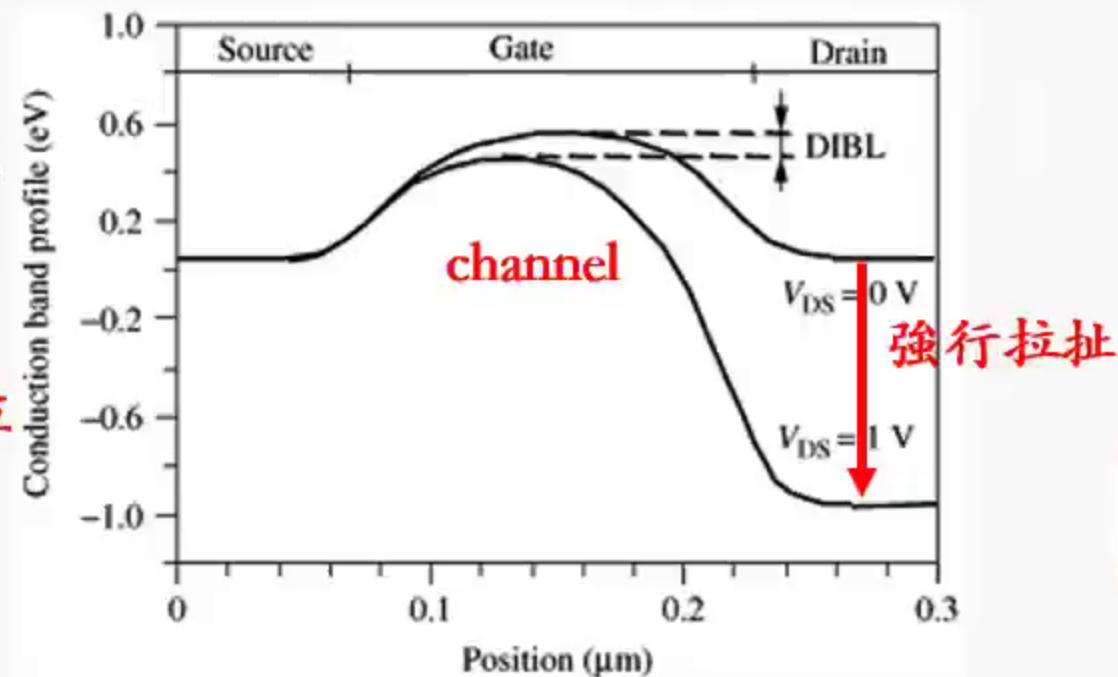


顯而易見，若Gate太短，
DIBL影響越大，此為SCE
(short channel effect)

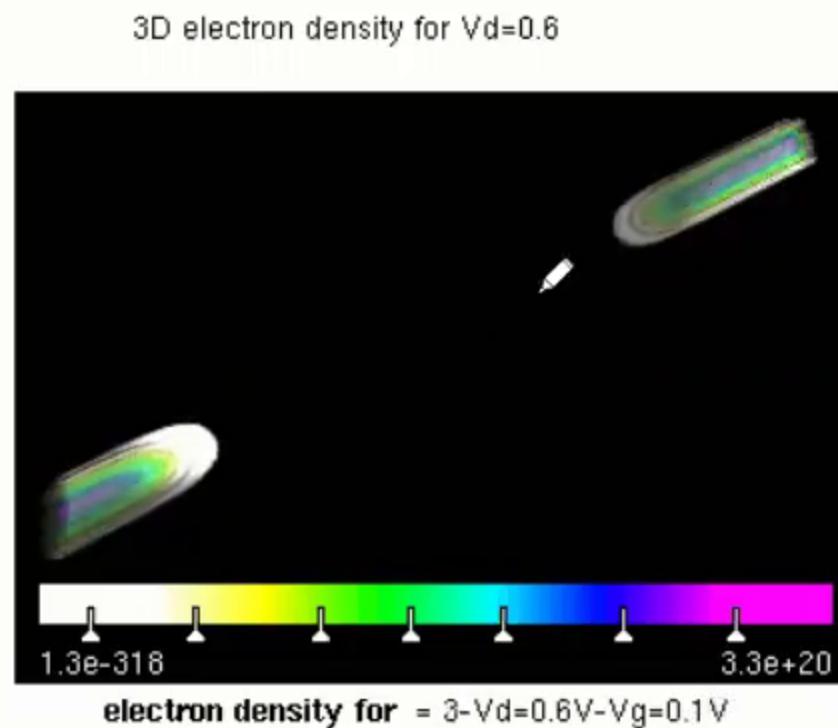
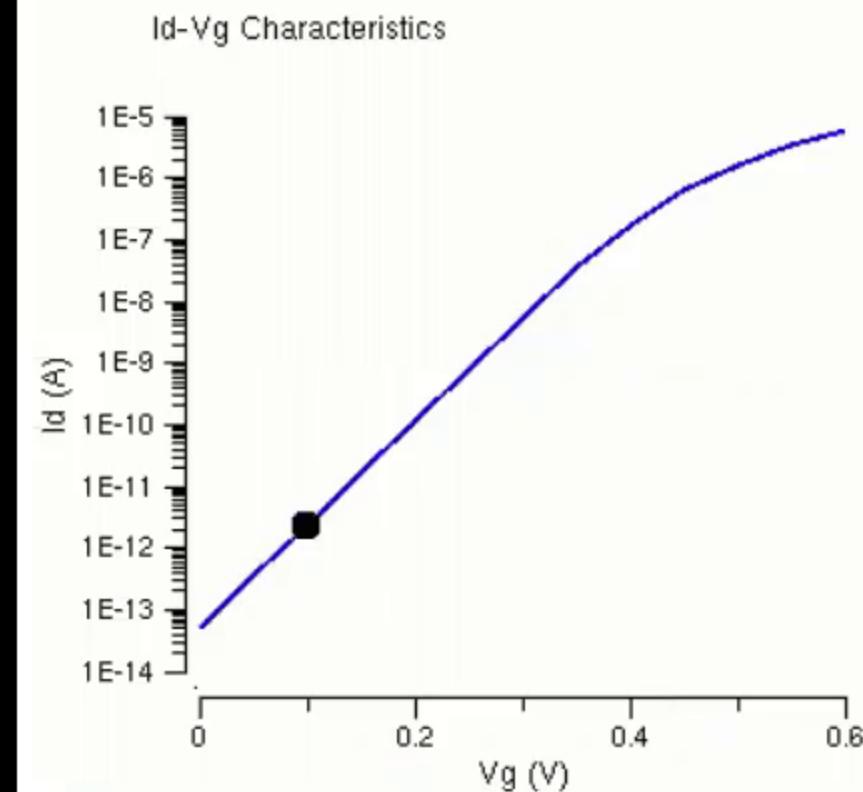
試問:何謂DIBL?

解答: 強行拉扯, 幫倒忙的DIBL

- 電子在電晶體內由Source流動到Drain, 本就受到Source與channel所形成之位能壁壘所節制, V_G 電壓的作用其實就是直接控制此一位能壁壘, 當 $V_G \geq V_t$ 之時, 瞬間位能壁壘消失(inversion layer formed), Source的電子瞬間沖入Drain (高潮 Yeah)!
- 然而當D方加了電壓($V_{DS} \downarrow$) , 若是Gate太短, 如右圖所示, 結果位能壁壘竟然"自動"變低了, 使得Source-to-drain更易導通, 臨界電壓(V_t)變得比原來要小了, 此曰之DIBL (drain induced barrier lowering)



顯而易見, 若Gate太短,
DIBL影響越大, 此為SCE
(short channel effect)



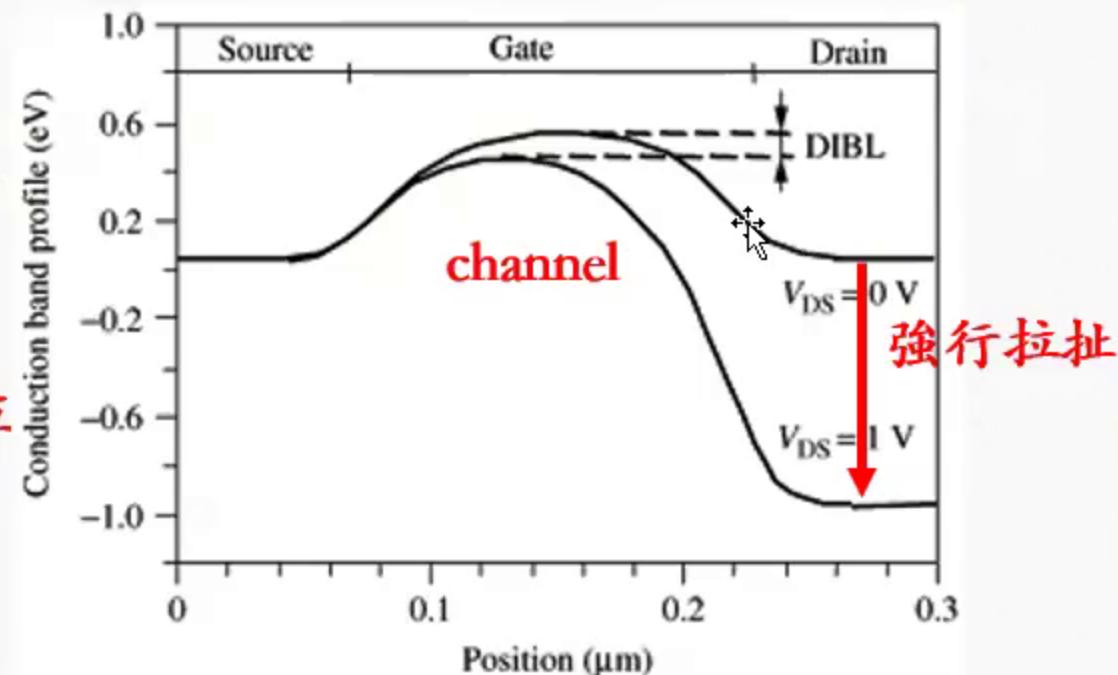
Simulation of formation of inversion channel (electron density) and attainment of threshold voltage (IV) in a nanowire MOSFET. Note: threshold voltage for this device lies around ...

 More details

試問:何謂DIBL?

解答: 強行拉扯, 幫倒忙的DIBL

- 電子在電晶體內由Source流動到Drain, 本就受到Source與channel所形成之位能壁壘所節制, V_G 電壓的作用其實就是直接控制此一位能壁壘, 當 $V_G \geq V_t$ 之時, 瞬間位能壁壘消失(inversion layer formed), Source的電子瞬間沖入Drain (高潮 Yeah)!
- 然而當D方加了電壓($V_{DS} \downarrow$) , 若是Gate太短, 如右圖所示, 結果位能壁壘竟然"自動"變低了, 使得Source-to-drain更易導通, 臨界電壓(V_t)變得比原來要小了, 此曰之DIBL (drain induced barrier lowering)



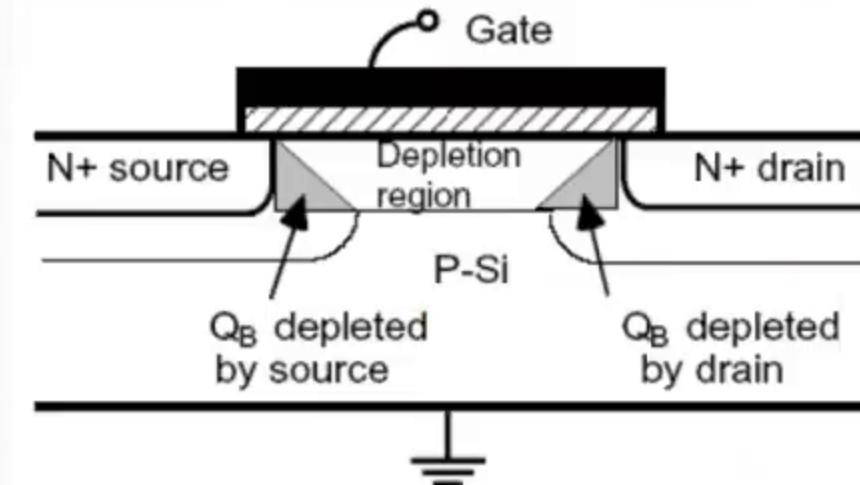
顯而易見, 若Gate太短,
DIBL影響越大, 此為SCE
(short channel effect)

試問:何謂DIBL?

試問:何謂DIBL? 說白一些

解答: 其實就是Drain在幫Gate早洩也

- 本來Gate就好好的，專心以 V_t 為開關，逼著硅溝道(silicon channel)累積電荷，最後硅溝道受不了，竟然造反(形成反型層，叫inversion layer)，其時($V_G = V_t$, 臨界電壓)Source的電子瞬間沖入Drain，電晶體瞬間高潮(Yeah)! 好爽!
- 然而當D方加了電壓($V_{DS} \downarrow$)，他竟然熱心地在硅溝道也累積電荷，這是幫Gate V_G 省力(所需 V_t 變小)，在**硅溝道很短**的時候，這省力的幅度變得相當大，大的有些受不了，曰之 DIBL



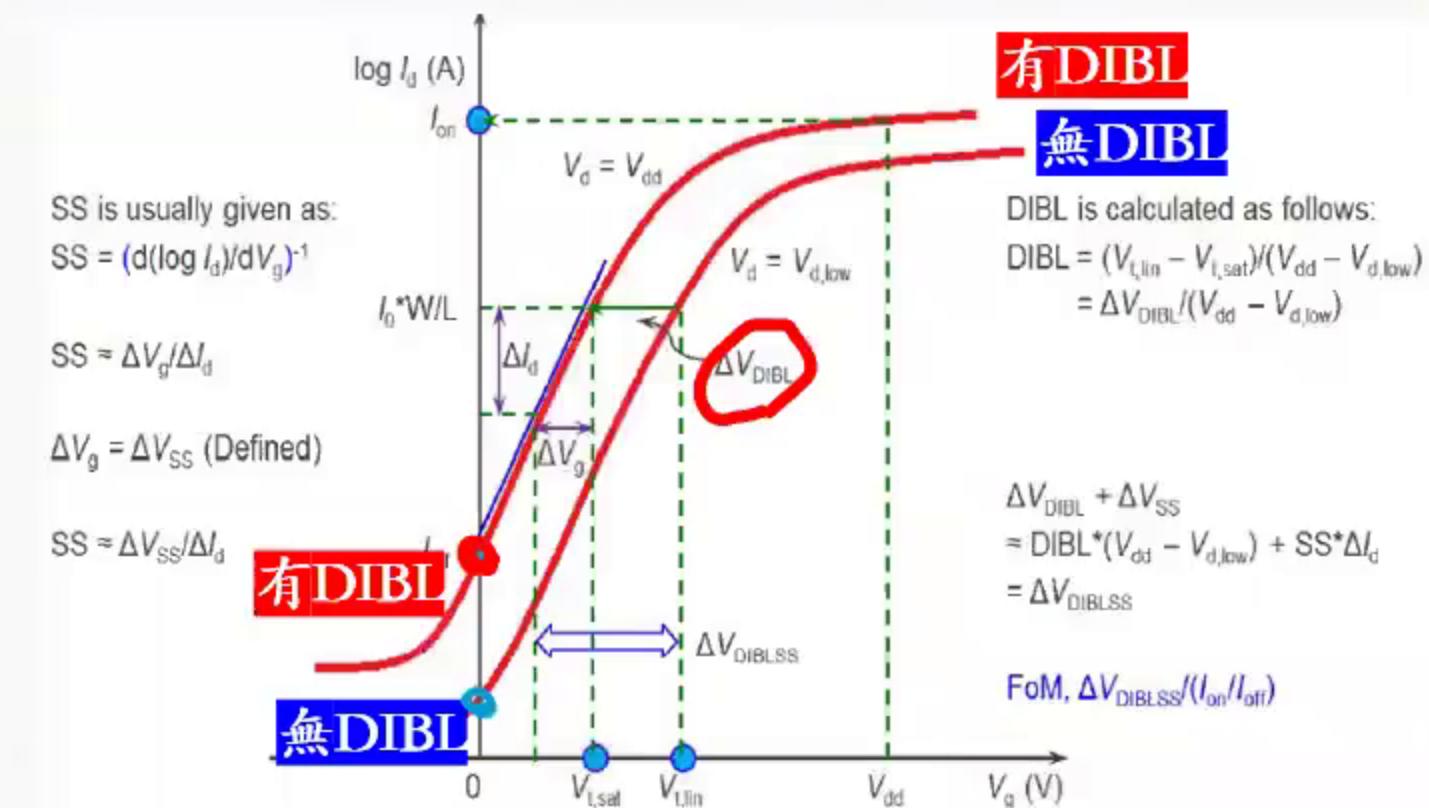
若Gate越短，DIBL幫倒忙
的影響越大，此也是SCE
(short channel effect)之一

試問:何謂DIBL?

試問:有了DIBL又如何?

解答:早洩也

- 電晶體太早高潮(因為臨界電壓變小了 ΔV_{DIBL}), 是為早洩
- 早洩就是漏電量大增, 你玩完了



試問:DIBL的魔鬼數字為何? 20

解答: 20 mV/V DIBL 为容差上限

- V_t (閾值電壓)之物理極限有三:
 1. Thermal energy = $kT = 26\text{mV}$
 2. Boltzmann 魔鬼數字 = 60 mV/dec (如右圖所示)
 3. 但 V_t 受 DIBL 魔鬼之影響甚深, 因她會把 V_G 強行拉扯一下(前頁)
- 考慮到 20 mV 偏移已經構成了 2 倍變化(因為 60mV 導致 10 倍變化), 當 $V_{th} \sim 0.2\text{V}$ 和 $V_D \sim 0.7\text{-}1\text{V}$ 時,
- 20 mV/V 因此可以被視為 DIBL 上限

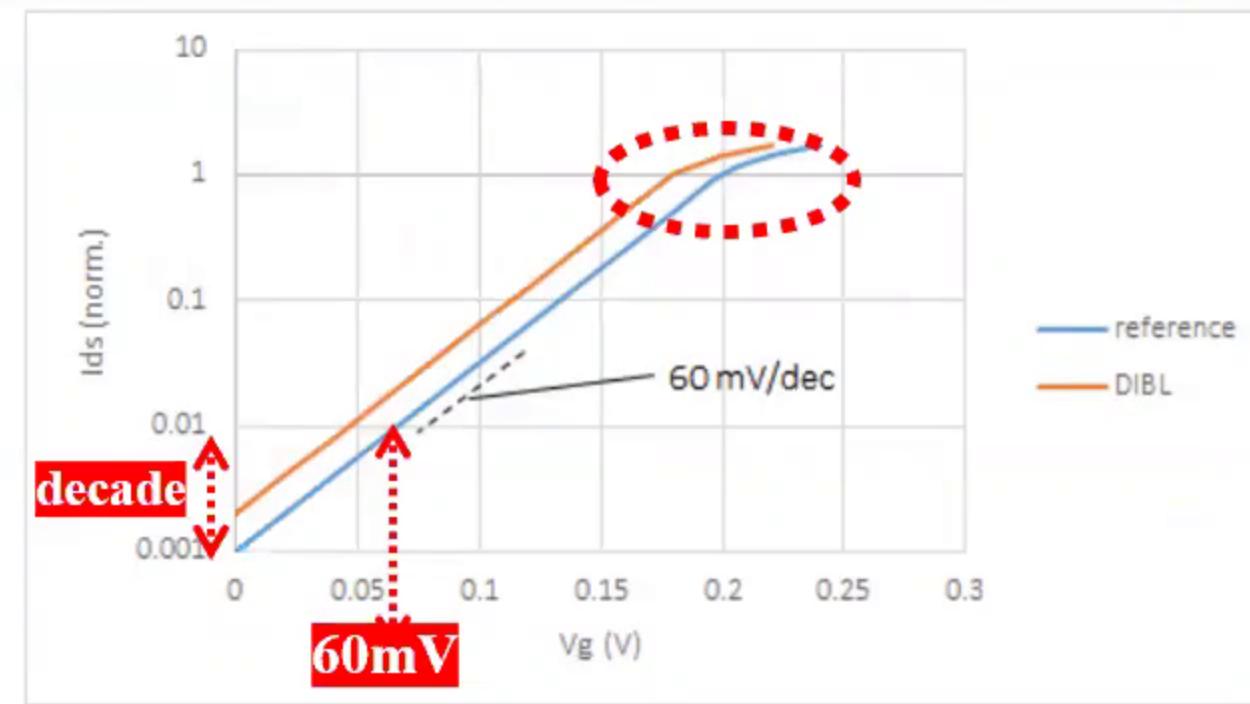


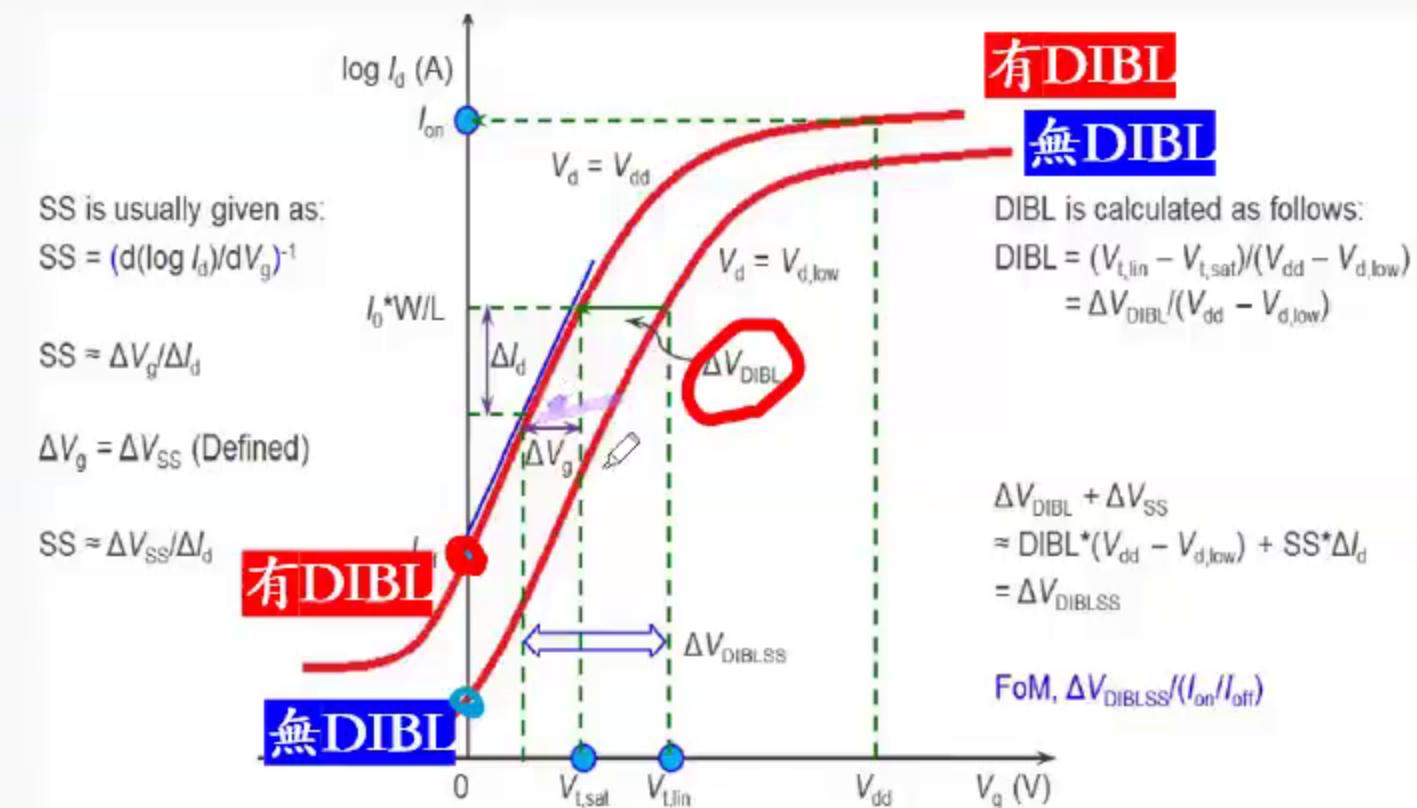
Figure 1. Subthreshold slope of 60 mV/decade gives ~0.1% leakage at 0V for $V_{th} \sim 0.2\text{V}$. A 20 mV drain-induced barrier lowering (DIBL) leads to ~2X change in current due to the shift of the Ids vs. V_g curve.

試問:何謂DIBL?

試問:有了DIBL又如何?

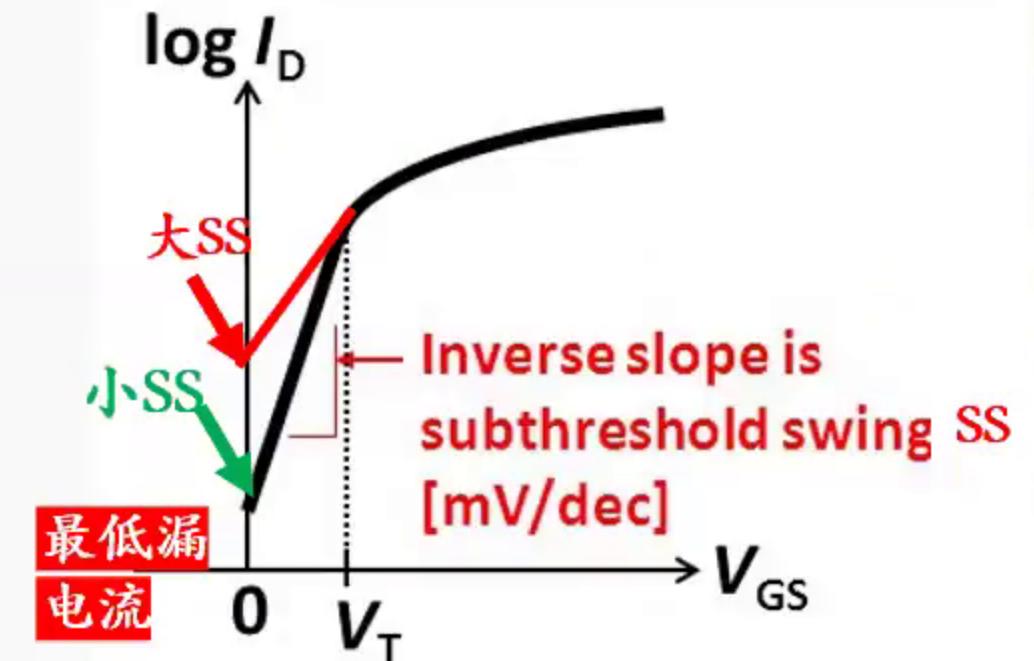
解答:早洩也

- 電晶體太早高潮(因為臨界電壓變小了 ΔV_{DIBL}), 是為早洩
- 早洩就是漏電量大增, 你玩完了



最低漏电流: Boltzmann 的魔鬼數字 = 60

- 這個意思是說，硅芯片的電流即使在電壓(V_{GS})為零時仍存在，此為最低漏电流
- SS為圖右直線區之斜率倒數， $C_{it} = 0$ 時
 - $SS_{min} = \ln(10) \times \frac{kT}{q} = \ln(10) \times 26mV = 60 mV/dec$
 - SS越低越好，但我們都是在常溫(25C)用電腦或手機，所以SS有了最小值 = 60mV/dec
- 顧客要求最低漏电流: 0.1nA, 1nA, 10nA and 100nA，而且要求SS ~ 60

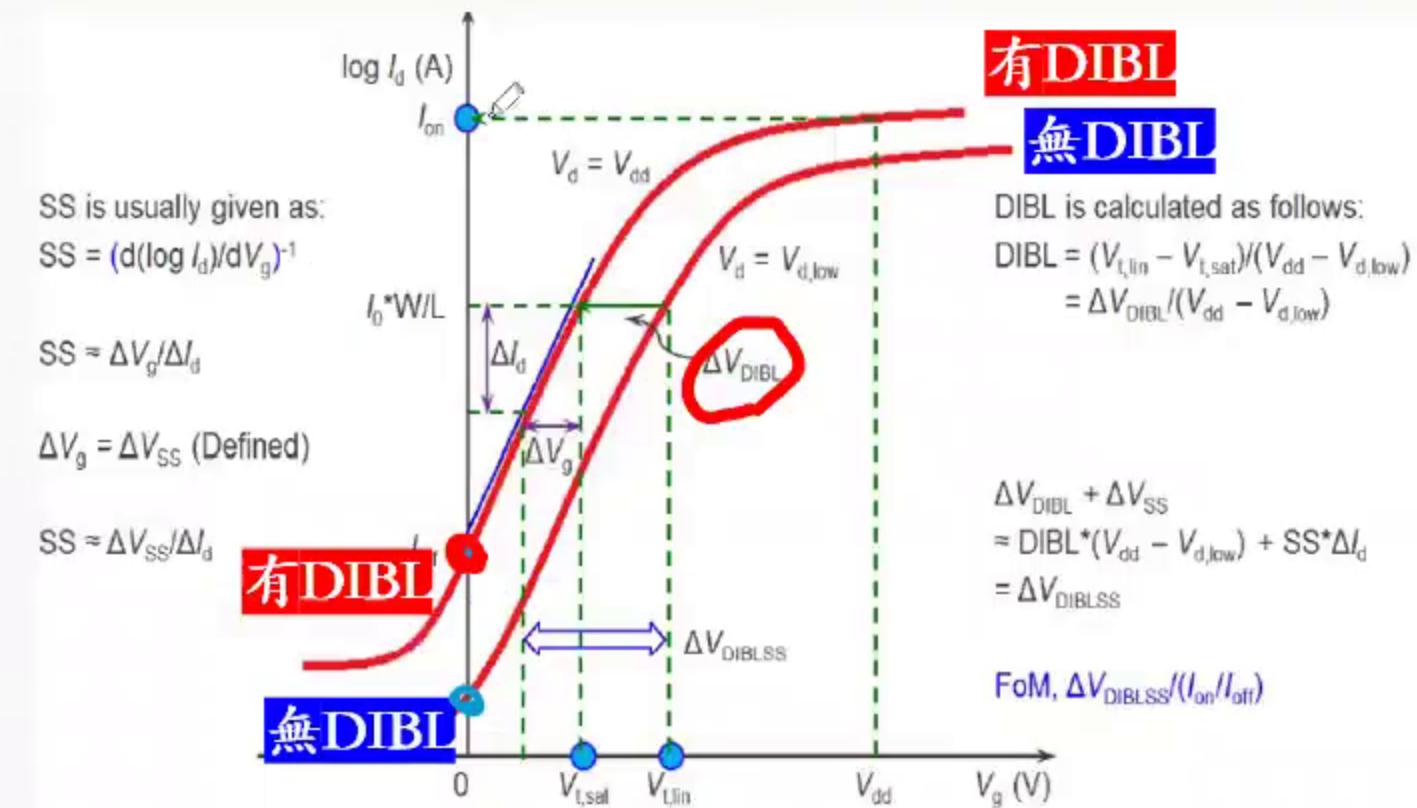


試問:何謂DIBL?

試問:有了DIBL又如何?

解答:早洩也

- 電晶體太早高潮(因為臨界電壓變小了 ΔV_{DIBL}), 是為早洩
- 早洩就是漏電量大增, 你玩完了



試問: 硅芯片 L_g 的魔鬼數字為何? 10

- 解答: L_g越小, 漏電流越大
- SCE(short channel effect)是阻止芯片縮小比例(scaling)的最恐怖的魔鬼
- 芯片發展也因此被逼得由平面變成鰭狀(finfet), 甚至現在常聽到的GAA
- L_g(channel length, 如右圖) L_g越小, 漏電流越大, 但是更令人擔心的是, I_{off}的”變化”也越來越大(如右圖所示)

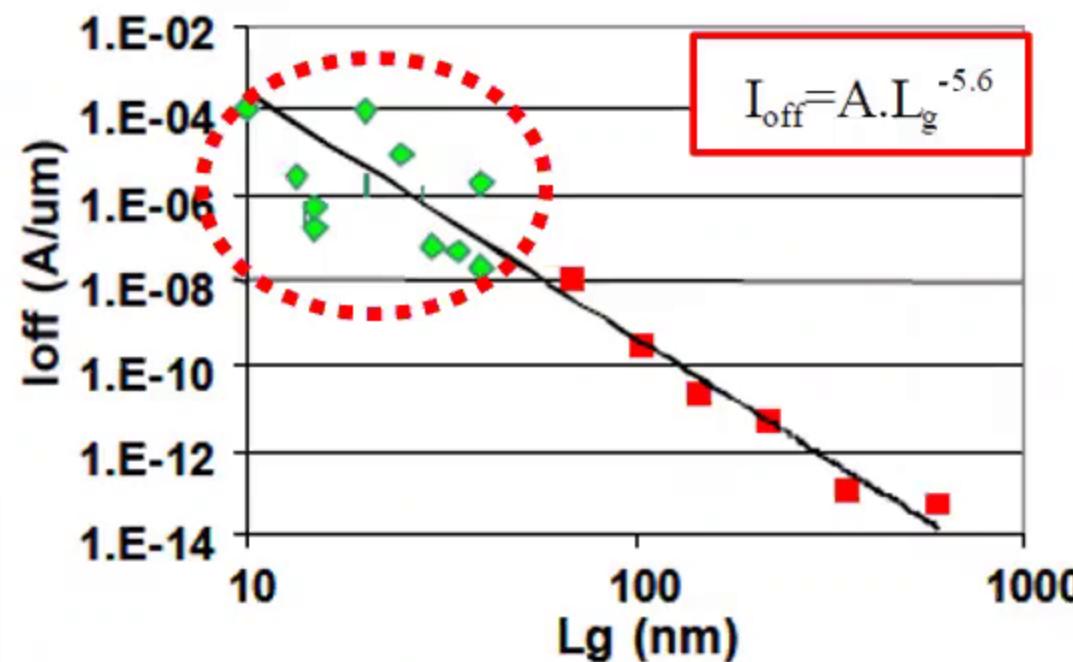


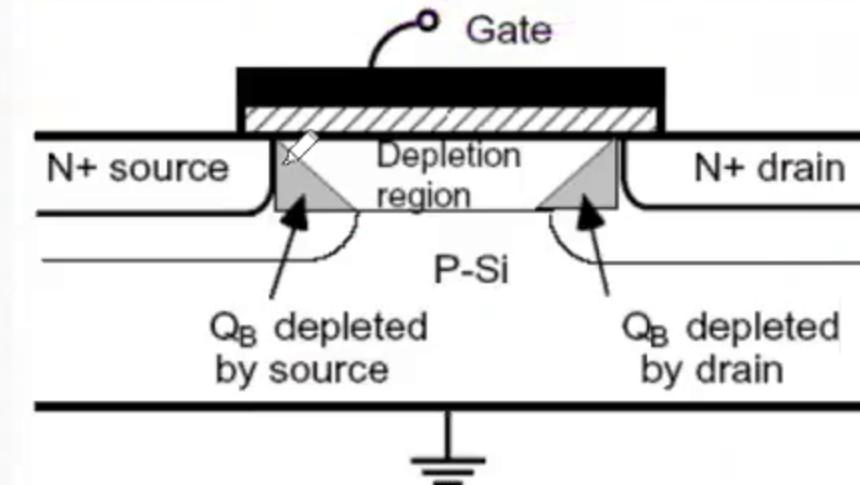
Figure 19: Transistor off-state leakage vs gate length
Red squares indicate pre-production transistors
Green diamonds indicate research devices

試問:何謂DIBL?

試問:何謂DIBL? 說白一些

解答: 其實就是Drain在幫Gate早洩也

- 本來Gate就好好的，專心以 V_t 為開關，逼著硅溝道(silicon channel)累積電荷，最後硅溝道受不了，竟然造反(形成反型層，叫inversion layer)，其時($V_G = V_t$, 臨界電壓) Source的電子瞬間沖入Drain，電晶體瞬間高潮(Yeah)! 好爽!
- 然而當D方加了電壓($V_{DS} \downarrow$)，他竟然熱心地在硅溝道也累積電荷，這是幫Gate V_G 省力(所需 V_t 變小)，在**硅溝道很短**的時候，這省力的幅度變得相當大，大的有些受不了，曰之 DIBL



若Gate越短，DIBL幫倒忙
的影響越大，此也是SCE
(short channel effect)之一

試問: 硅芯片 Lg 的魔鬼數字為何? 10

- 解答: Lg越小, 漏電流越大
- SCE(short channel effect)是阻止芯片縮小比例(scaling)的最恐怖的魔鬼
- 芯片發展也因此被逼得由平面變成鰭狀(finfet), 甚至現在常聽到的GAA
- Lg(channel length, 如右圖) Lg越小, 漏電流越大, 但是更令人擔心的是, I_{off} 的”變化”也越來越大(如右圖所示)

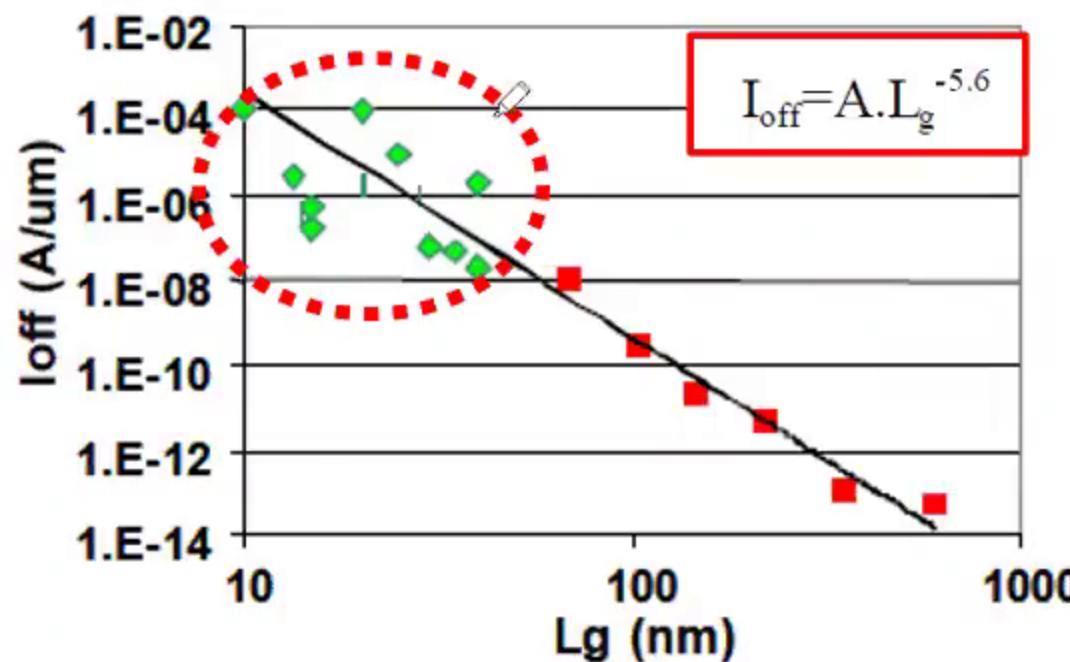


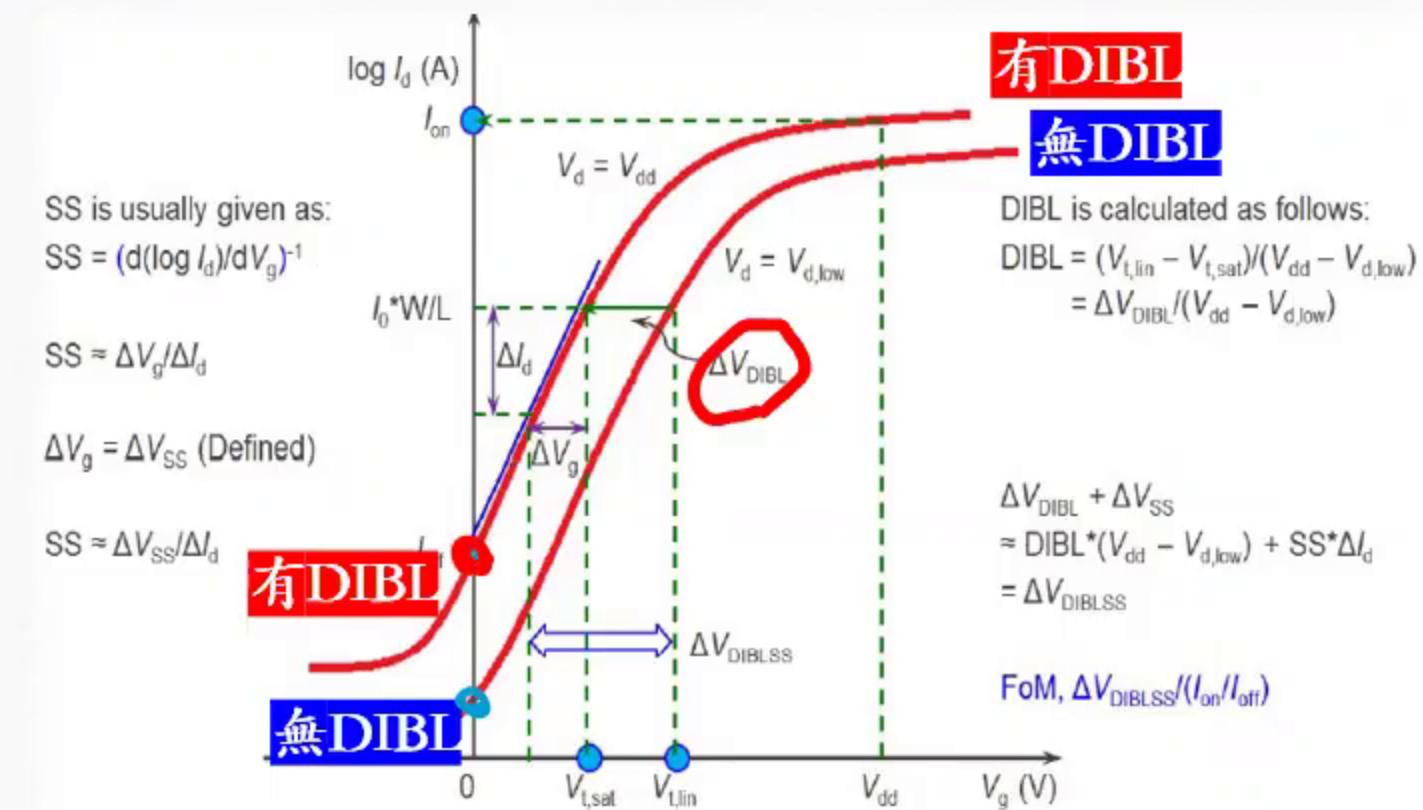
Figure 19: Transistor off-state leakage vs gate length
Red squares indicate pre-production transistors
Green diamonds indicate research devices

試問:何謂DIBL?

試問:有了DIBL又如何?

解答:早洩也

- 電晶體太早高潮(因為臨界電壓變小了 ΔV_{DIBL}), 是為早洩
- 早洩就是漏電量大增, 你玩完了

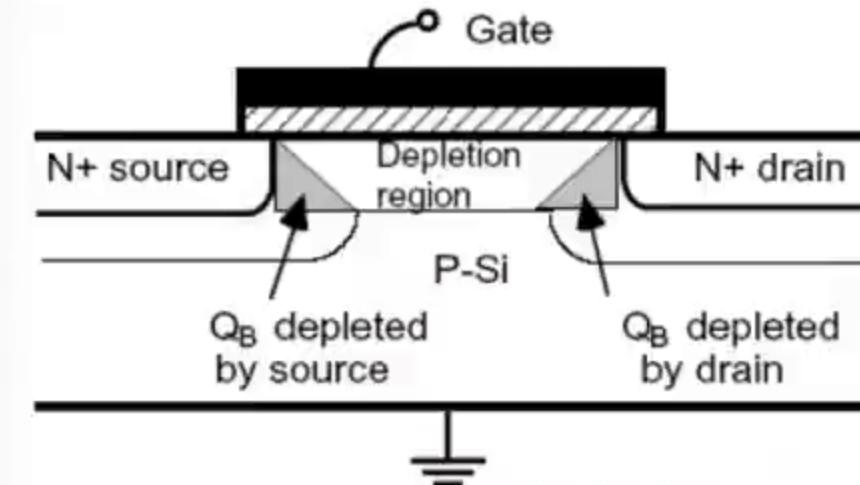


試問:何謂DIBL?

試問:何謂DIBL? 說白一些

解答: 其實就是Drain在幫Gate早洩也

- 本來Gate就好好的，專心以 V_t 為開關，逼著硅溝道(silicon channel)累積電荷，最後硅溝道受不了，竟然造反(形成反型層，叫inversion layer)，其時($V_G = V_t$, 臨界電壓)Source的電子瞬間沖入Drain，電晶體瞬間高潮(Yeah)! 好爽!
- 然而當D方加了電壓($V_{DS} \downarrow$)，他竟然熱心地在硅溝道也累積電荷，這是幫Gate V_G 省力(所需 V_t 變小)，在硅溝道很短的時候，這省力的幅度變得相當大，大的有些受不了，曰之 DIBL



若Gate越短，DIBL幫倒忙
的影響越大，此也是SCE
(short channel effect)之一

試問: 硅芯片 Lg 的魔鬼數字為何? 10

- 解答: Lg越小, 漏電流越大
- SCE(short channel effect)是阻止芯片縮小比例(scaling)的最恐怖的魔鬼
- 芯片發展也因此被逼得由平面變成鰭狀(finfet), 甚至現在常聽到的GAA
- Lg(channel length, 如右圖) Lg越小, 漏電流越大, 但是更令人擔心的是, I_{off} 的”變化”也越來越大(如右圖所示)

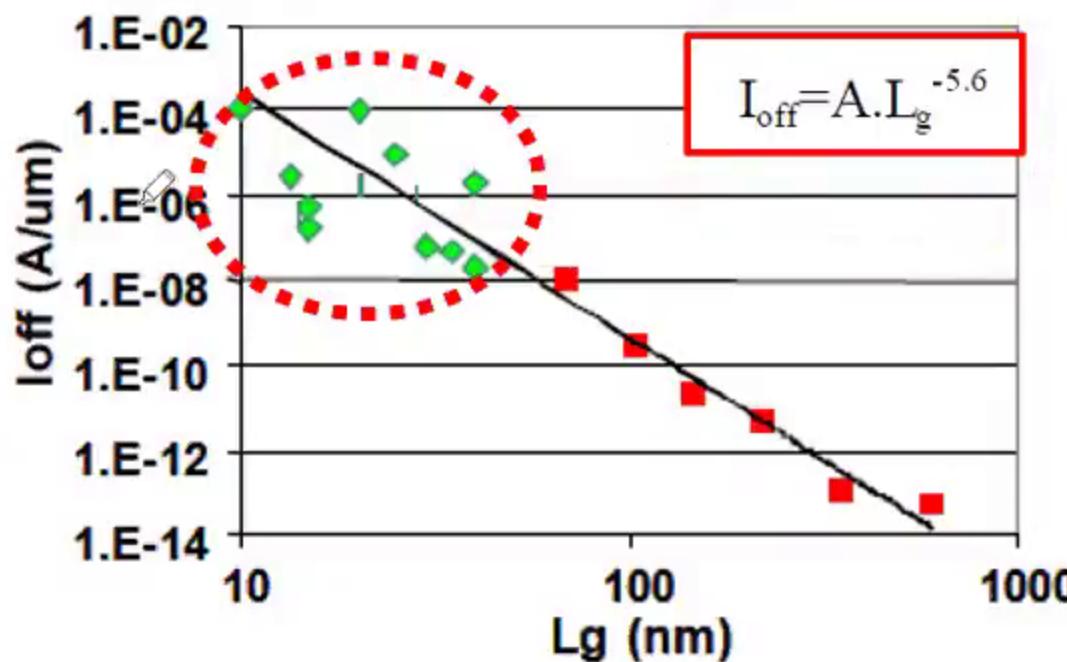
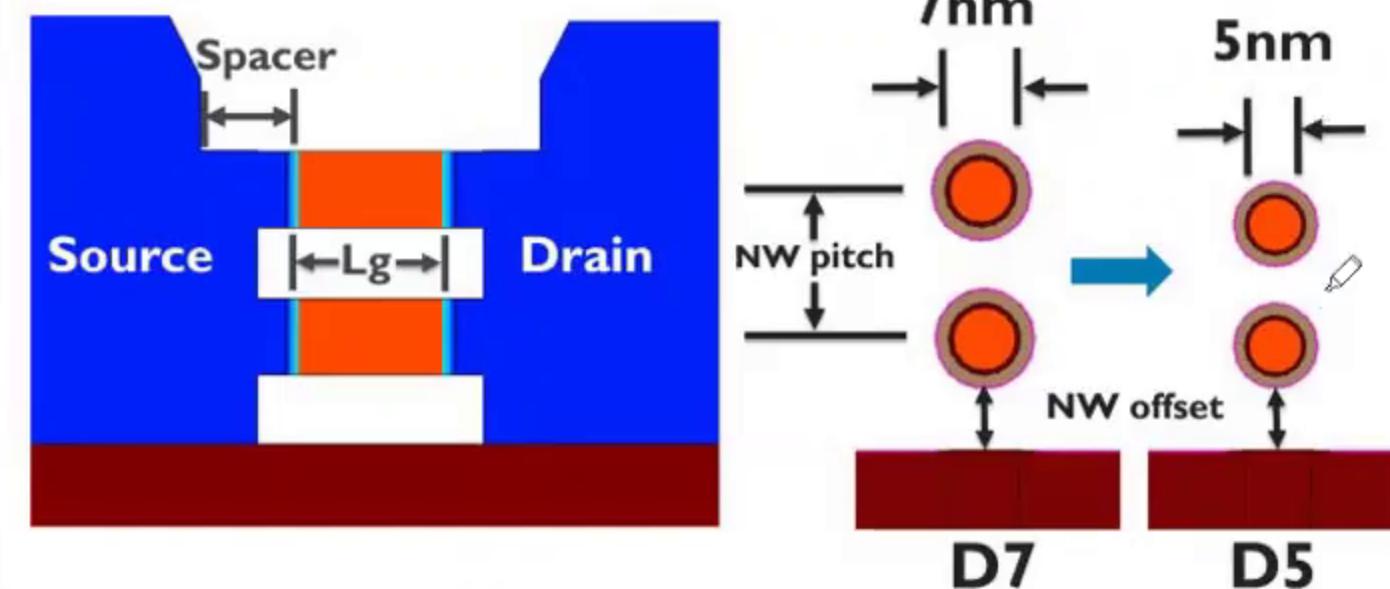


Figure 19: Transistor off-state leakage vs gate length
Red squares indicate pre-production transistors
Green diamonds indicate research devices

試問: 硅芯片 Lg 的魔鬼數字為何? 10

- 解答: 10nm 为 Lg 上限
- Lg(channel length, 如右圖)
也有了物理極限~約為
10nm



Das et al. EDL 38(1)2017, Limitations on
Lateral Nanowire Scaling Beyond 7-nm Node