

Práctica 4. ASM multiplicador

Grado en Ingeniería Informática
Grado en Ingeniería de Computadores

Óscar Garnica
Facultad de Informática
Universidad Complutense de Madrid

Objetivo

1. Asentar los conocimientos del diseño algorítmico
2. Implementar un multiplicador algorítmico de dos operandos de 4 bits en binario natural

Especificación

- ASM multiplicador: sumar el valor del registro a (registro desplazamiento a izquierda) en función del lsb del registro b (registro desplazamiento a izquierda).

```

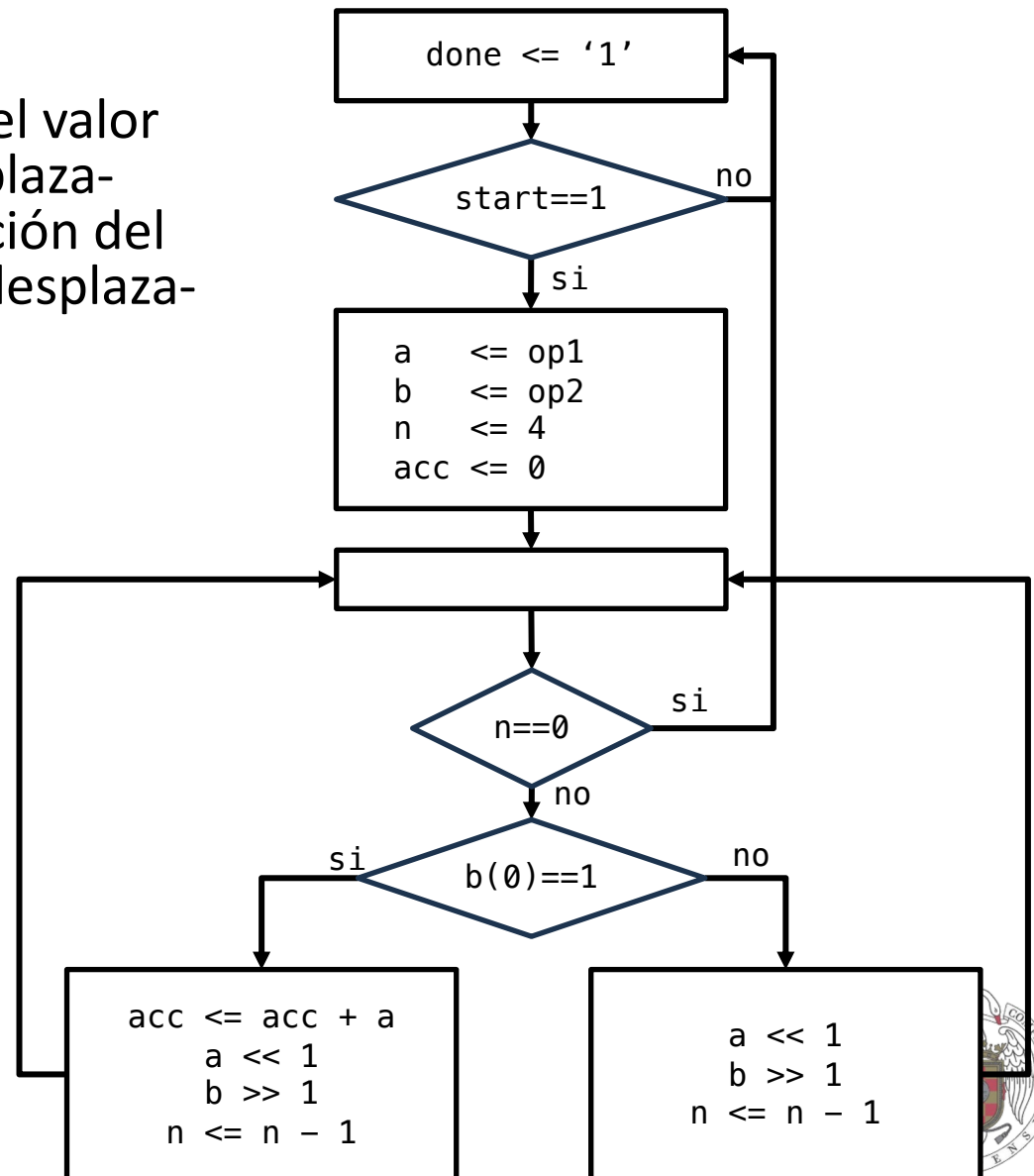
a  = op1;
b  = op2;
n  = 4;
acc = 0;

```

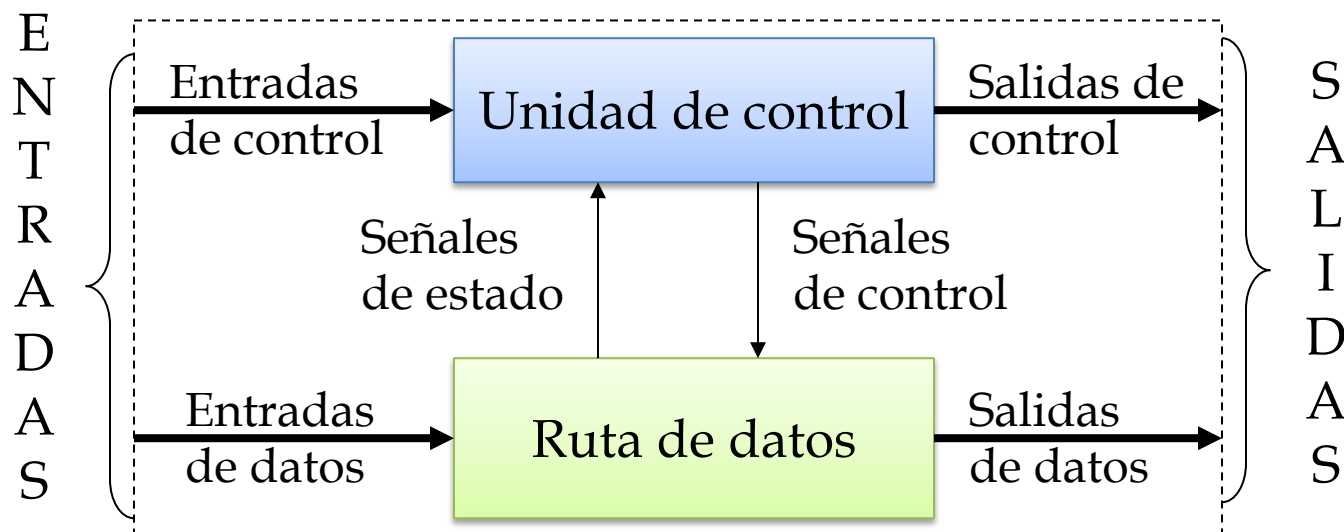
```

while( n > 0 ){
    if( b(0) == 1 )
        acc = acc + a;
    a << 1;
    b >> 1;
    n --;
}

```



Especificación



- Funcionamiento síncrono. Todos los registros activos por flanco de subida.
- La señal de reloj será clk.
- La señal de reset, rst_n, asíncrona activa a nivel alto.

Especificación

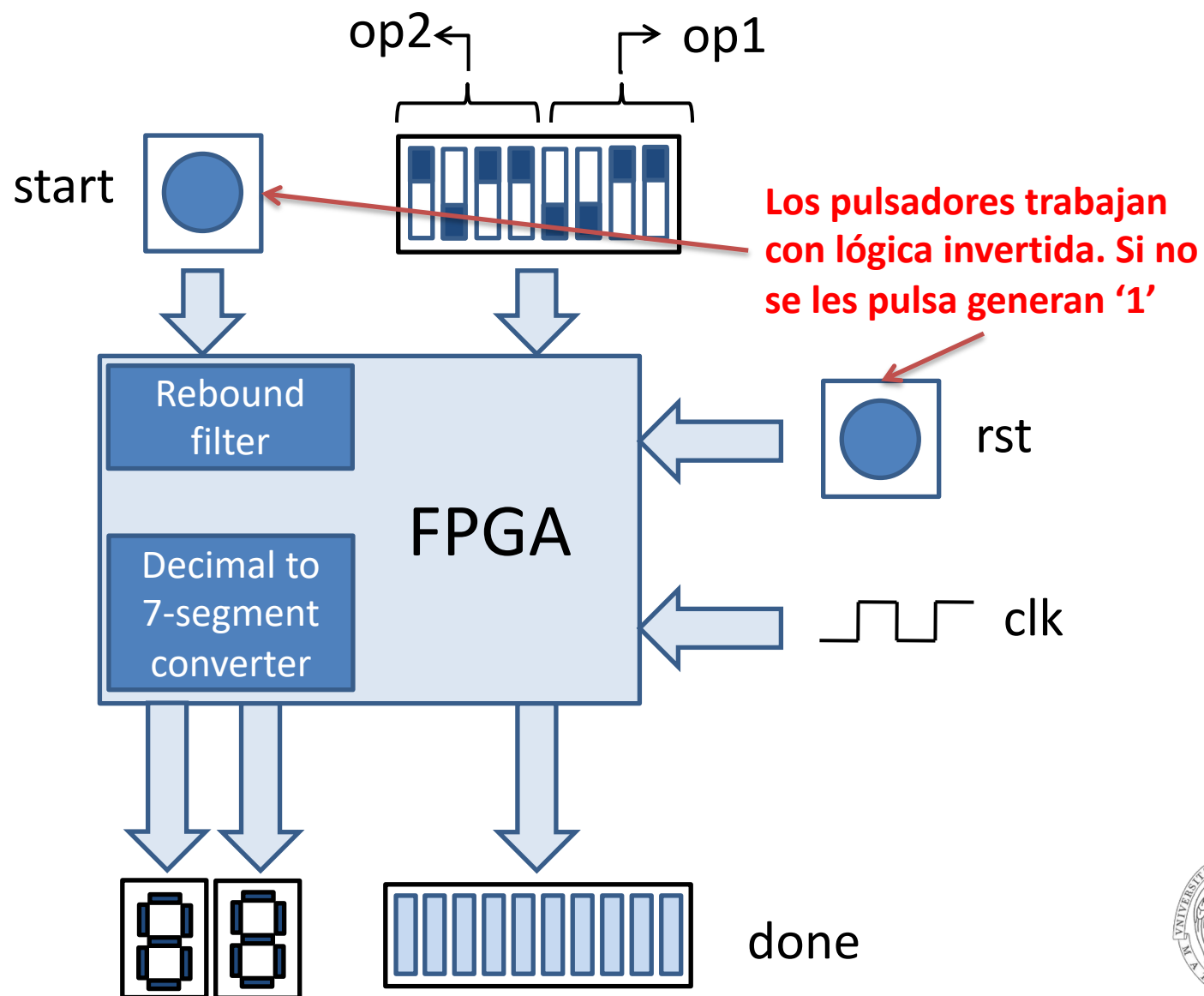
■ Entradas

- Los dos operandos se introducen usando los switches de la placa.
- La señal “start” usando uno de los cuatro pulsadores

■ Salidas

- El resultado de la multiplicación aparece en los dos displays de 7 segmentos
- La señal “done” se mostrará en un LED.

Diagrama de bloquea



Tareas

- Describir el sistema algorítmico formado por la unidad de control y un camino de datos
- Unidad de control como FSM usando tres procesos concurrentes.
- Crear un testbench, simular y verificar el funcionamiento del sistema algorítmico.
- Sintetizar y verificar los recursos hardware empleados.
- Implementar sobre la FPGA.
 - Conectar las entradas y salidas a pines de la FPGA.
 - Conectar el puerto clk de la FSM al pin de reloj de la FPGA.
 - Validar el funcionamiento en placa proporcionando entradas mediante los switches y comprobando que las salidas son correctas.

