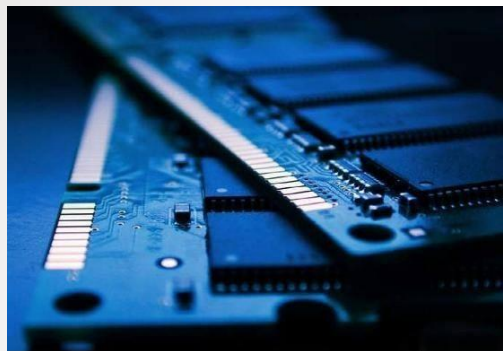


计算机组成原理

第四章 存储系统

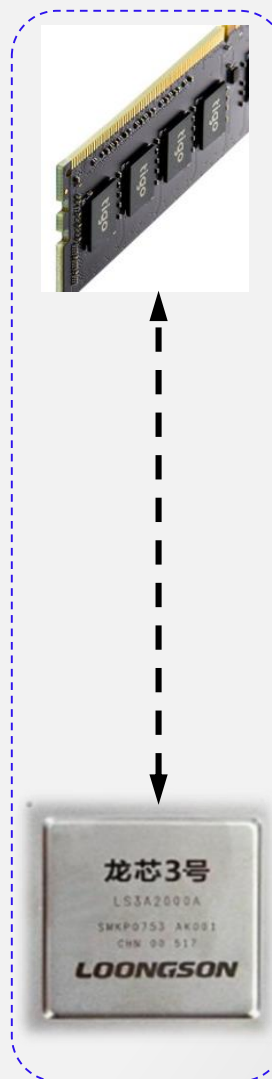
4.1 存储系统层次结构



原理

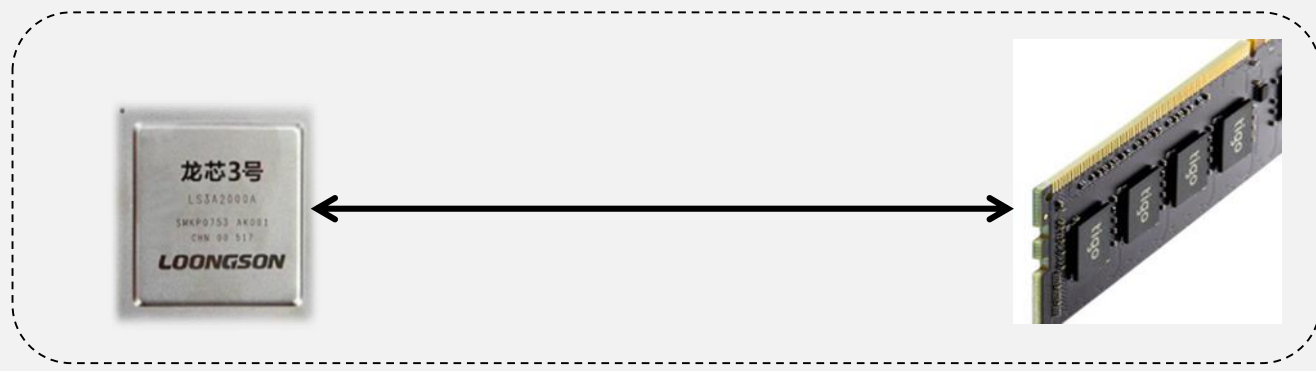
存储程序

- 1) 输入设备将程序与数据写入主存；
- 2) CPU取指令；
- 3) CPU执行指令期间读数据；
- 4) CPU写回运算结果；
- 5) 输出设备输出结果；

程序控制

1

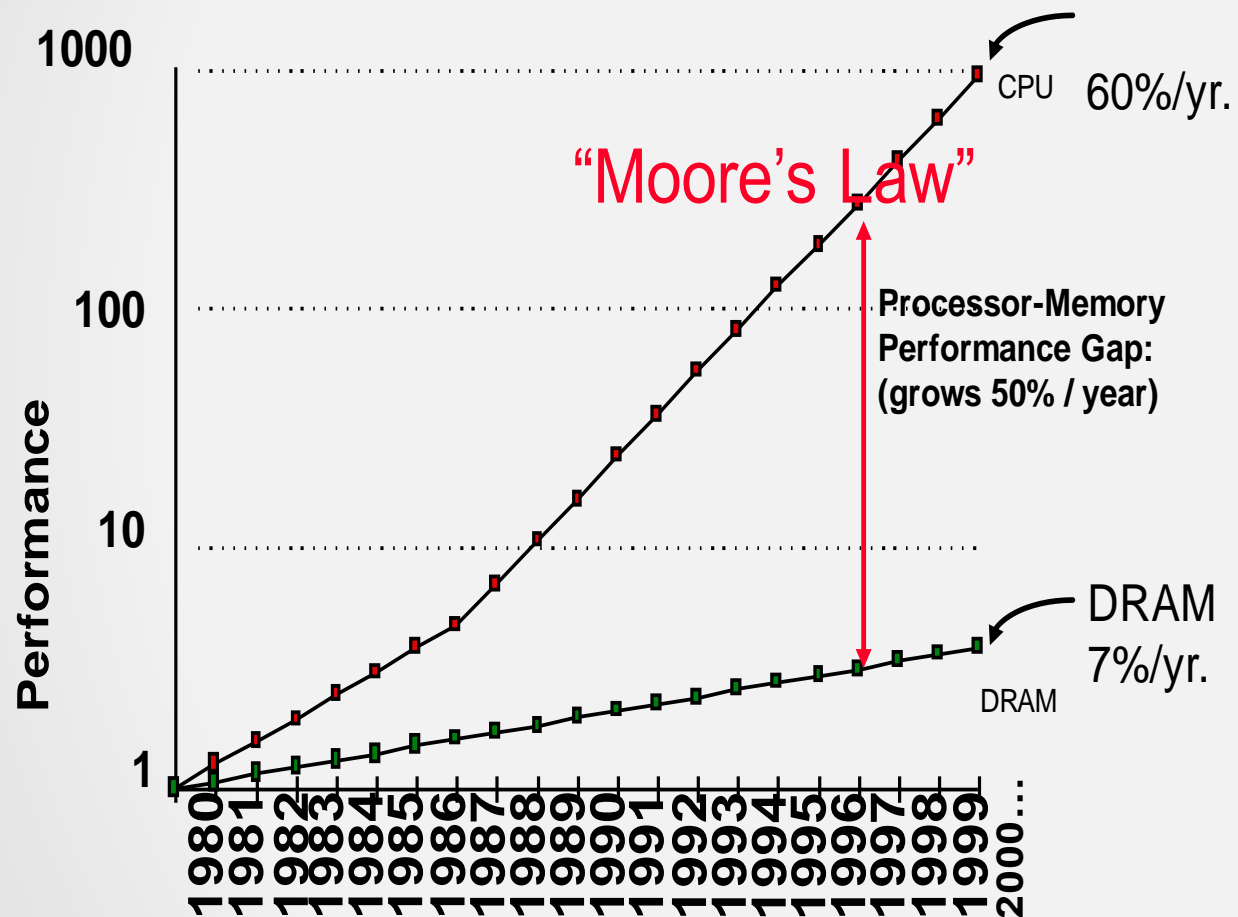
基本存储体系



- 1) 主存速度够快吗？
- 2) 主存容量够大吗？
- 3) 存储器便宜吗？

2

主存速度慢的原因



- 主存增速与CPU增速不同步；
- 指令执行期间多次访问存储器；

3

主存容量不足的原因

- 存在制约主存容量的技术因素
由CPU、主板等相关技术指标确定

技术参数

指令集SSE4.1/4.2, AVX2.0

内存控制器双通道: DDR31333/1600MHz

支持最大内存32GB

超线程技术不支持

虚拟化技术IntelVT-x

64位处理器是

TurboBoost技术支持

- 应用对主存的需求不断扩大

- Windows 98 \Rightarrow 8M/64M
- Windows XP \Rightarrow 64M/128M (2001)
- Windows vista \Rightarrow 512M/ 1 G (2005)
- Windows 7 \Rightarrow 1 G (2009)
- Windows 8 \Rightarrow 1 G/2G (2012)

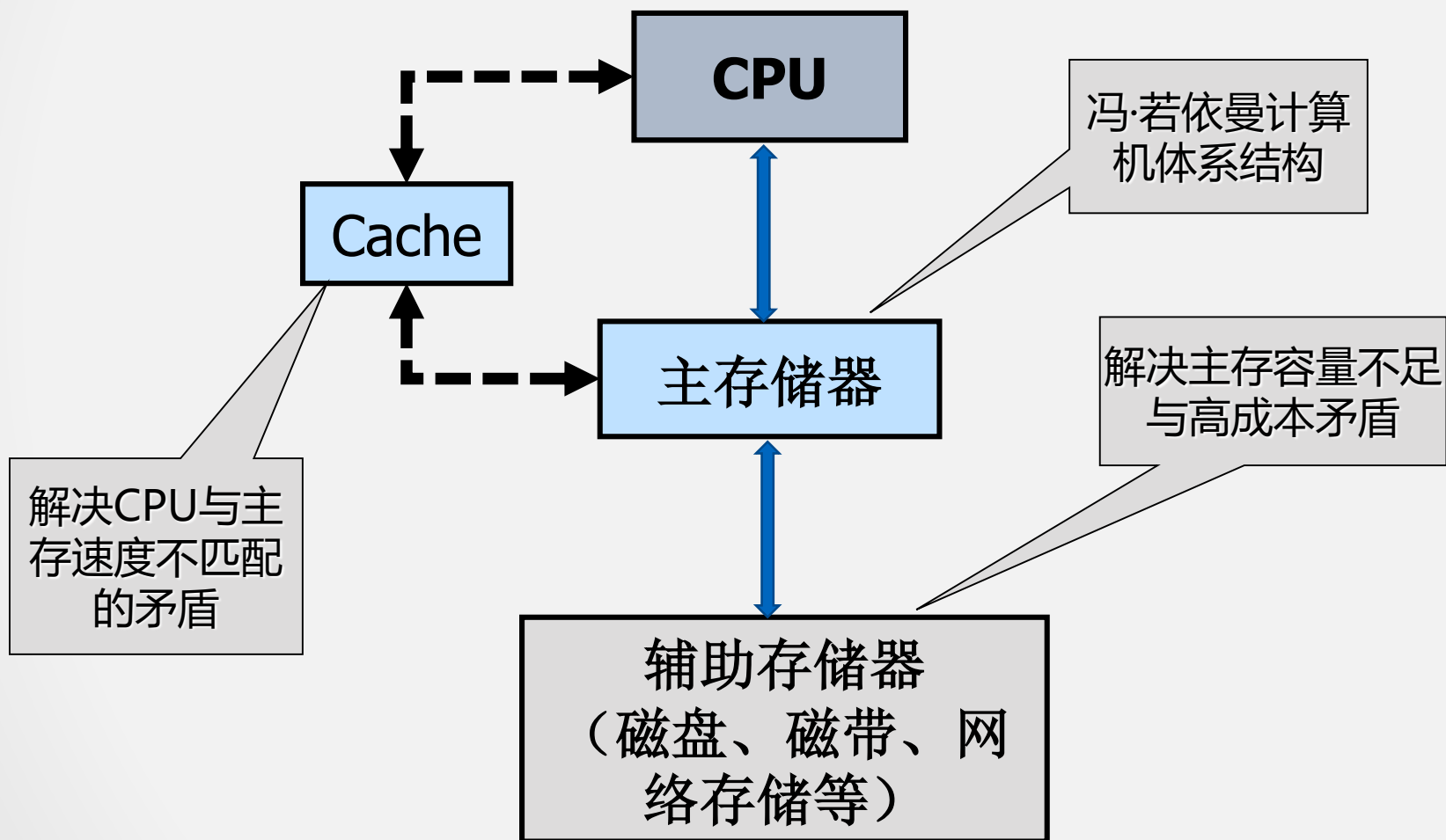
事到如今,我们可以确定,造就100GB大游戏的“罪魁祸首”正是贴图。

<http://news.mydrivers.com/1/566/566721.htm>

- 价格原因

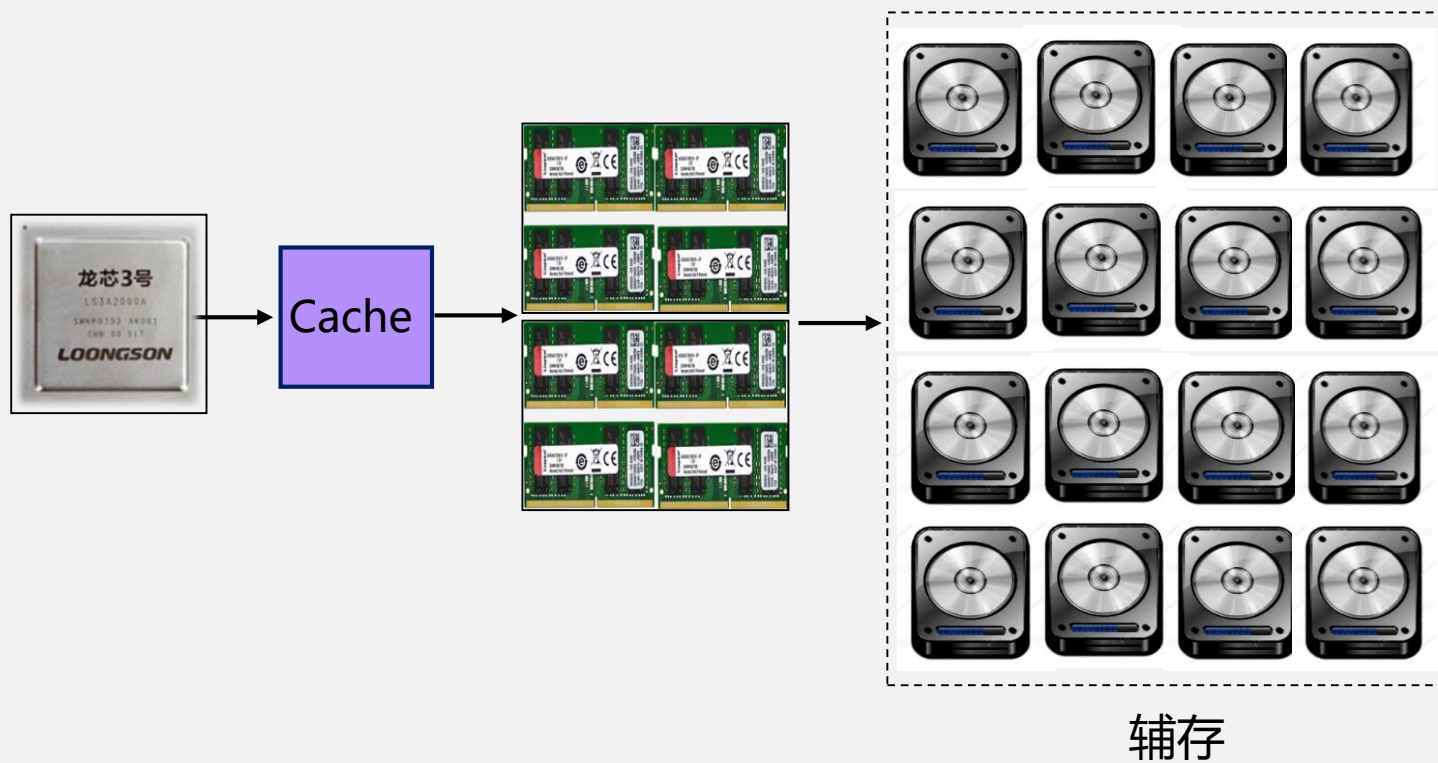
4

存储体系的层次化结构



4

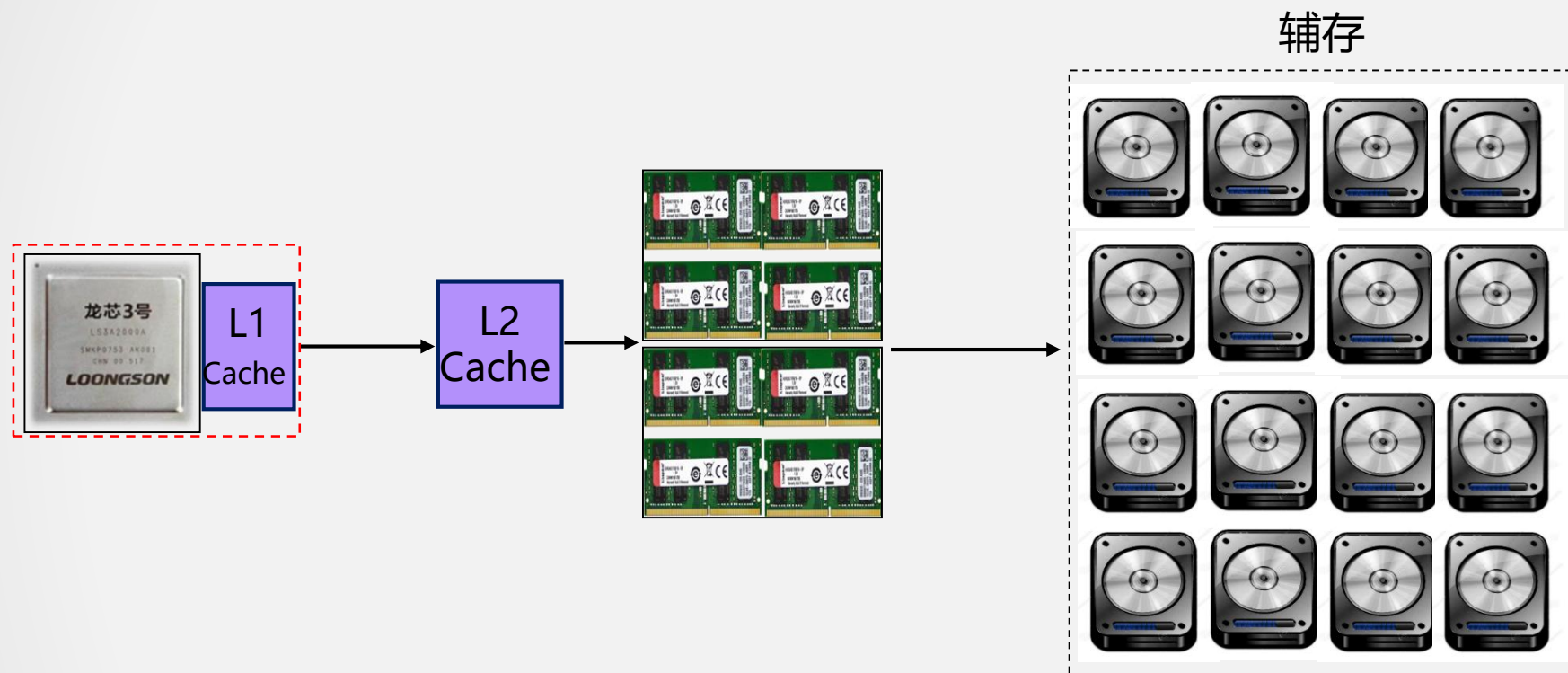
存储体系的层次化结构



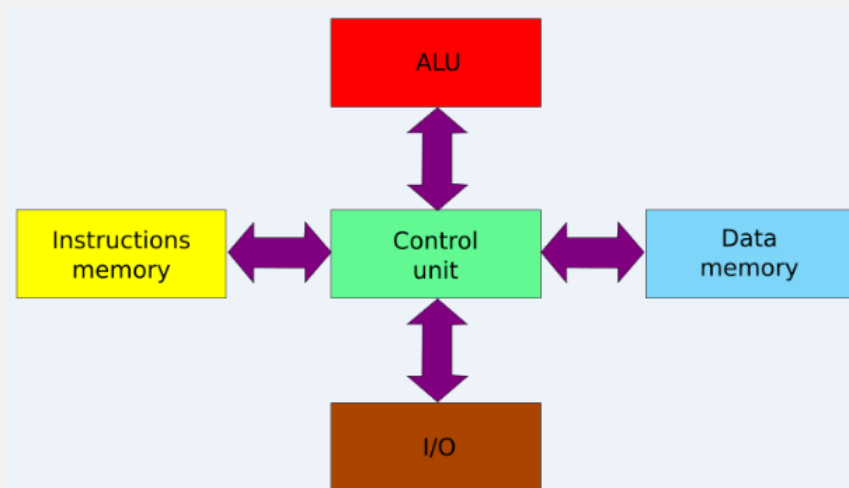
CPU访问到的存储系统具有Cache的速度，辅存的容量和价格

4

存储体系的层次化结构



- L1 Cache集成在CPU中，分数据Cache(D-Cache)和指令Cache(I-Cache)
- 早期L2 Cache在主板上或与CPU集成在同一电路板上。随着工艺的提高L2 Cache被集成在CPU内核中，不分D-Cache和I-Cache



哈佛结构
(Harvard architecture)

- 是一种将指令储存和数据储存分开的存储器结构，可支持：数据和指令并行储存、指令预取，提高处理器的执行效率；另外，指令和数据可有不同的数据宽度，如Microchip公司的PIC16芯片的程序指令是14位宽度，而数据是8位宽度。
- 目前使用哈佛结构的：PIC系列、摩托罗拉公司的MC68系列、Zilog公司的Z8系列、ATMEL公司的AVR系列和ARM公司的ARM9、ARM10和ARM11。

局部性原理

•时间局部性:

现在被访问的信息2在不久的将来还将再次被访问;

时间局部性的程序结构体现：**循环结构**

•空间局部性:

现访问信息2，下一次访问2附近的信息。

空间局部性的程序结构体现：**顺序结构**

初步体会存储系统中的软件与硬件协同，后面还将会深入研究。

