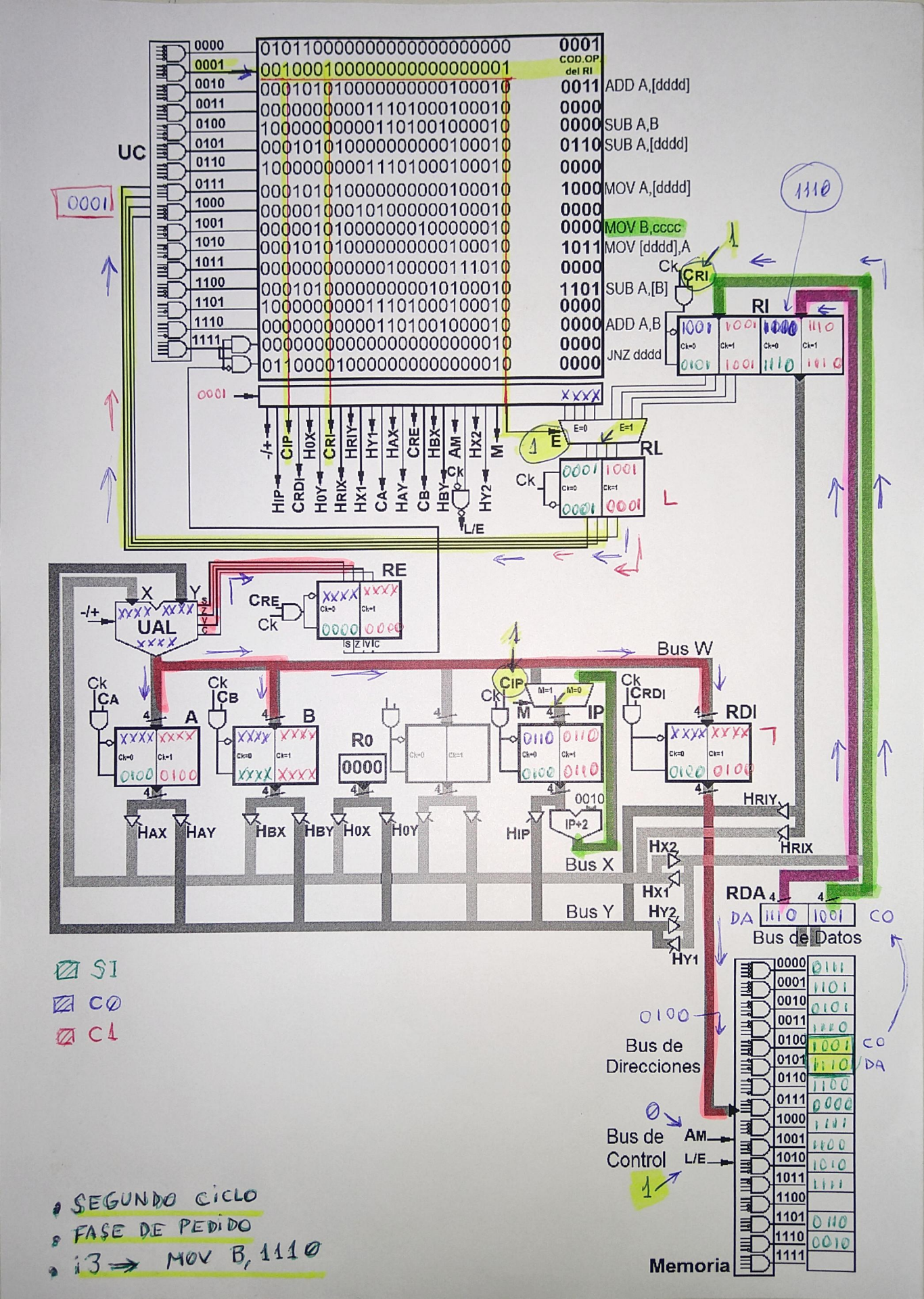
UC
0000
0001
0010
0011
0100
0101
0110
0111
1000
1001
1010
1011
1100
1101
1110
1111
0101100000000000000000000 0001 COD.OP del RI
0001010100000000000100010 0011 ADD A,[dddd]
0000000000011101000100010 0000
1000000000011010010000010 0000 SUB A,B
0001010100000000000100010 0110 SUB A,[dddd]
1000000000011101000100010 0000
0001010100000000000100010 1000 MOV A,[dddd]
0000010001010000000100010 0000
0000010100000000100000010 0000 MOV B,cccc
0001010100000000000100010 1011 MOV [dddd],A
0000000000000100000111010 0000
0001010000000000010100010 1101 SUB A,[B]
1000000000011101000100010 0000
0000000000011010010000010 0000 ADD A,B
0000000000000000000000010 0000
0110000100000000000000010 0000 JNZ dddd
XXXX
-/+
CIP
HOX
CRI
HRIY
HY1
HAX
CRE
HBX
AM
HX2
M
HIP
CRDI
HOY
HRIX
HX1
CA
HAY
CB
HBY
HY2
L/E
E
E=0
E=1
RL
RI
Ck
CRI
CRE
RE
UAL
X
Y
S
Z
V
C
Bus W
CA
CB
CIP
CRDI
A
B
R0
0000
M
IP
RDI
M=1
M=0
0010
IP+2
HAX
HAY
HBX
HBY
HOX
HOY
HIP
HRIY
HRIX
HX2
HX1
HY2
HY1
Bus X
Bus Y
RDA
DA
CO
Bus de Datos
SI
CO
C1
0100
Bus de Direcciones
Bus de Control
AM
L/E
Memoria
0111
1101
0101
1110
1001
1110
1100
0000
1111
1100
1010
1111
0110
0010
• SEGUNDO CICLO
• FASE DE PEDIDO
• i3 → MOV B, 1110