
数 字 逻 辑

丁 贤 庆

ahhfdxq@163.com

通知

实验安排

数字逻辑电路课程有16个学时的实验，初步安排：
具体安排参见公共邮箱中的word文档。

本周开始进行实验环节，实验结束后16周周日（6月16号）晚23点前，各班学委要提交实验报告的电子版给我的邮箱ahhfdxq@163.com。不用收纸质报告了。

实验地点：综合实验楼306房间

关于实验报告

- 8次实验中，自己选择4次写到实验报告中就可以了。
 - 补充的实验不需要写到实验报告中。
-

第八章 作业布置

- 1、本周有实验。
 - 2、下次交作业第11周。
 - 3、本周作业：从第8章课后习题中选1题写到作业本上。
-

第八章

CPLD和FPGA

8.1 复杂可编程逻辑器件(CPLD)简介

8.2 现场可编程门阵列(FPGA)

8.3 可编程逻辑器件开发过程简介

8.1 复杂可编程逻辑器件(CPLD)简介

1. 逻辑块

2. 可编程内部连线

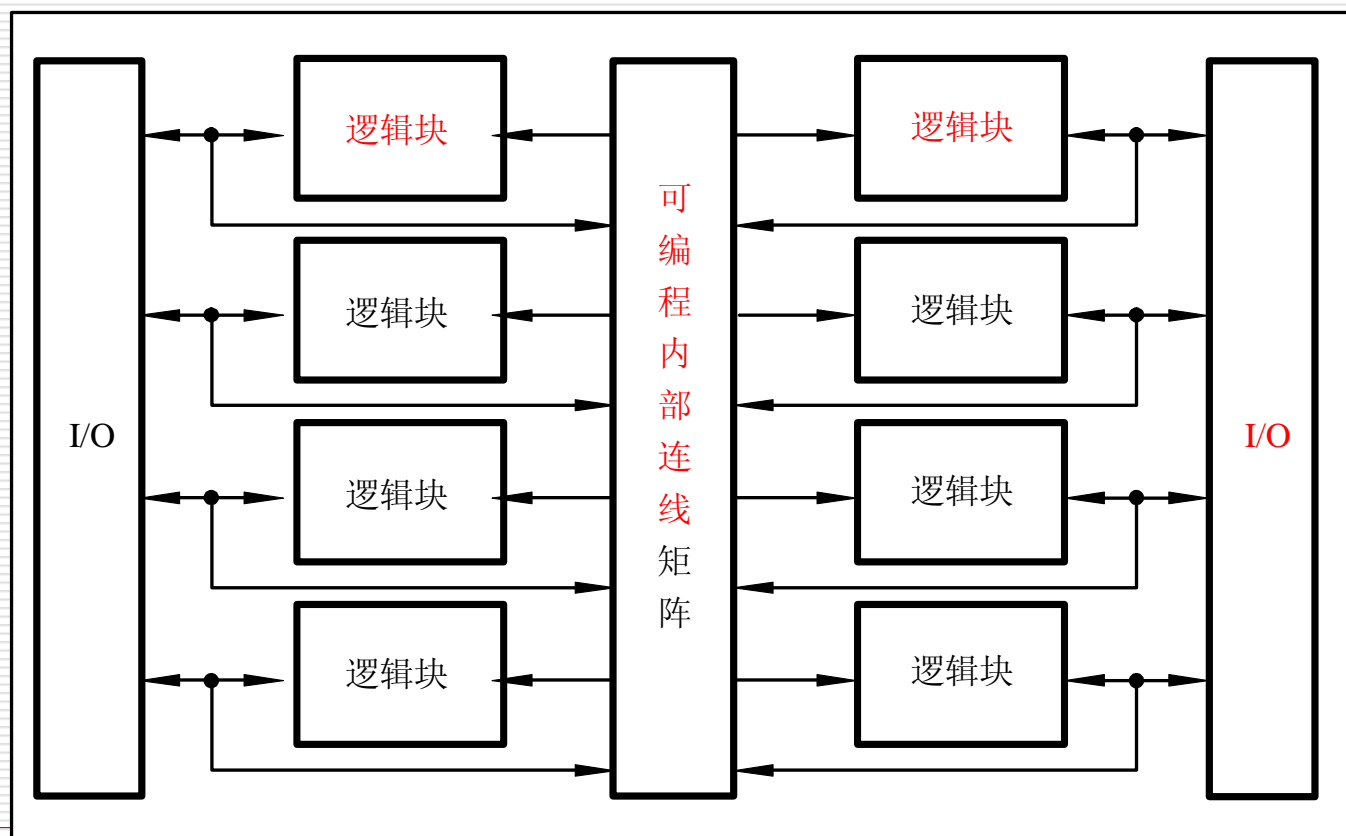
3. I/O单元

8.1 复杂可编程逻辑器件(CPLD)简介

- 与PAL、GAL相比，CPLD的集成度更高，有**更多的输入端、乘积项和更多的宏单元**；
 - CPLD器件内部含有多个**逻辑块**，每个逻辑块都相当于一个GAL器件；
 - 每个**块之间**可以使用**可编程内部连线**(或者称为**可编程的开关矩阵**)实现相互连接。
-

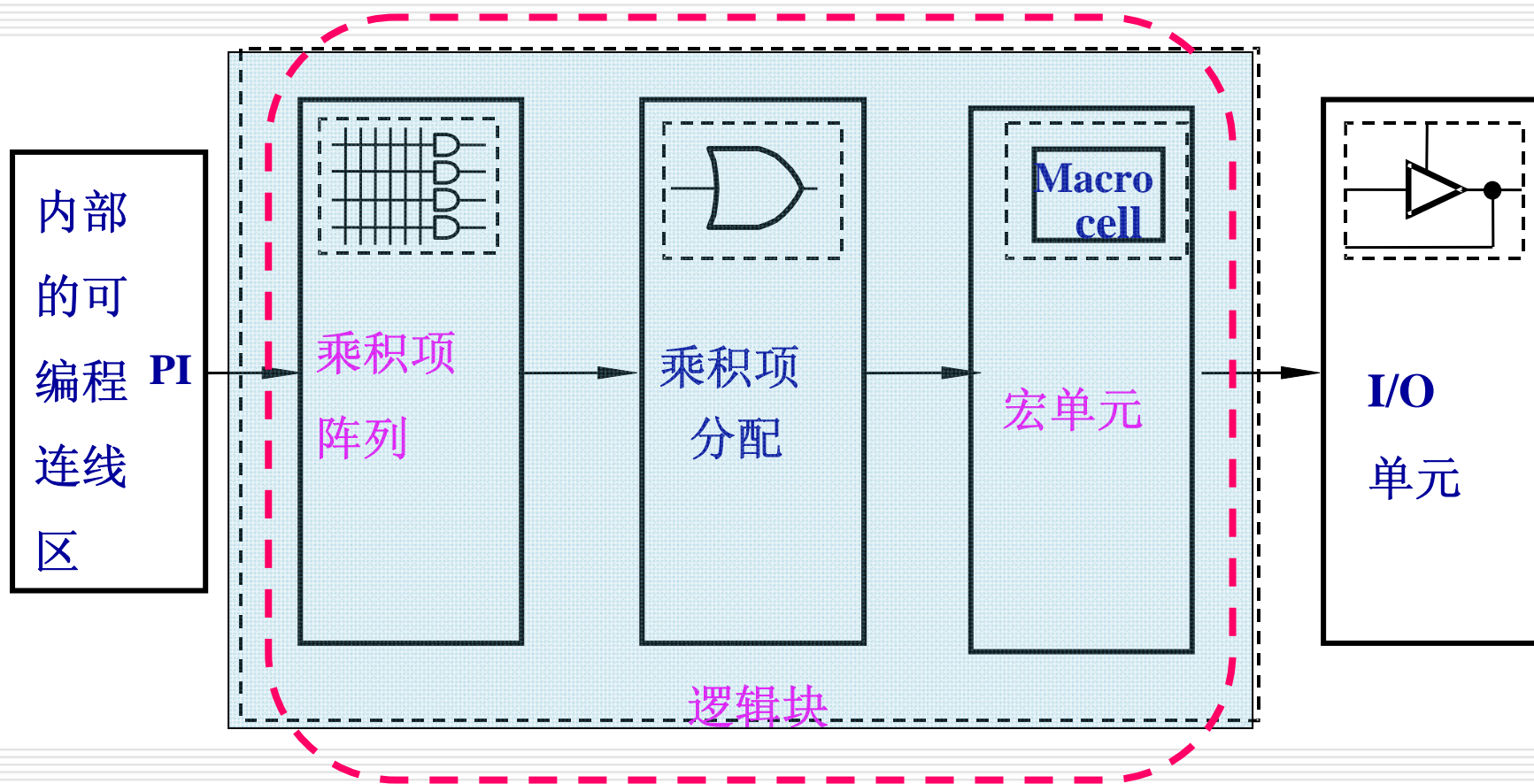
1. 逻辑块

逻辑块是CPLD实现逻辑功能的核心模块。



(1) 可编程乘积项阵列

通用的CPLD器件逻辑块的结构



(2) 乘积项分配和宏单元

GAL中的乘积项是固定的，对应一个宏单元。但逻辑块中的乘积项可以编程，分配到不同的宏单元。灵活性大大提高。

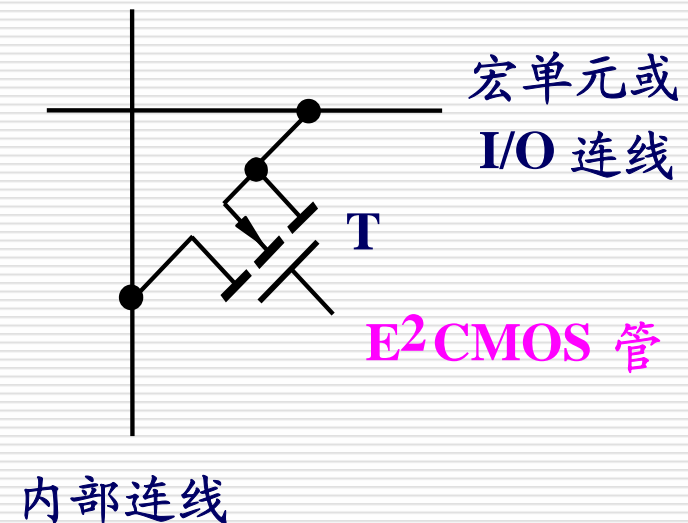
CPLD中的宏单元与GAL中的类似。

2. 可编程内部连线

可编程内部连线的作用是实现逻辑块与逻辑块之间、逻辑块与I/O块之间以及全局信号到逻辑块和I/O块之间的连接。

连线区的可编程连接一般由E²CMOS管实现。

当E²CMOS管被编程为导通时，纵线和横线连通；未被编程，即为截止时，两线则不通。

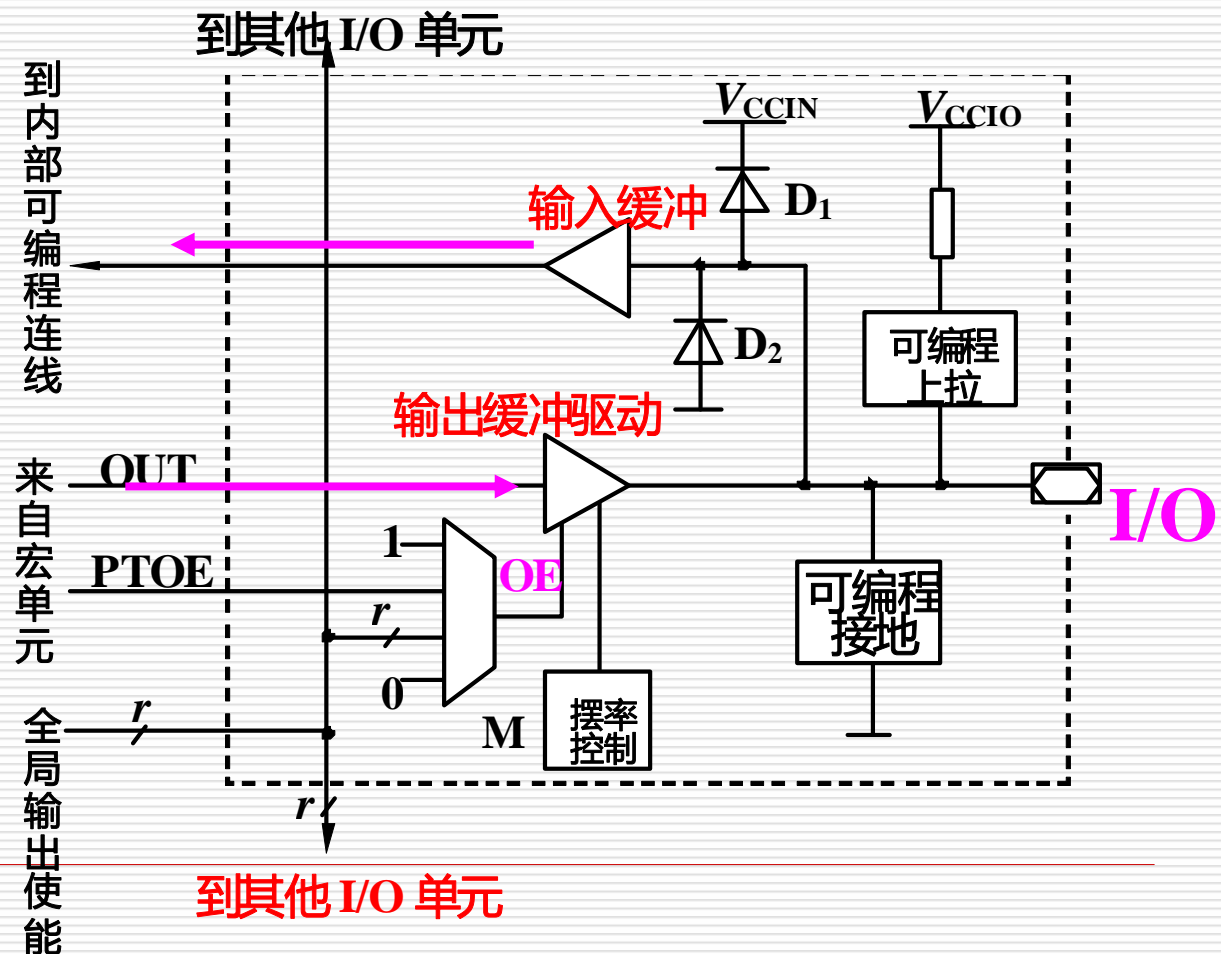


可编程连接原理图

3. I/O单元

I/O单元是CPLD外部封装引脚和内部逻辑间的接口。每个I/O单元对应一个封装引脚，对I/O单元编程，可将引脚定义为输入、输出和双向功能。

数据选择器提供OE信号。
OE=1, I/O引脚为输出



8.2 现场可编程门阵列(FPGA)

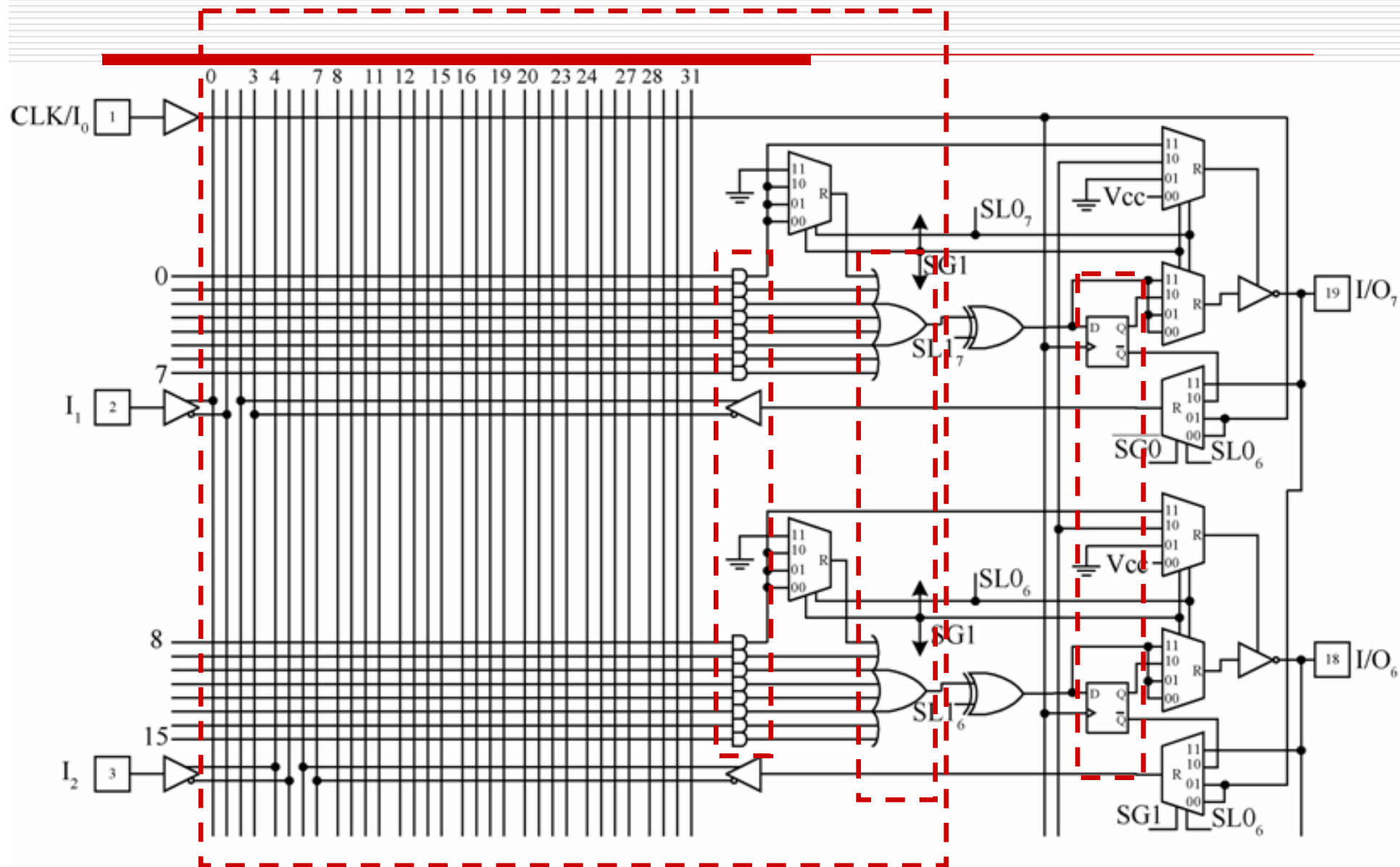
8.2.1 FPGA实现逻辑功能的基本原理

8.2.2 FPGA结构简介

8.2 现场可编程门阵列(FPGA)

- CPLD用可编程“与-或”阵列实现逻辑函数。编程基于E²PROM或快闪存储器。
 - FPGA是用查找表(LUT)实现逻辑函数。复杂函数使用众多的LUT和触发器实现。编程基于SRAM。
-

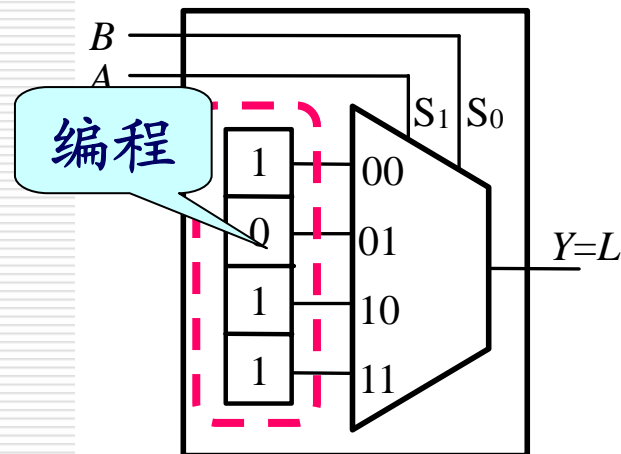
"与-或"阵列



查找表 (LUT) 是FPGA实现逻辑函数的基本单元

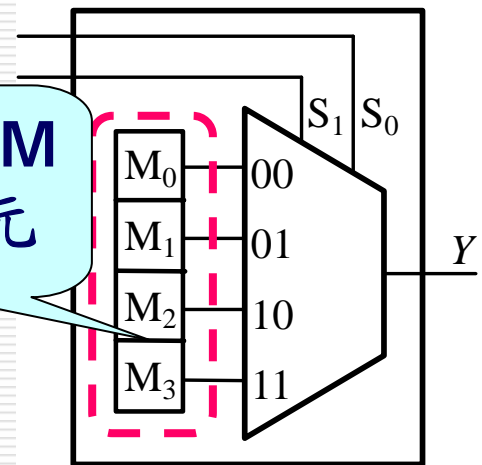
某函数 L 的真值表

A	B	L
0	0	1
0	1	0
1	0	1
1	1	1



实现 L 的 LUT

4个SRAM
存储单元

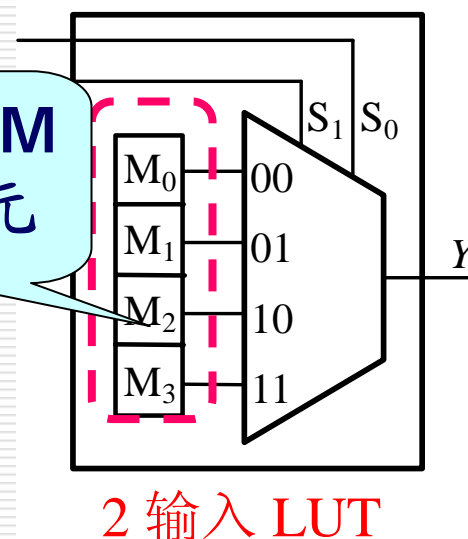
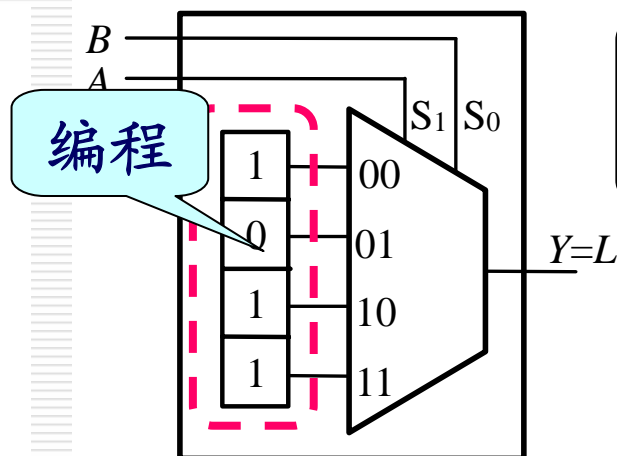


8.2.1 FPGA实现逻辑功能的基本原理

LUT是FPGA实现逻辑函数的基本单元。**2输入LUT**可实现任意2变量组合逻辑函数。

某函数 L 的真值表

A	B	L
0	0	1
0	1	0
1	0	1
1	1	1



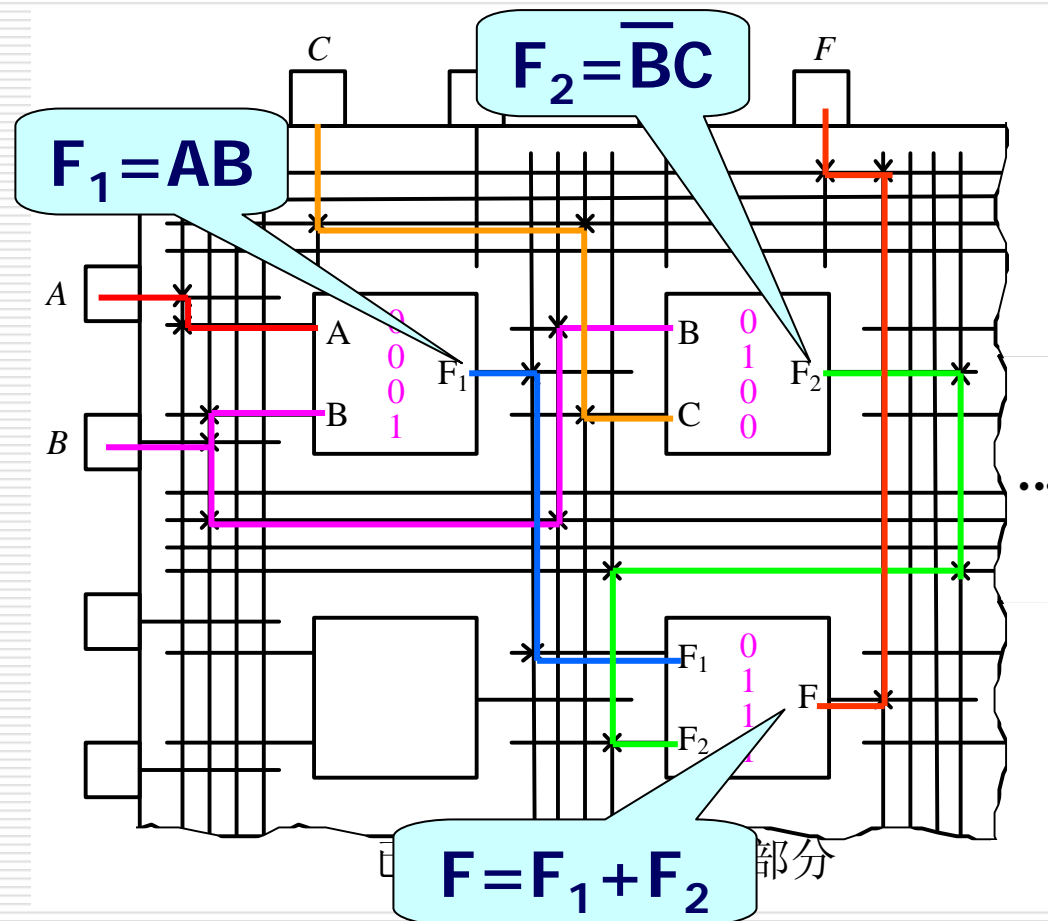
目前FPGA中的**LUT**大多是4~5个输入，1个输出。当变量数超过一个LUT的输入数时，需要将多个**LUT**扩展使用。

LUT扩展--用2输入LUT实现函数 $F = AB + \overline{B}C = F_1 + F_2$

函数 F 的真值表

AB	F_1	BC	F_2
0 0	0	0 0	0
0 1	0	0 1	1
1 0	0	1 0	0
1 1	1	1 1	0

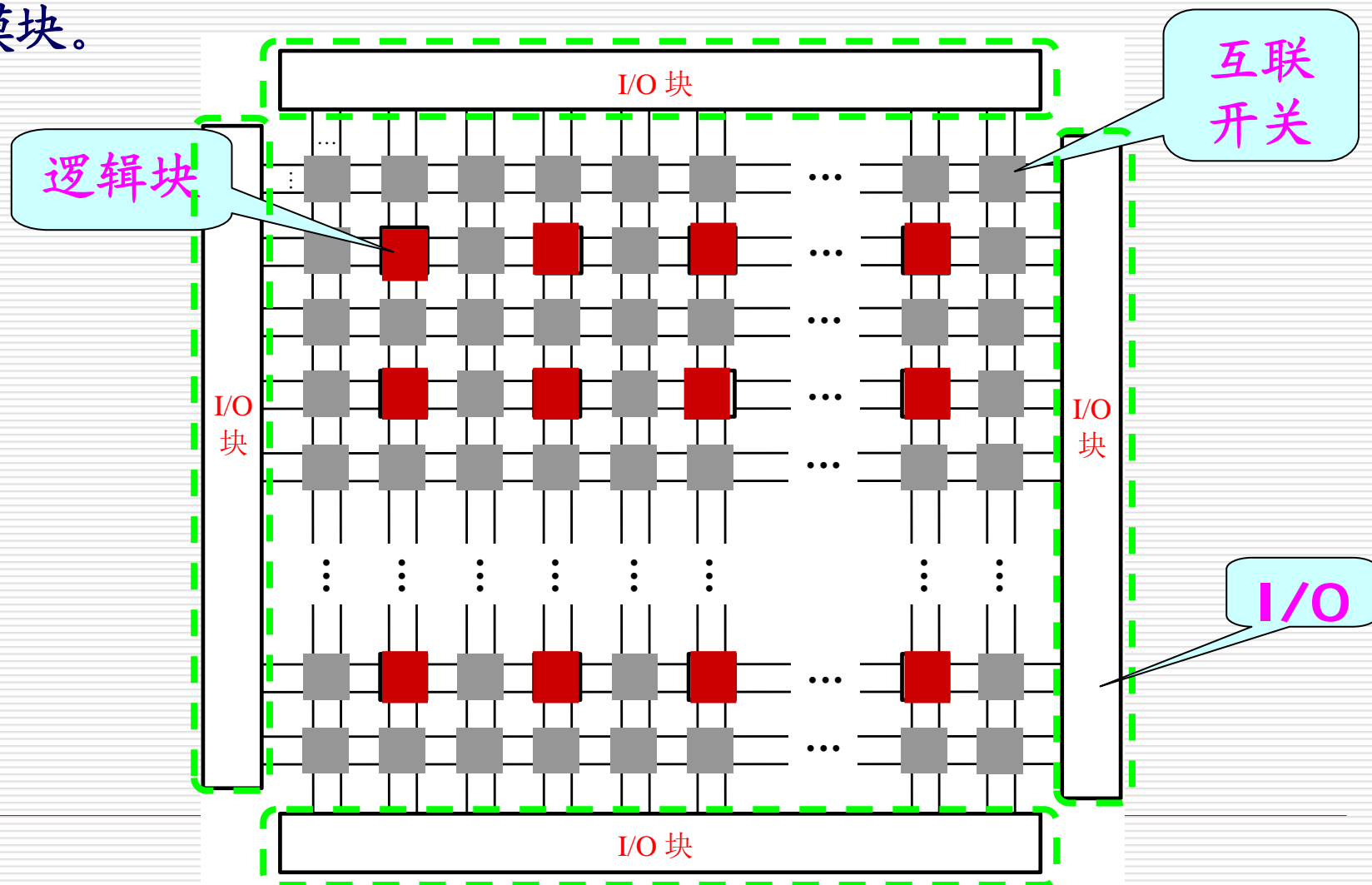
$F_1 F_2$	F
0 0	0
0 1	1
1 0	1
1 1	1



在LUT的基础上增加触发器便可实现时序电路。

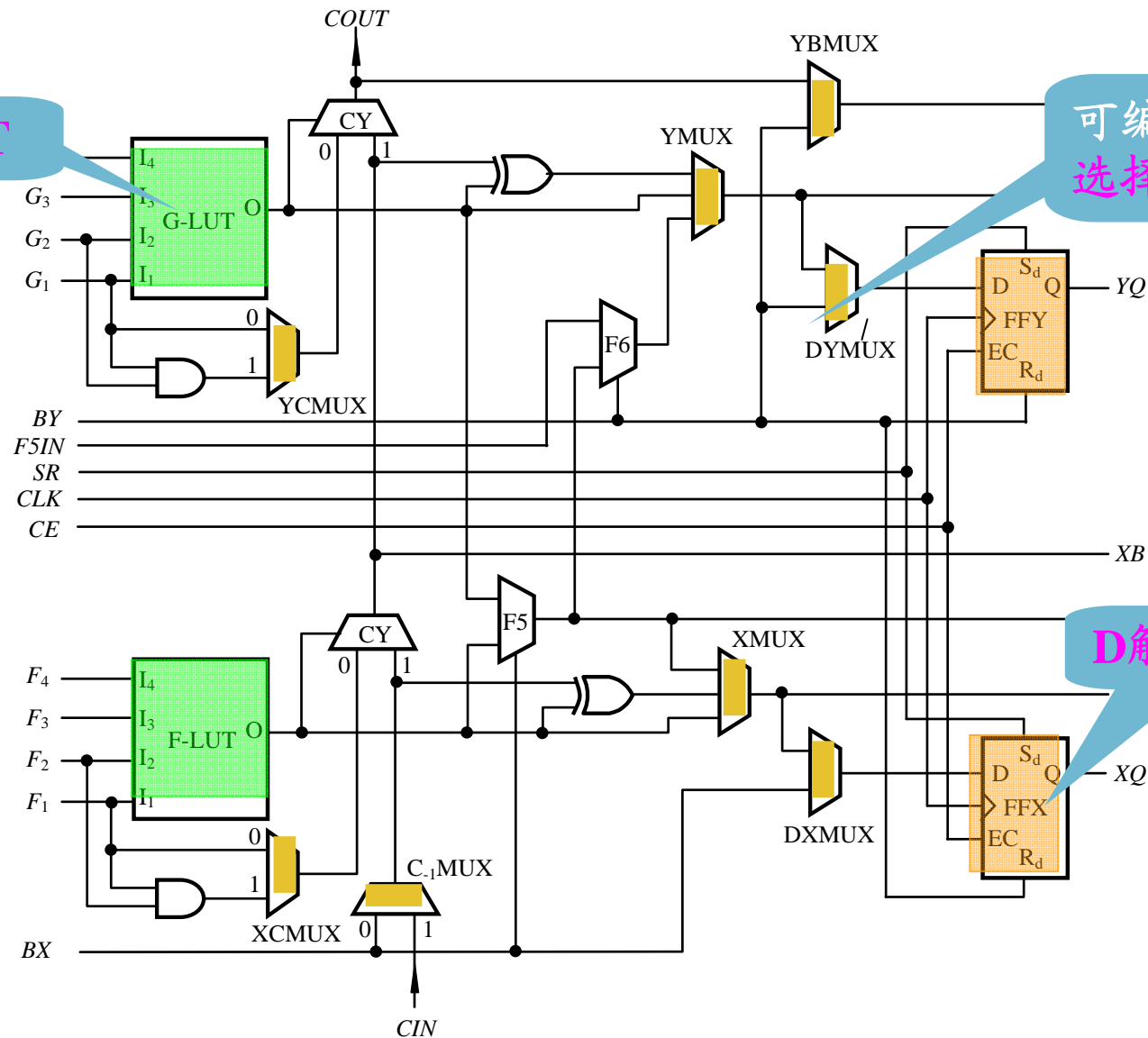
8.2.2 FPGA结构简介

FPGA包括：可编程逻辑块、可编程互联开关、可编程I/O模块。



1. 可编程逻辑块

4输入LUT



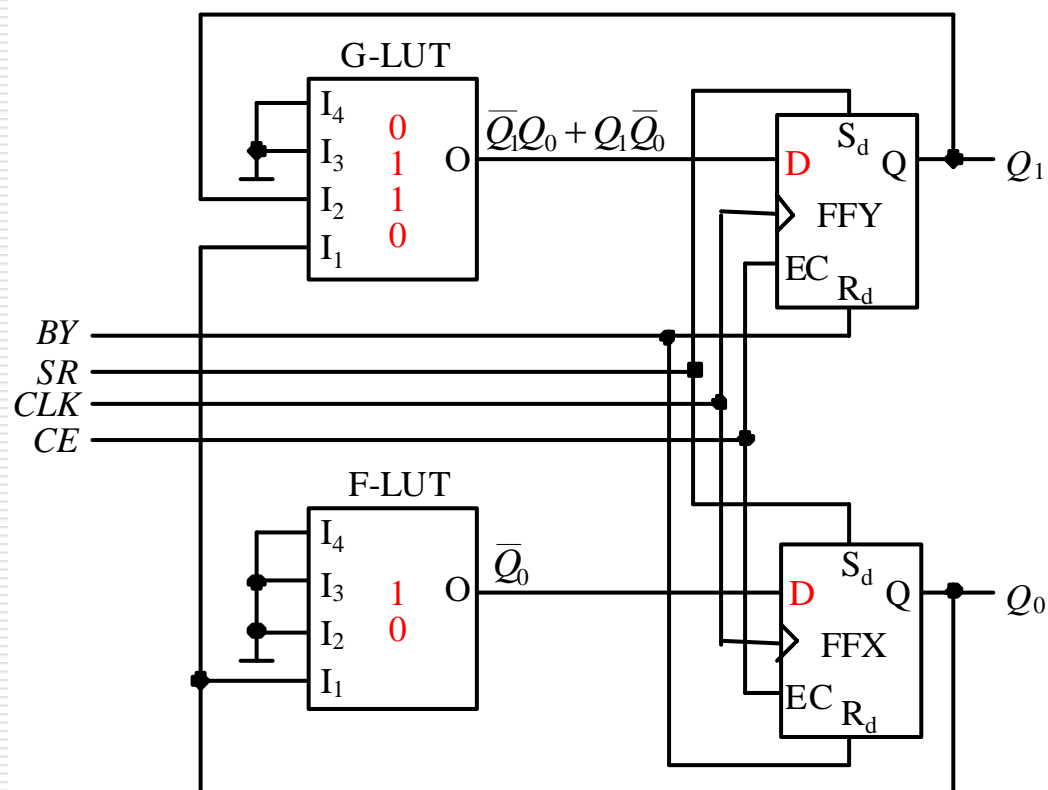
用可编程逻辑块实现2位二进制计数器。

2位二进制状态转换表

$Q_1^n Q_0^n$	$Q_1^{n+1}(D_1) Q_0^{n+1}(D_0)$
00	01
01	10
10	11
11	00

$$\text{得 } D_1 = \overline{Q_1}Q_0 + Q_1\overline{Q_0}$$

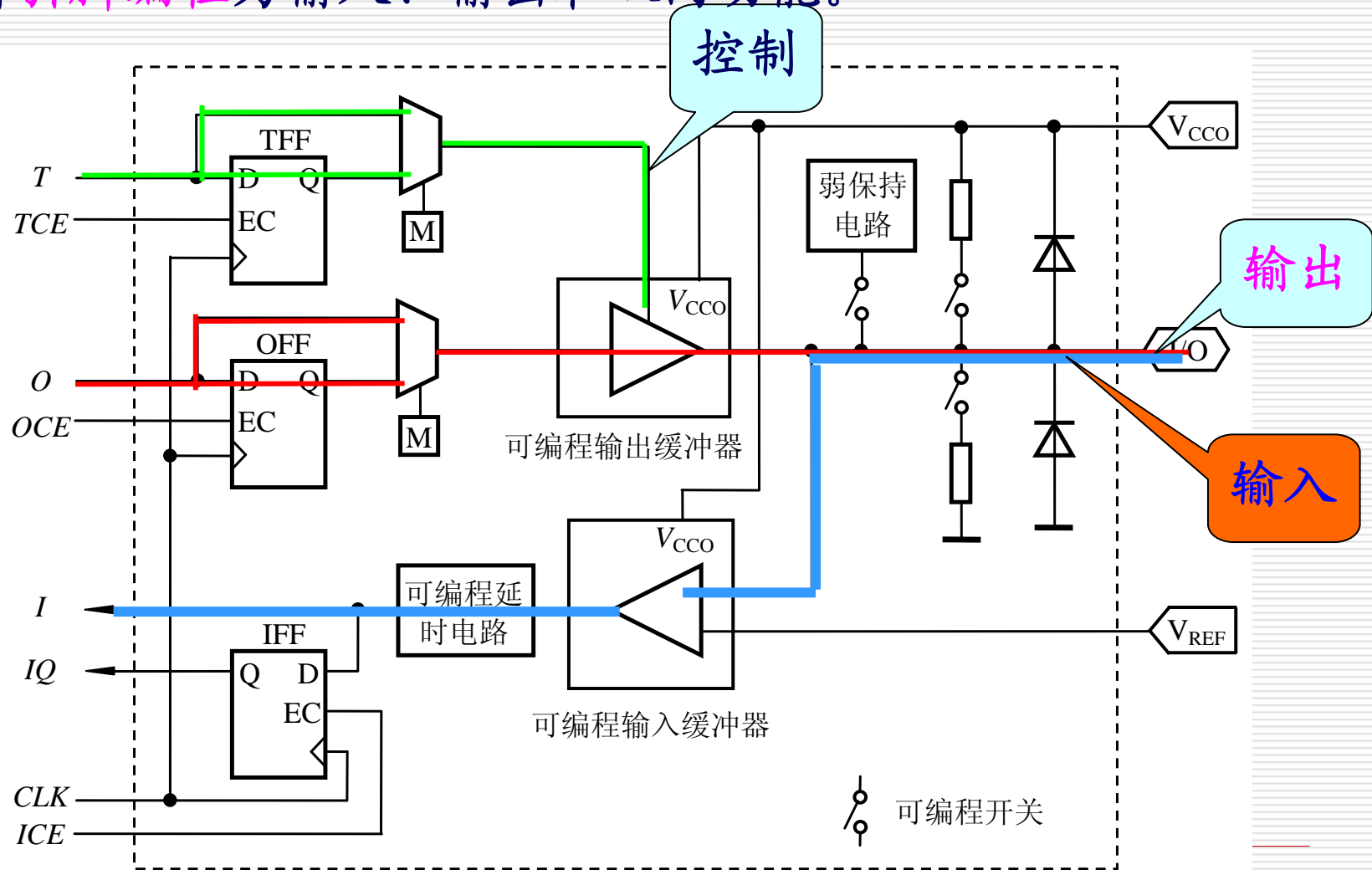
$$D_0 = \overline{Q_0}$$



逻辑块编程实现 2 位二进制计数器

2. I/O块

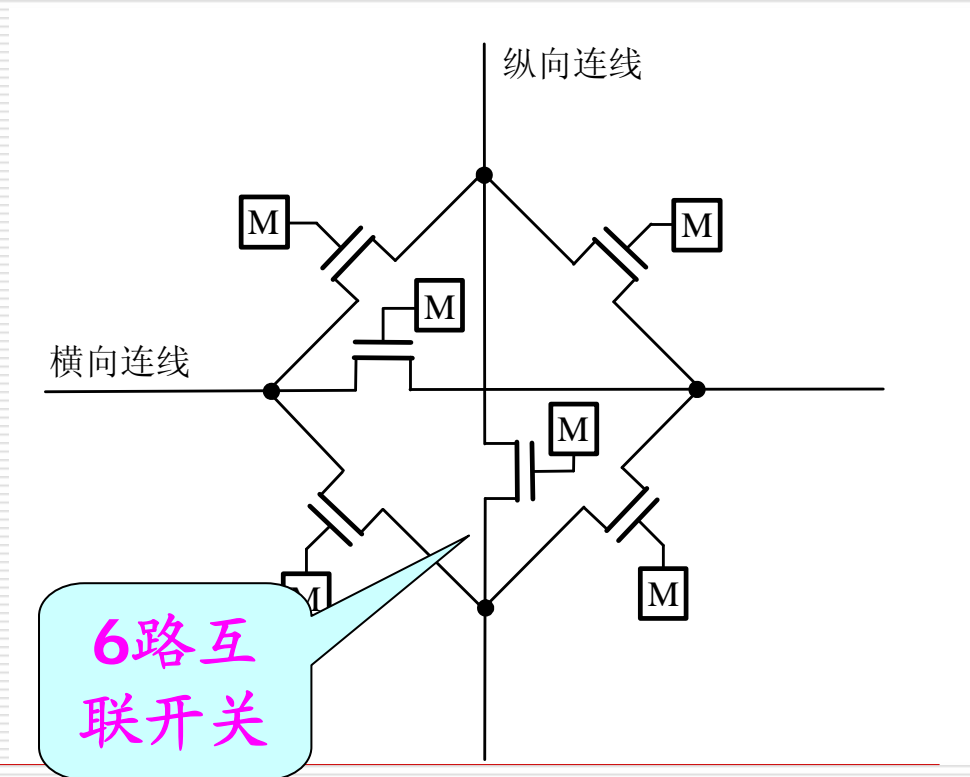
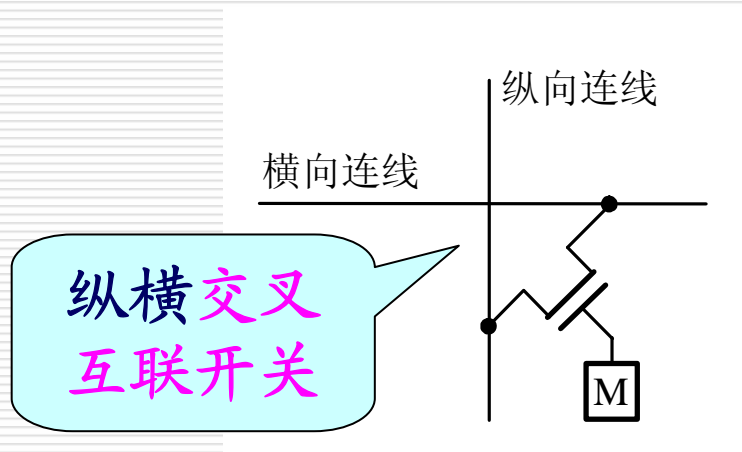
将引脚编程为输入、输出和双向功能。



3. 可编程连线资源

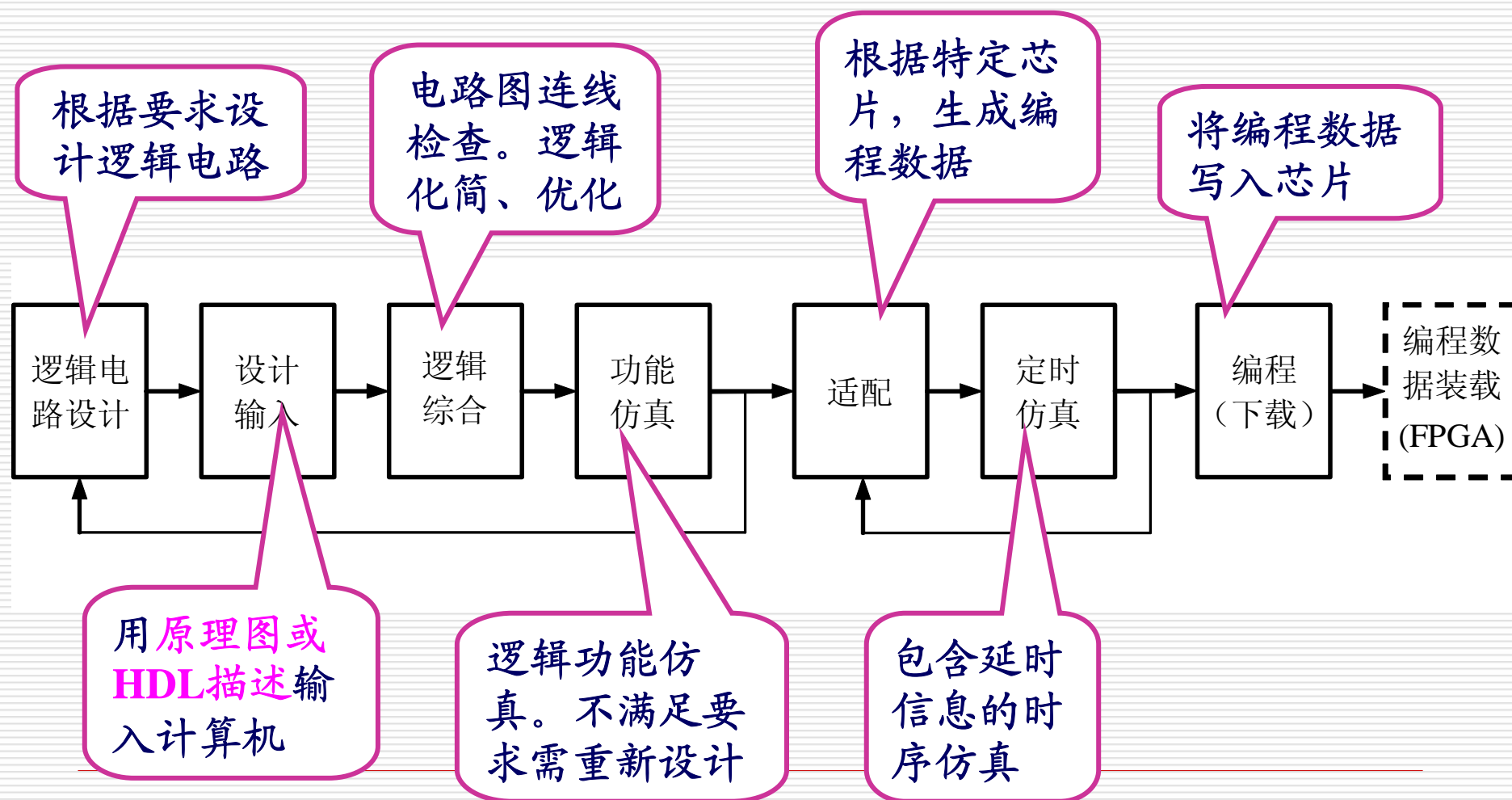
可编程开关实现逻辑块与逻辑块之间，逻辑块与连线之间，逻辑块与I/O之间的连接。

两种典型的互联开关结构如图。



8.3 可编程逻辑器件开发过程简介

可编程器件的一般开发过程



8.3 可编程逻辑器件开发过程简介

为什么FPGA需要编程数据装载？

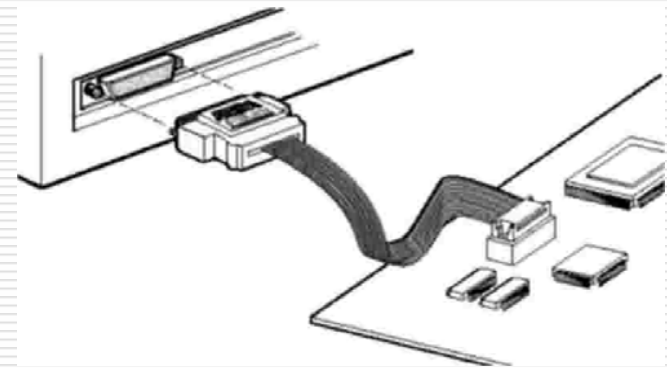
- **CPLD**采用CMOS E²PROM工艺制造，编程后，即使切断电源，其逻辑也不会消失，且可以在系统编程（ISP特性）。
 - **FPGA**的LUT由数据选择器和SRAM构成，切断电源后，其逻辑会消失。所以FPGA需要外部的PROM保存编程数据。每次通电，自动将PROM中的编程数据装载到FPGA中。
-

编程条件

(1) 微机; (2) CPLD编程软件; (3) 专用编程电缆。

计算机根据用户编写的源程序运行开发系统软件, 产生相应的编程数据和编程命令, 通过五线编程电缆接口与芯片连接。

将电缆接到计算机的并行口 (现在下载板多用USB接口), 通过编程软件发出编程命令, 将编程数据文件中的数据下载到芯片。



第九章 作业布置

- 1、本周有实验。
 - 2、下次交作业第11周。
 - 3、本周作业：从第9章课后习题中选2题写到作业本上。
-

第九章

脉冲波形的变换与产生

9 脉冲波形的变换与产生

9.1 单稳态触发器

9.2 施密特触发器

9.3 多谐振荡器

9.4 555定时器及其应用

9.1 单稳态触发器

9.1.1 用门电路组成的微分型单稳态触发器

9.1.2 集成单稳态触发器

9.1.3 单稳态触发器的应用

9.1单稳态触发器

单稳态触发器的工作特点:

- ① 电路在**没有触发信号**作用时处于一种**稳定状态**。
- ② 在**外来触发信号**作用下，电路由**稳态**翻转**到暂稳态**；
- ③ 由于电路中**RC延时环节**的作用，**暂稳态**不能长保持，经过一段时间后，**电路会自动返回到稳态**。暂稳态的**持续时间**仅取与**RC参数值**有关。

单稳态触发器的暂稳态通常是靠RC电路的充放电过程来维持的，根据RC的电路不同接法，把单稳态触发器分成微分型和积分型。

单稳态触发器的分类



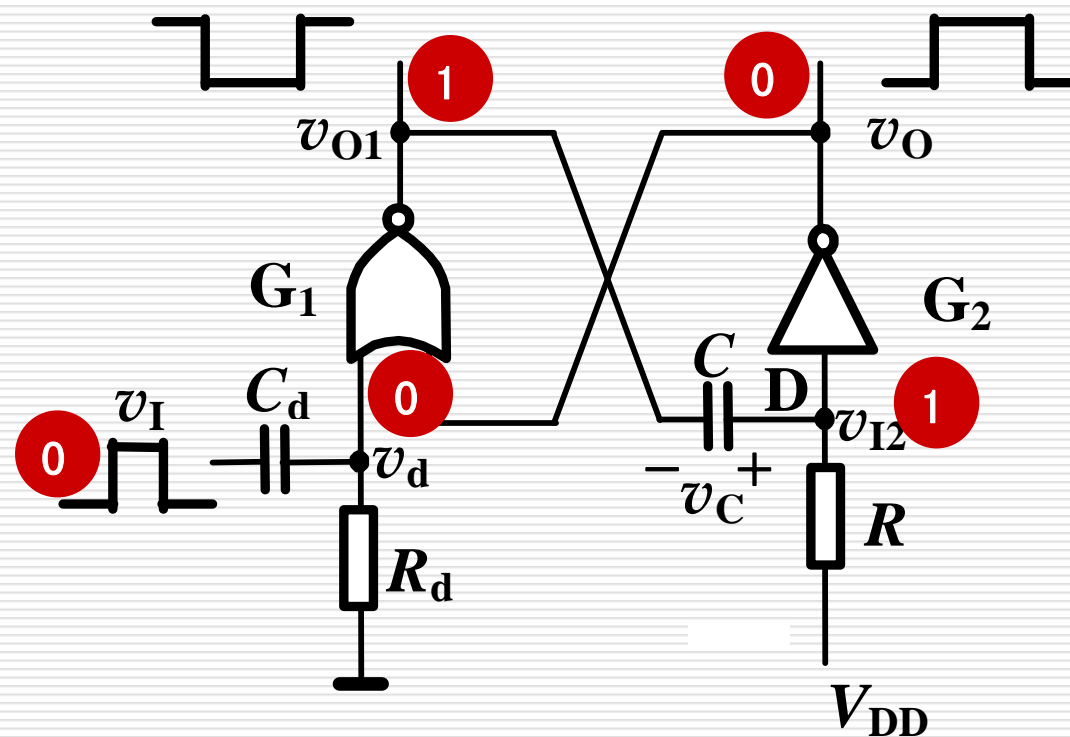
2. 工作原理:

设定CMOS反相器的阈值电压 $V_{TH} \approx \frac{V_{DD}}{2}$

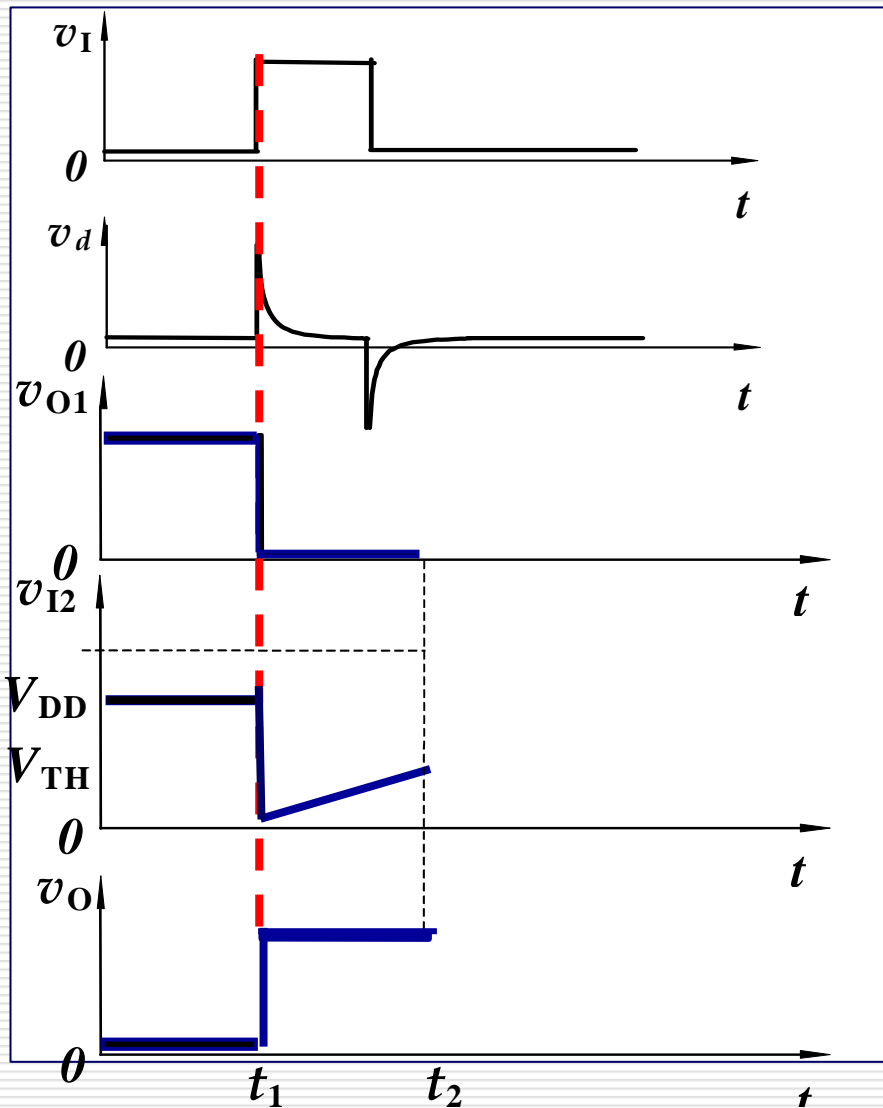
a) 没有触发信号时, $v_I = 0$

电路处于一种稳态:

$$v_o = 0 \quad v_c = 0$$



b) 外加触发信号



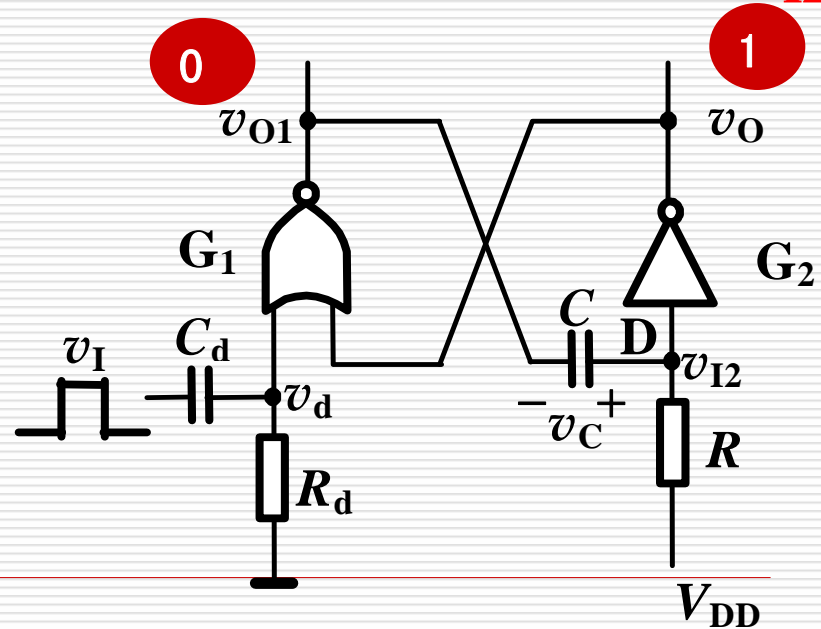
$$v_d \uparrow \longrightarrow v_d = V_{TH}$$

产生如下正反馈过程:

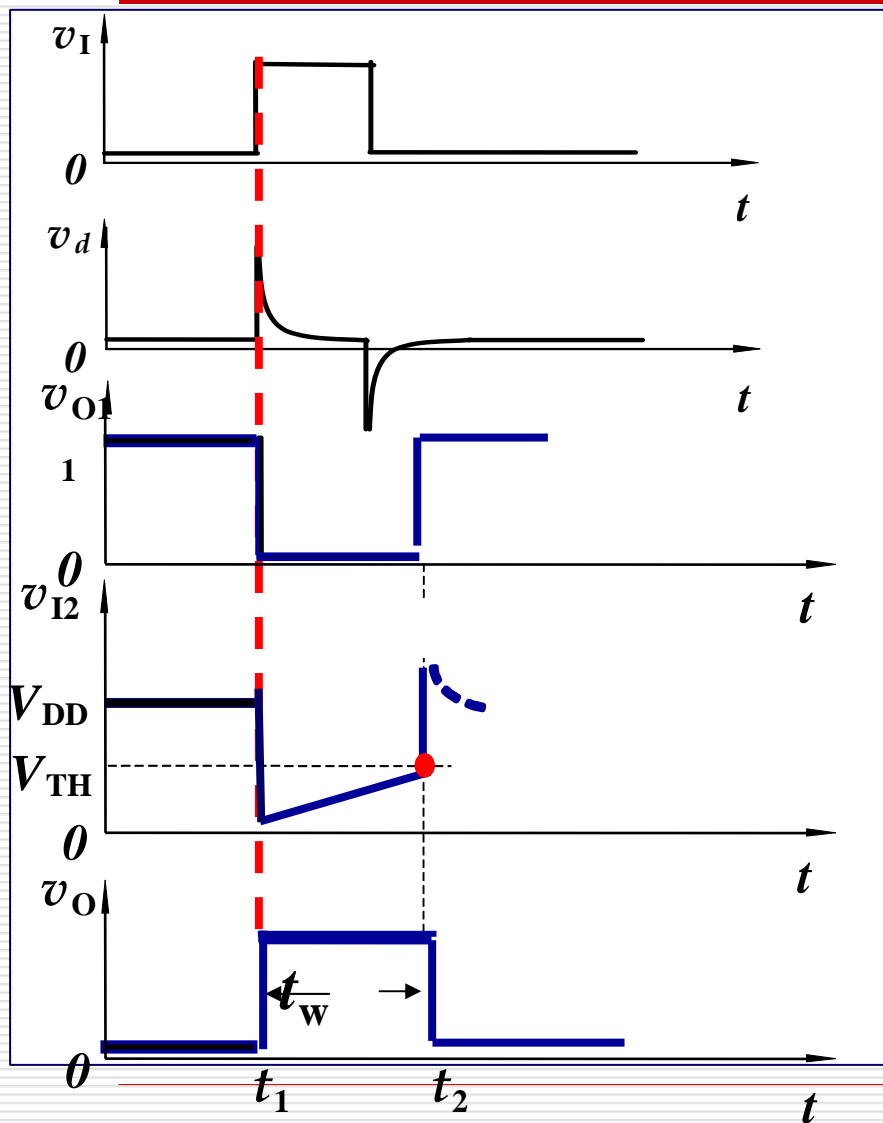
$$v_I \uparrow \longrightarrow v_{O1} \downarrow \longrightarrow v_{I2} \downarrow \longrightarrow v_O \uparrow$$

→ 迅速使 $v_{01}=0$ $v_0=1$

电路进入暂稳态 电容充电 $U_{I2} \uparrow$



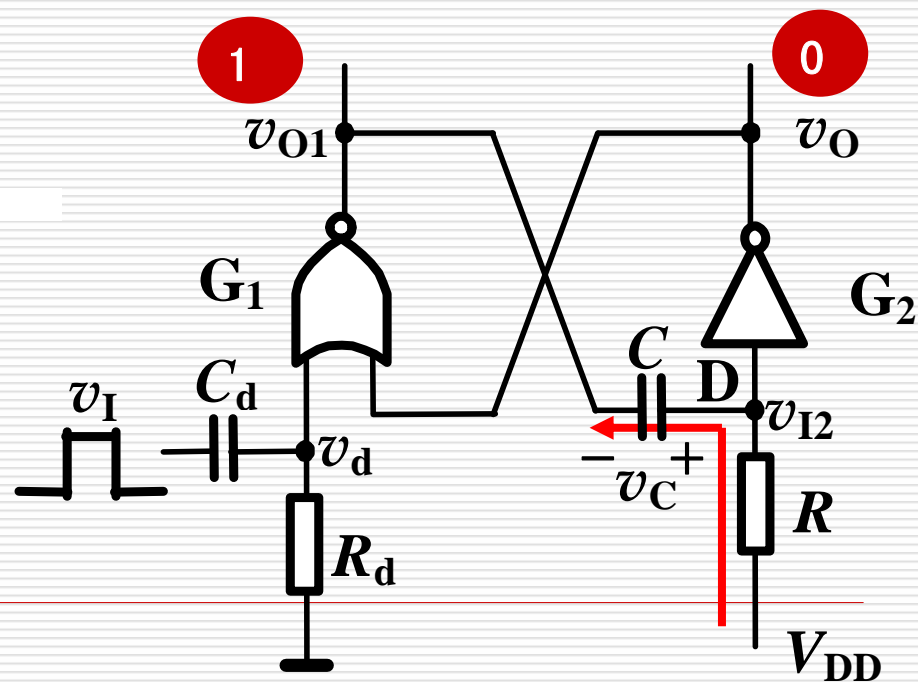
c) 电容充电, $\longrightarrow v_{I2} \uparrow \longrightarrow v_{I2} = V_{TH}$ 产生如下正反馈过程:


$$v_{I2} \uparrow \rightarrow v_O \downarrow \rightarrow v_{O1} \uparrow$$

→ 迅速使 $v_{o1}=1$ $v_o=0$

电容放电 $v_c = 0$

电路由暂稳态自动返回到稳态



3. 主要参数的计算

(1) 输出脉冲宽度 t_w

$$t_w = RC \ln \frac{v_C(\infty) - v_C(0)}{v_C(\infty) - V_{TH}}$$

$$v_C(0^+) = 0; \quad v_C(\infty) = V_{DD}$$

$$\tau = RC, \quad V_{TH} = V_{DD}/2$$

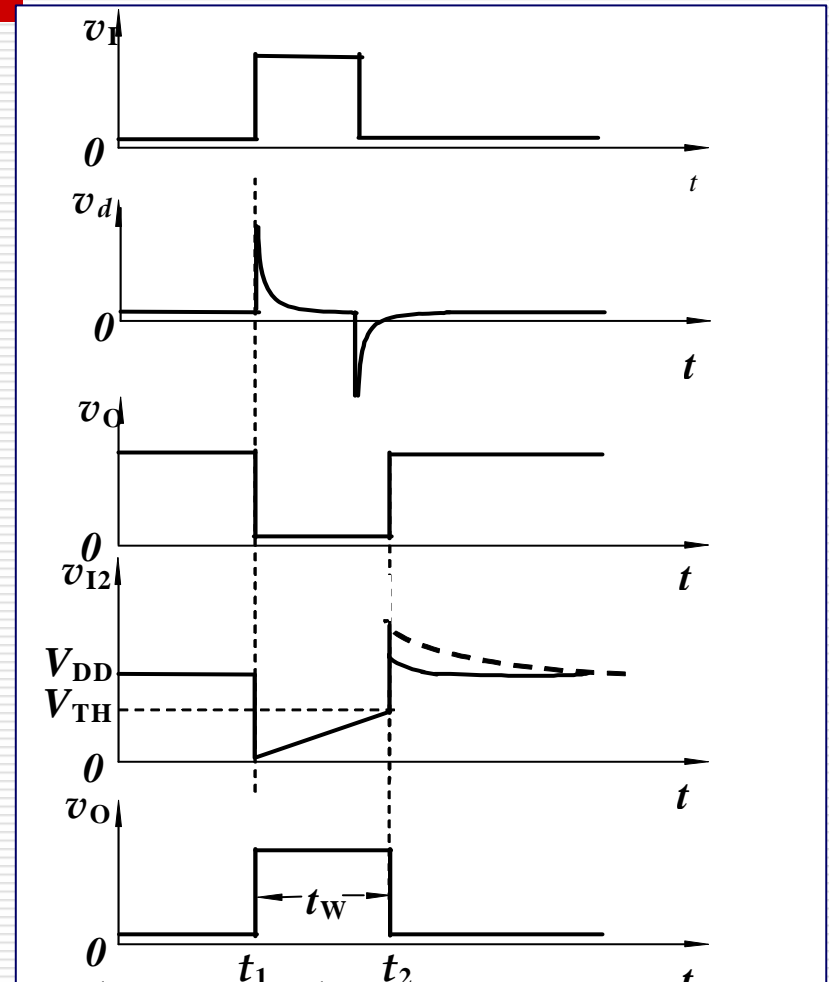
$$t_w = RC \ln \frac{V_{DD} - 0}{V_{DD} - V_{TH}} \\ = RC \ln 2$$

$$t_w \approx 0.7RC$$

(2) 恢复时间 t_{re} $t_{re} \approx 3\tau$

(3) 最高工作频率 f_{max}

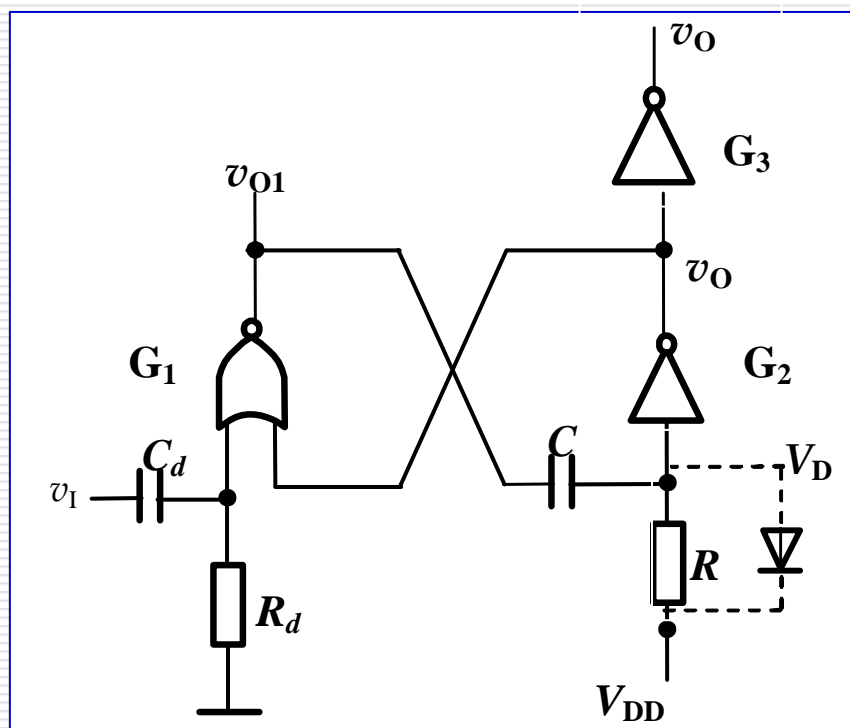
$$f_{max} = \frac{1}{T_{min}} < \frac{1}{t_w + t_{re}}$$



4. 讨论

a) 在暂稳态结束($t=t_2$)瞬间, 门 G_2 的输入电压 v_{I2} 达到 $V_{DD}+V_{TH}$, 可能损坏 G_2 门, 怎么办?

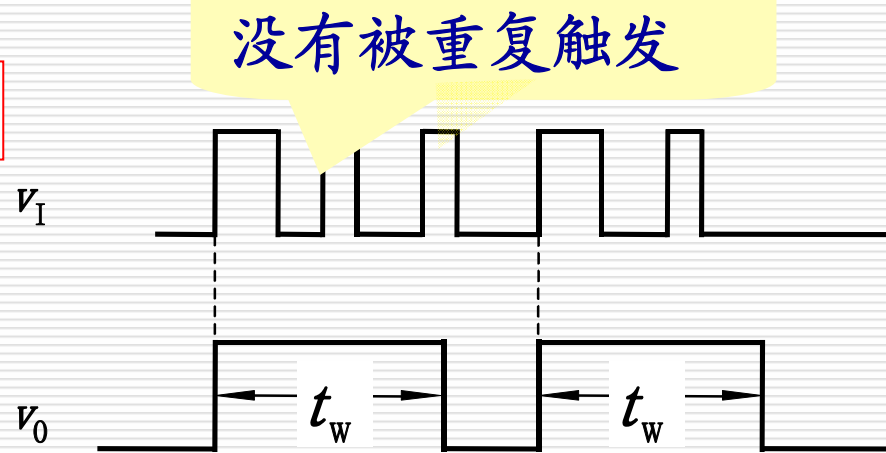
b) 用TTL门电阻 R 的取值可以是任意的吗?



采用TTL与非门构成单稳电路时, 电阻 R 要小于 $0.7k\Omega$ 。

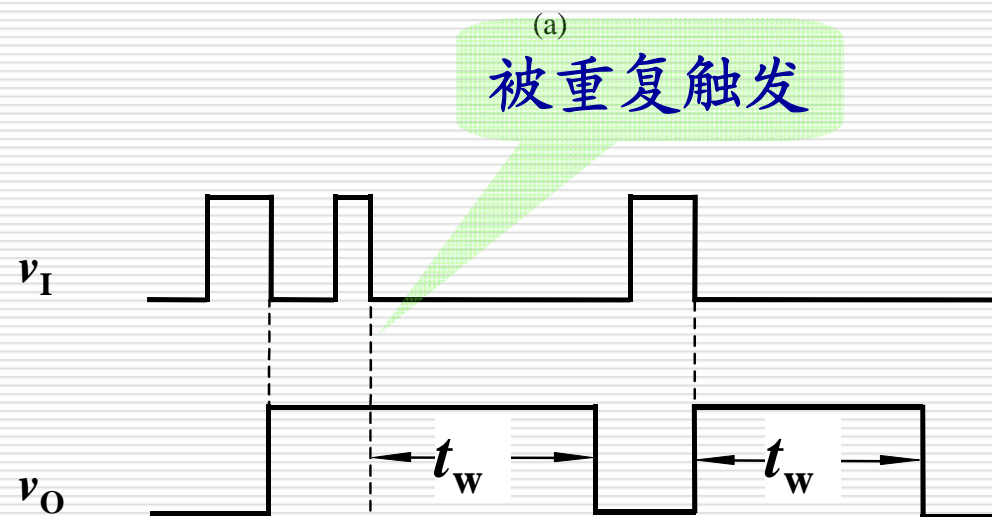
9.1.2 集成单稳态触发器

不可重复触发



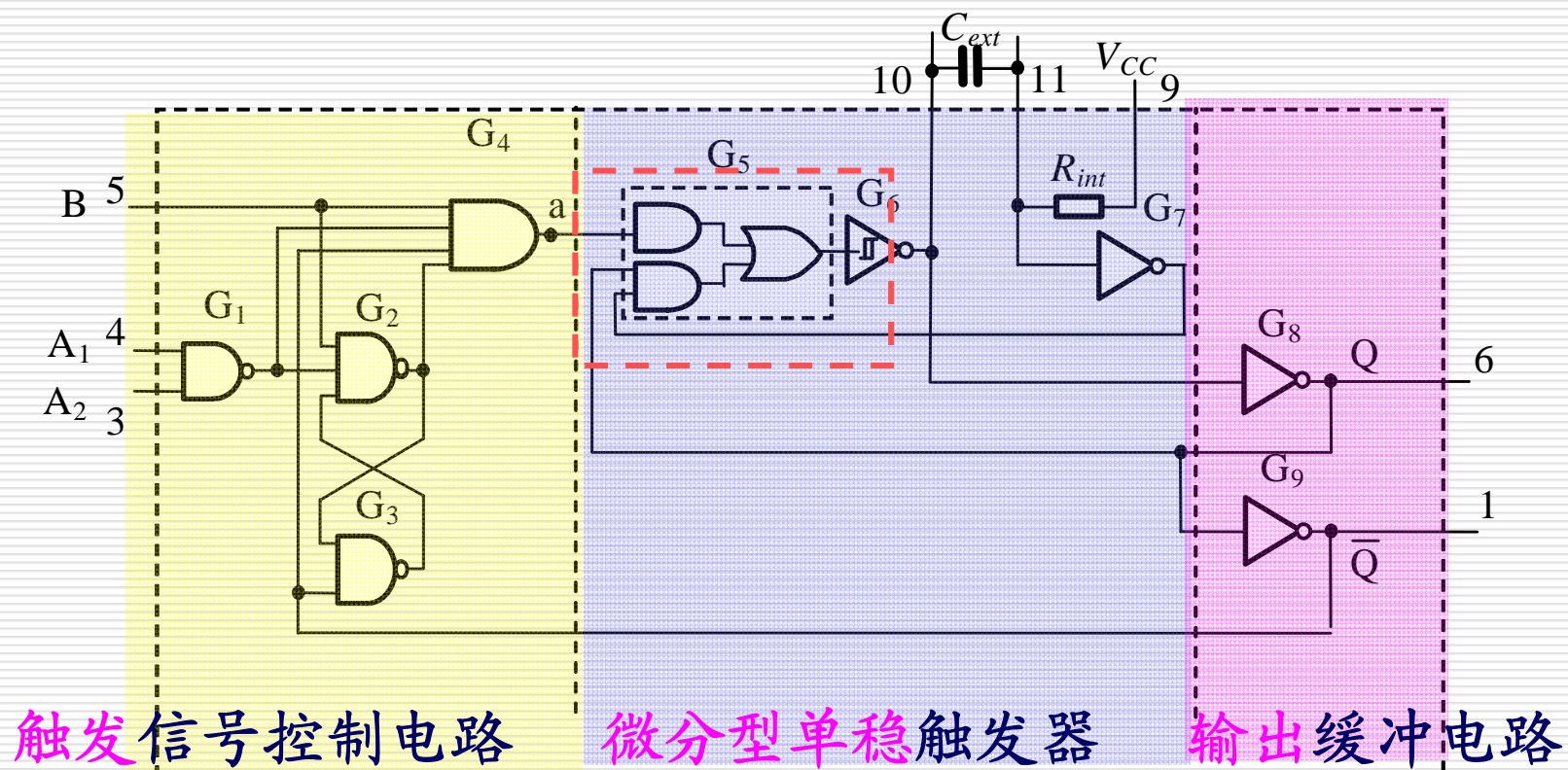
(a)

可重复触发



(b)

1. 不可重复触发的集成单稳态触发器 74121

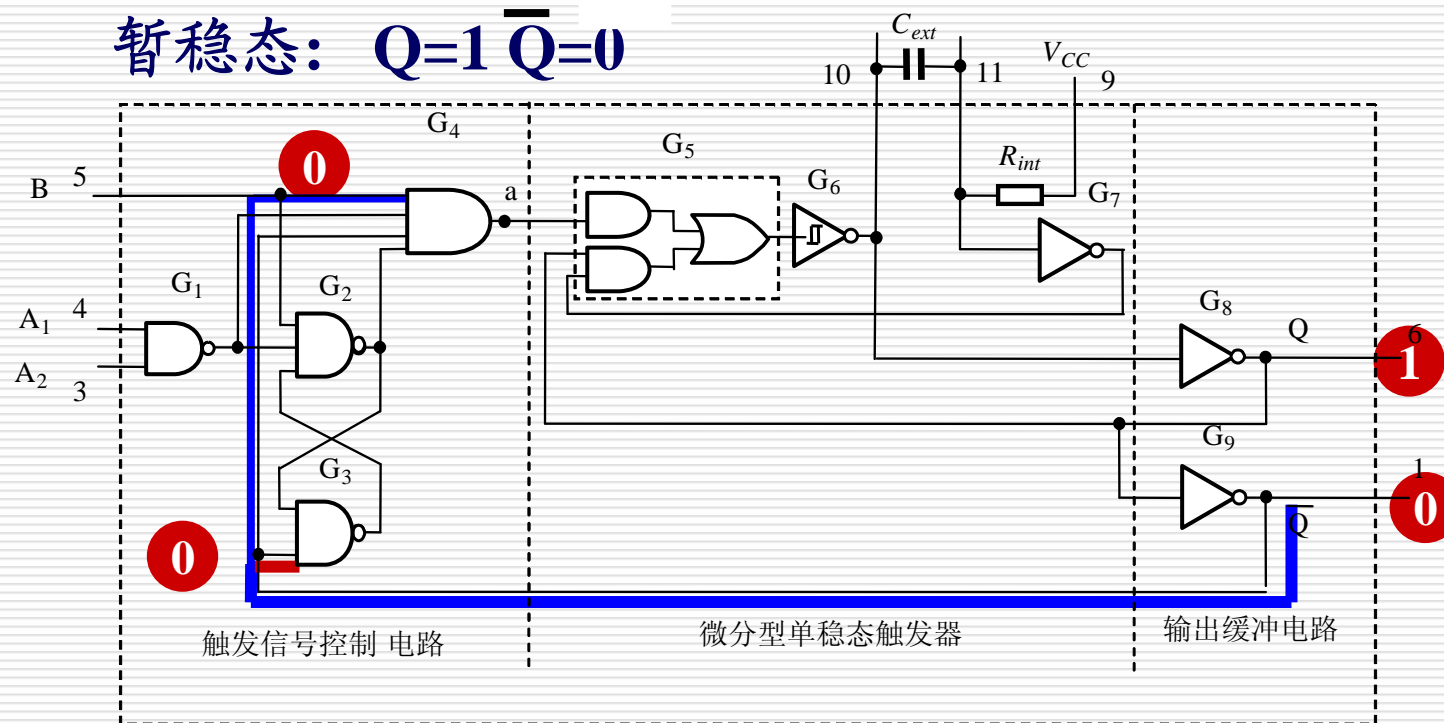


电路的连接: C : 外接电容

R : 外接电阻或采用内部电阻

工作原理

电路的不可重复触发特性



在暂稳态期间即使有触发信号输入,但由于 G_4 门在此期间关闭,不会被再次触发,电路属于不可重复触发单稳态触发器

输出脉冲宽度: $t_w \approx 0.7RC$

逻辑功能表

74121功能表

A_1	A_2	B	Q	\overline{Q}
L	\times	H	L	H
\times	L	H	L	H
\times	\times	L	L	H
H	H	\times	L	H
H	\downarrow	H	$\neg L$	$\neg H$
\downarrow	H	H	$\neg L$	$\neg H$
\downarrow	\downarrow	H	$\neg L$	$\neg H$
L	\times	\uparrow	$\neg L$	$\neg H$
\times	L	\uparrow	$\neg L$	$\neg H$

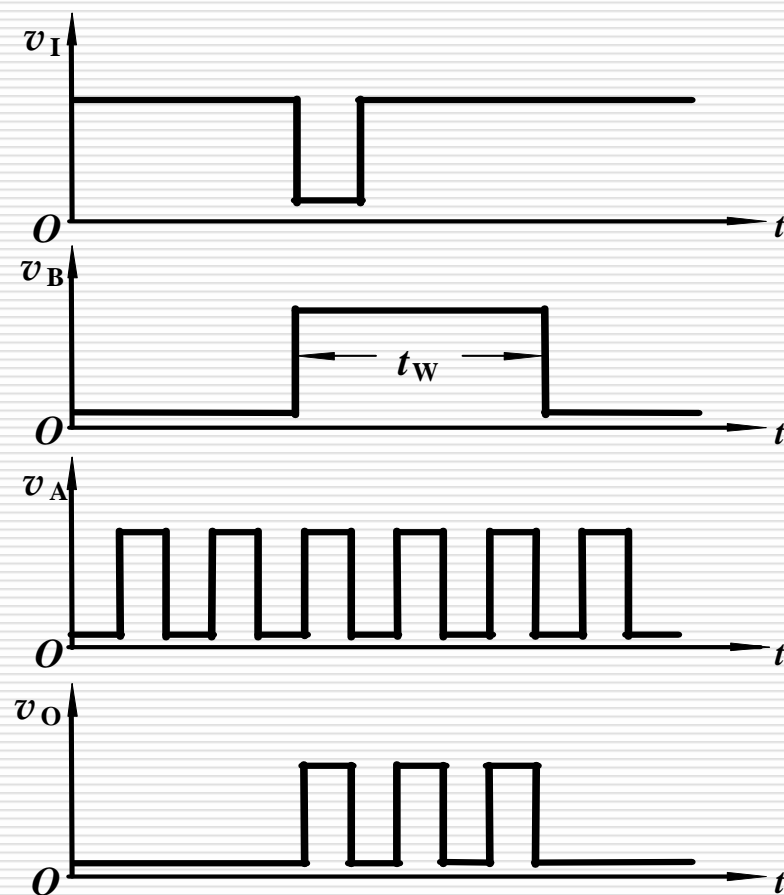
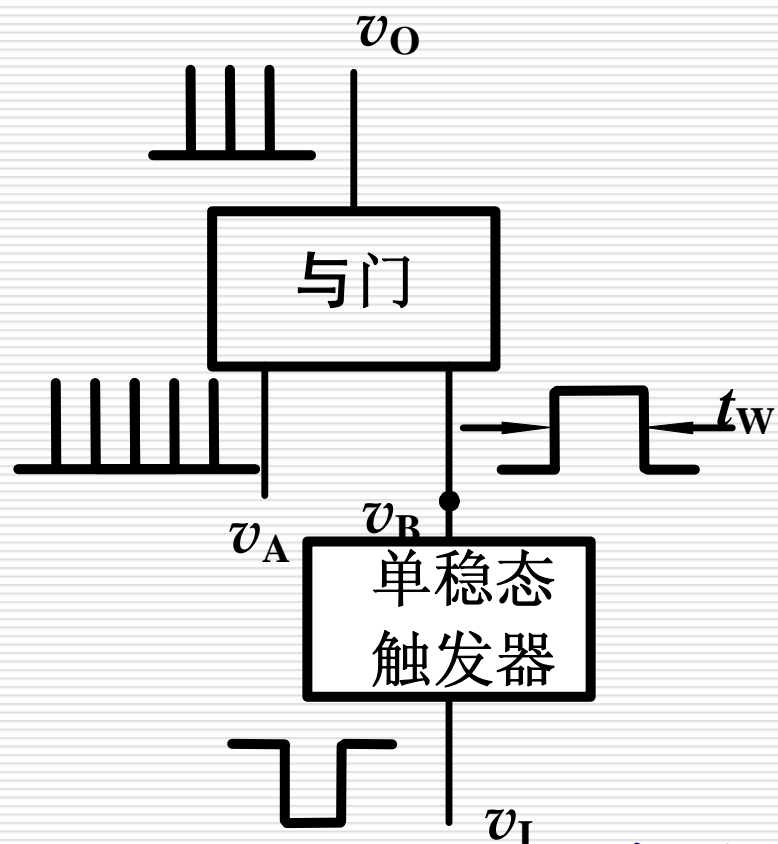
不可触发，保持稳态不变

B 和 A_1 、 A_2 中有一个或两个为高电平，输入端有一个或两个下降沿时电路被触发

A_1 、 A_2 中有一个或两个为低电平，在 B 端输入上升沿时电路被触发

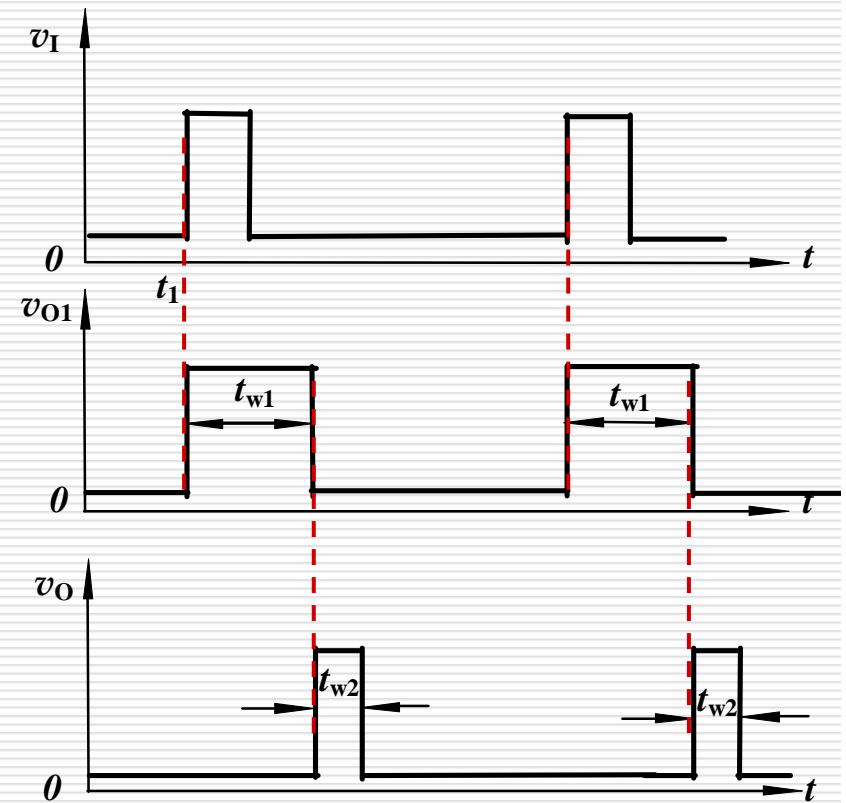
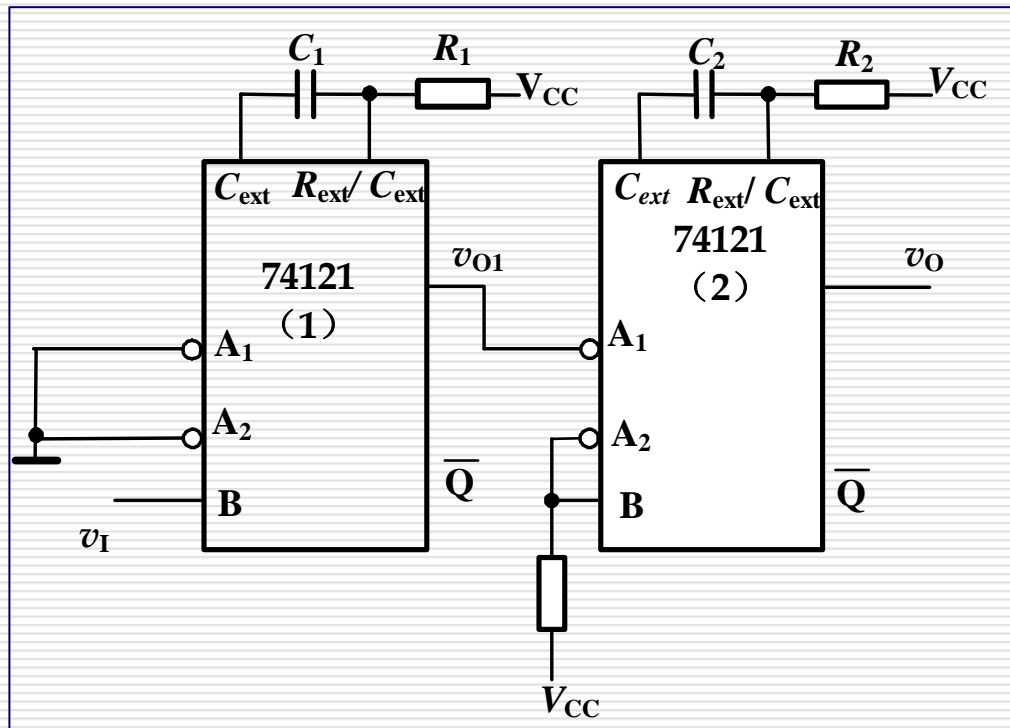
9.1.3 单稳态触发器的应用

1. 定时



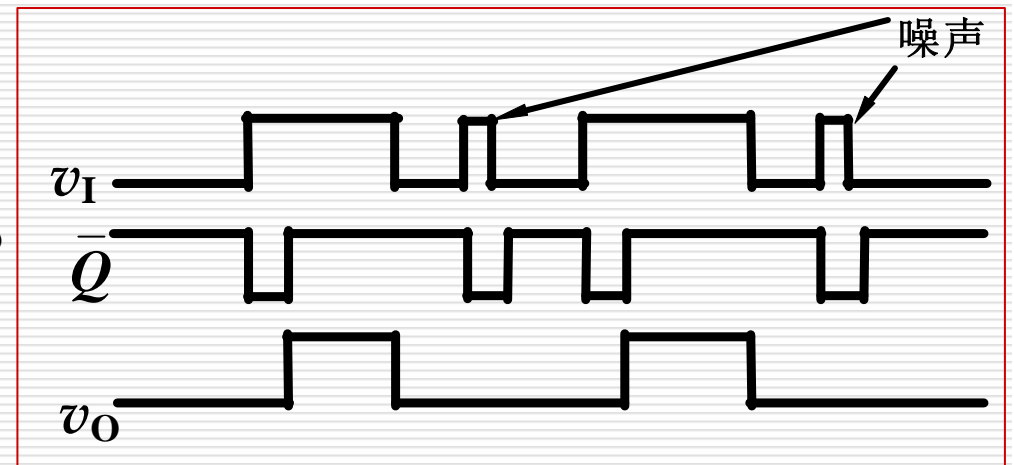
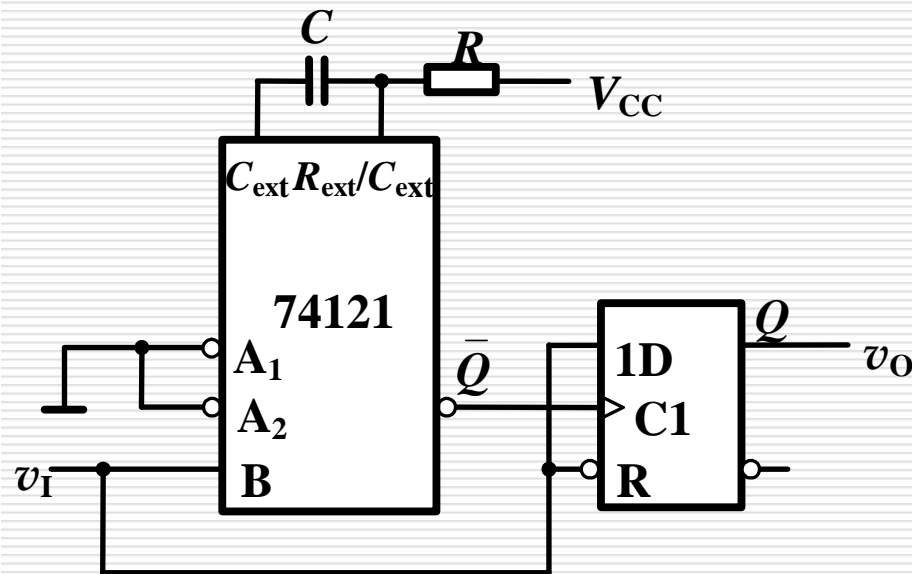
该电路可用于频率计

2. 延时



3. 组成噪声消除电路

如用 v_I 作为下降沿触发的计数器触发脉冲,干扰加入,就会造成计数错误。



单稳触发器的输出脉宽应大于噪声宽度而小于信号脉宽,才可消除噪声。