

通知 实验安排

数字逻辑电路课程有16个学时的实验，初步安排如下：

计算机1班 第8,10周 周三上午 1-4 (8:00-11:40)

计算机2班 第9,11周 周三上午 1-4 (8:00-11:40)

计算机3班 第9-12周 周二的下午5-6节

计算机4班 第10-13周 周一晚上 9-10 (19:00-20:50)

计算机5班 第9-12周 周三晚上9-10 (19:00-20:50)

物联网1班 第8,10周 周三下午5-8 (14:00-17:40)

物联网2班 第9,11周 周三下午5-8 (14:00-17:40)

计算机1班 第13, 14周 周二上午4节 (8:00-11:40)

计算机2班 第13, 14周 周二下午4节 (14:00-17:40)

计算机3班 第13, 14周 周二晚上4节 (18:30-22:10)

计算机4班 第13, 14周 周四上午4节 (8:00-11:40)

计算机5班 第13, 14周 周四下午4节 (14:00-17:40)

物联网1班 第13, 14周 周三下午4节 (14:00-17:40)

物联网2班 第13, 14周 周三晚上4节(18:30-22:10)

实验设备台套数有限，所以一次只能安排一个班实验。

实验地点：综合实验楼305房间

第五章 作业布置

1、下周二上课时间进行随堂期中考试，考试时间1节课。试卷题量大。考试内容：前5章。Verilog HDL暂时不考，期末必考。

2、由于期中考试，作业推迟一周交。第8周才交作业。

3、本次（4月4号）作业要求：

每个同学自己从第五章的课后习题中选3题做到作业本中，至于做哪3题，每个同学自己选择。不作硬性规定。我在检查作业时，只看是否做了3题。（从你购买的课本上选题做就可以了。）

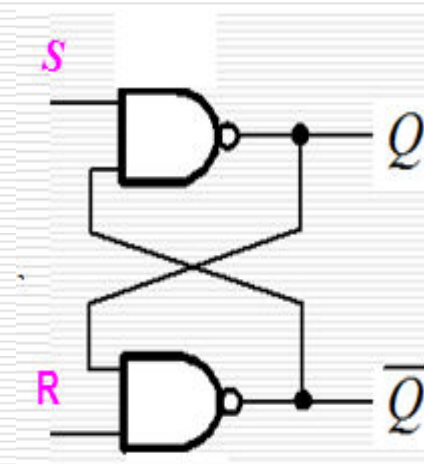
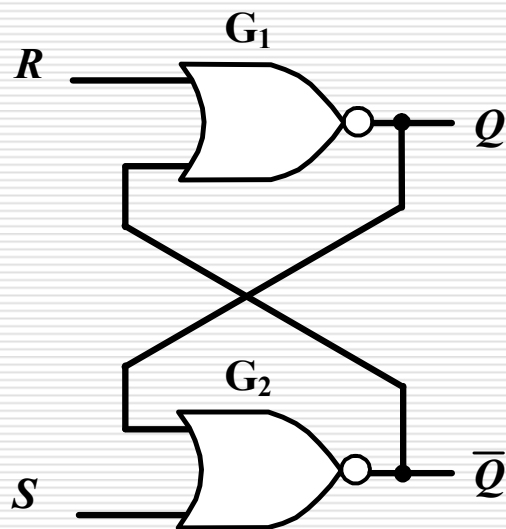
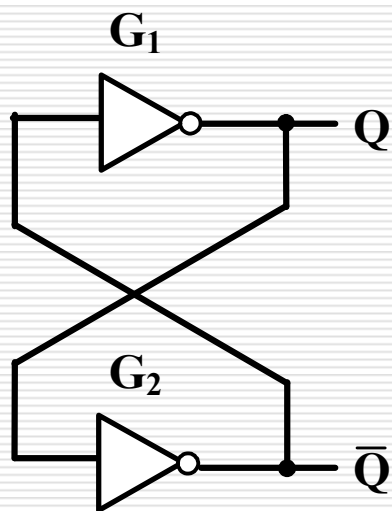
数 字 逻 辑

丁 贤 庆

ahhfdxq@163.com

第五章

锁存器和触发器



5.4 触发器的电路结构和工作原理

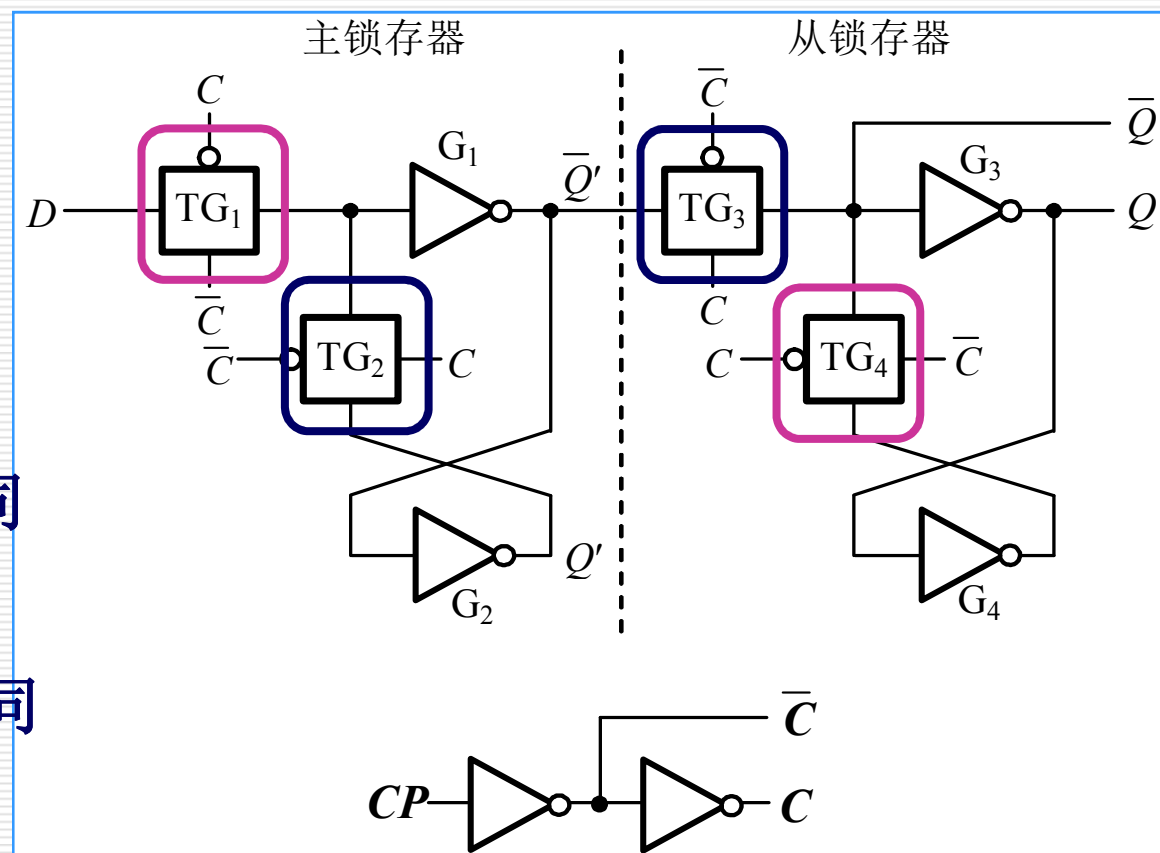
5.4.1 主从D触发器的电路结构和工作原理

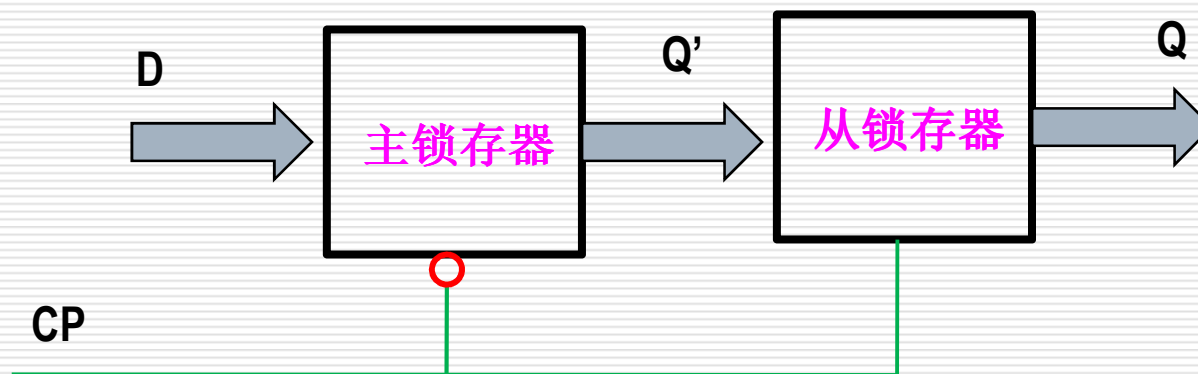
1. 电路结构

主锁存器与从锁存器结构相同

TG_1 和 TG_4 的工作状态相同

TG_2 和 TG_3 的工作状态相同





(1) $CP=0$ 时:



(2) CP 由0跳变到1:



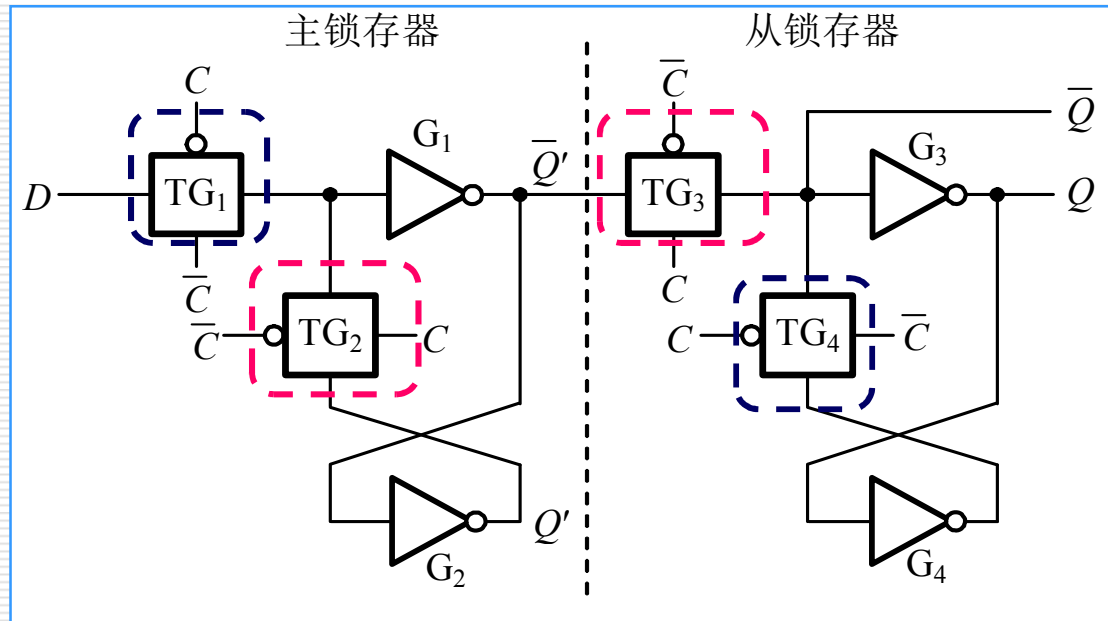
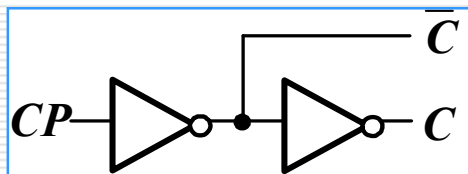
(3) $CP=1$ 时



2. 工作原理

(1) $CP=0$ 时:

$\bar{C}=1, C=0,$



TG₁导通, TG₂断开——输入信号 D 送入主锁存器。

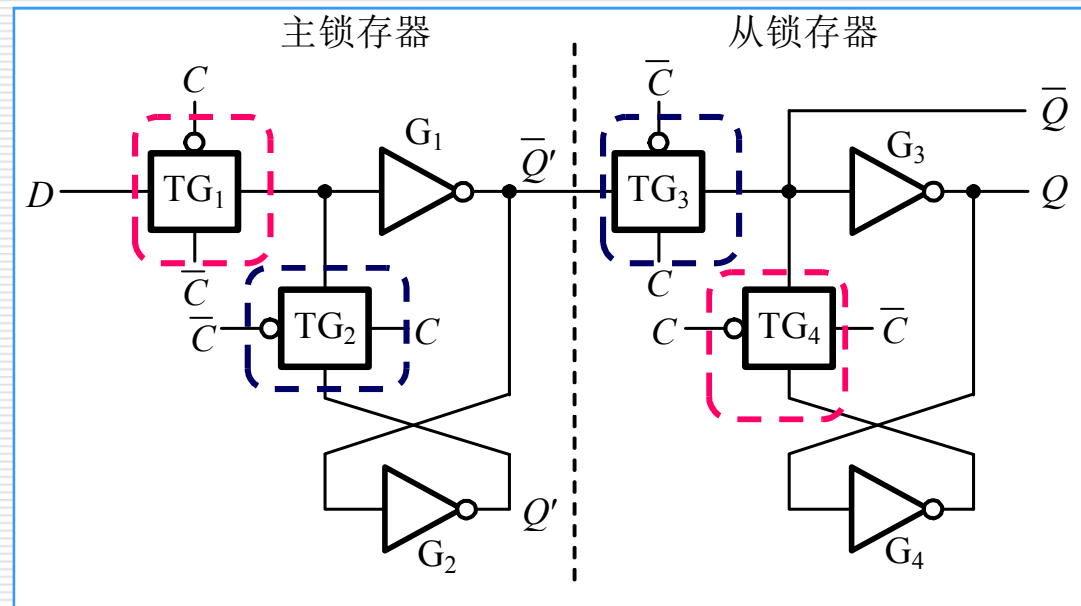
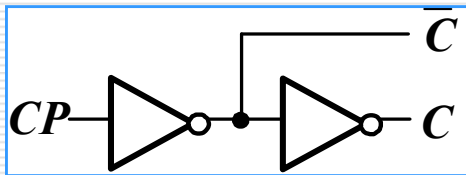
Q' 跟随 D 端的状态变化, 使 $Q'=D$ 。

TG₃断开, TG₄导通——从锁存器维持在原来的状态不变。

2. 工作原理

(2) CP由0跳变到1：

$$\bar{C} = 0, C = 1,$$



TG_1 断开， TG_2 导通——输入信号 D 不能送入主锁存器。

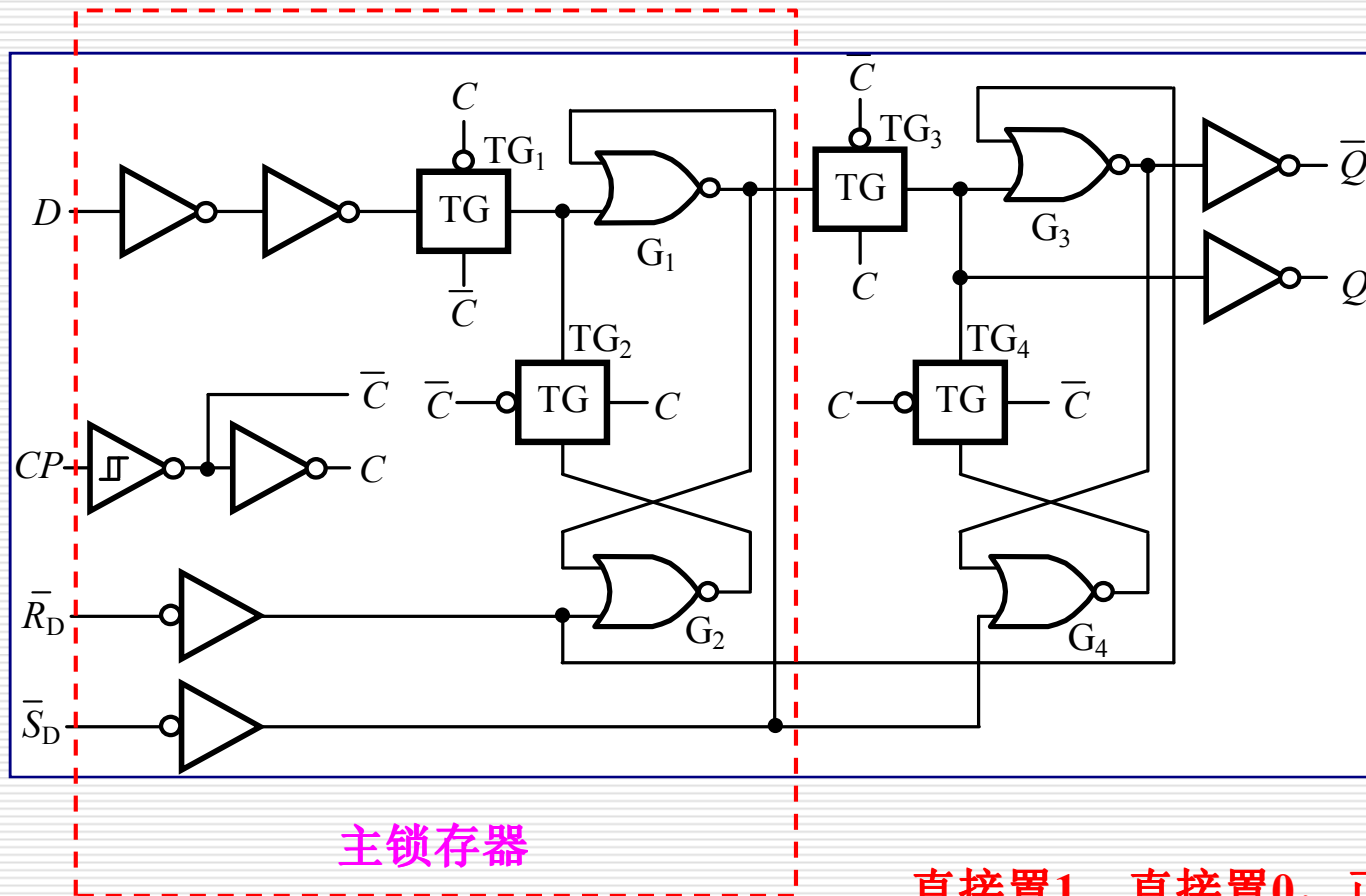
主锁存器维持原态不变。

TG_3 导通， TG_4 断开——从锁存器 Q' 的信号送 Q 端。

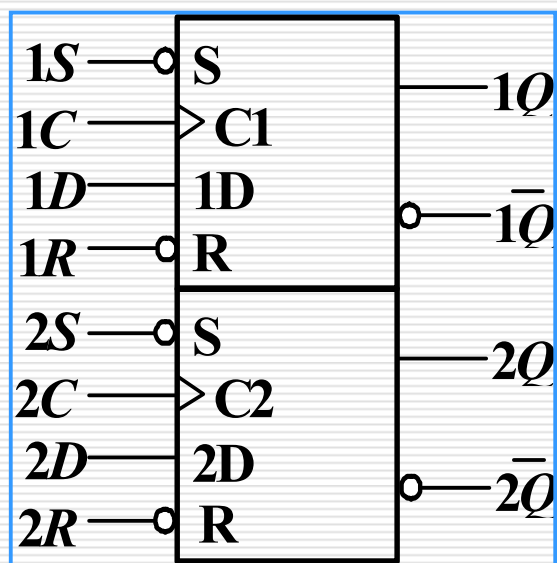
触发器的状态仅仅取决于 CP 信号上升沿到达前瞬间的 D 信号

5.4.2 典型主从D触发器集成电路

74HC/HCT74 中D触发器的逻辑图



74HC/HCT74的逻辑符号和功能表



国标逻辑符号

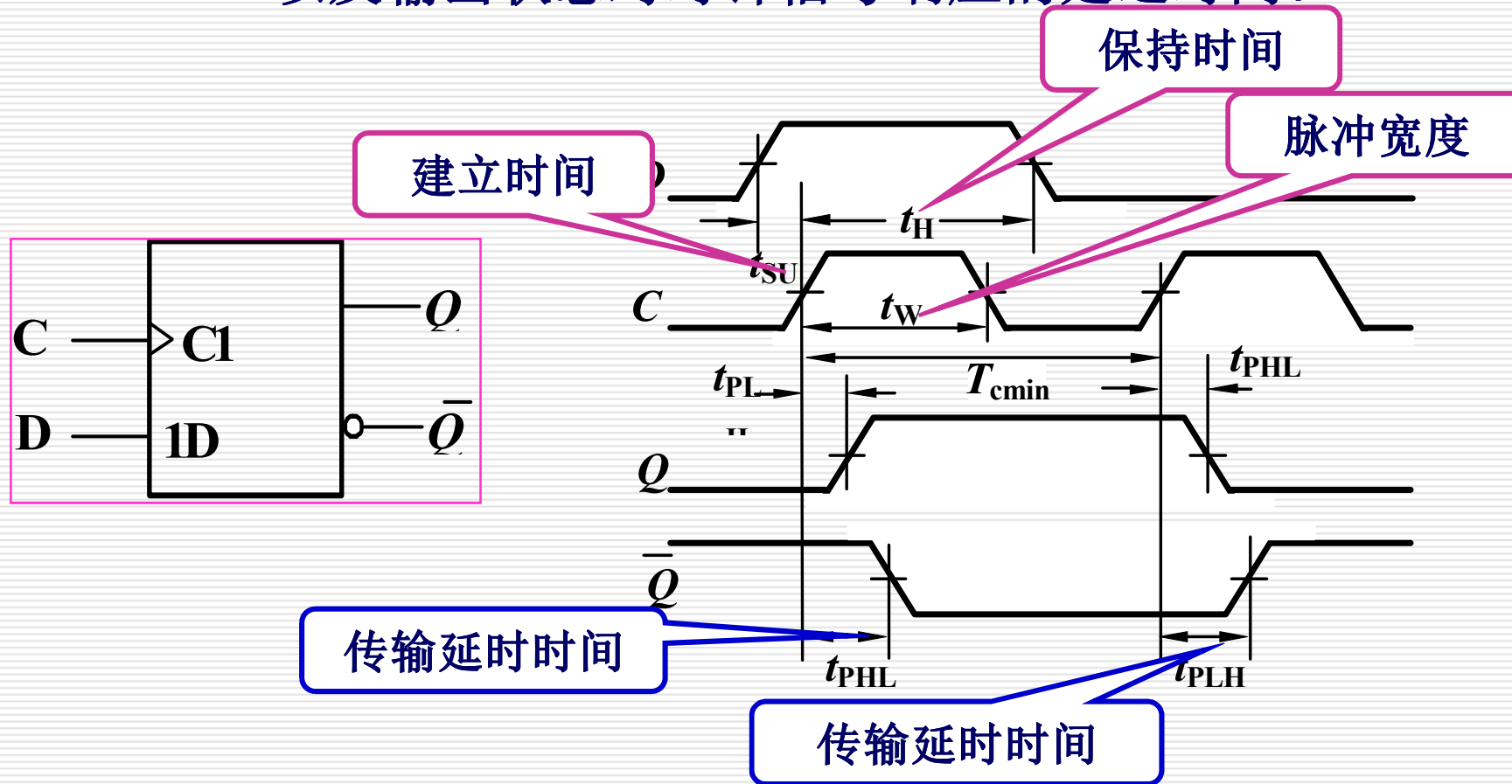
74HC/HCT74的功能表

输 入				输 出	
\overline{S}_D	\overline{R}_D	CP	D	Q	\overline{Q}
L	H	×	×	H	L
H	L	×	×	L	H
L	L	×	×	H	H
\overline{S}_D	\overline{R}_D	CP	D	Q^{n+1}	\overline{Q}^{n+1}
H	H	↑	L	L	H
H	H	↑	H	H	L

具有直接置1、直接置0，正边沿触发的D功能触发器

5.4.3 主从D触发器的动态特性

动态特性反映其触发器对输入信号和时钟信号间的时间要求，以及输出状态对时钟信号响应的延迟时间。



建立时间 t_{SU} ：保证与 D 相关的电路建立起稳定的状态，使触发器状态得到正确的转换。

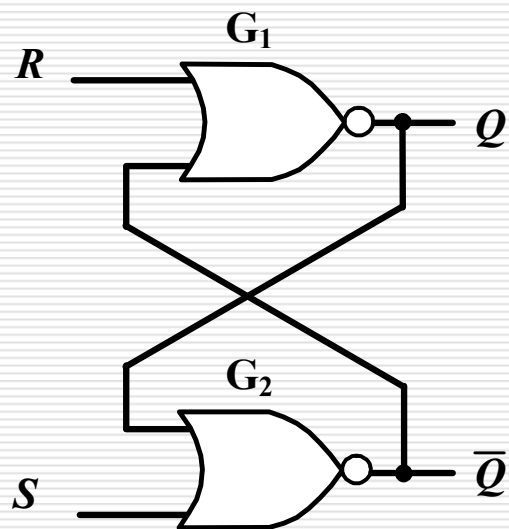
保持时间 t_{H} ：保证 D 状态可靠地传送到 Q

触发脉冲宽度 t_{W} ：保证内部各门正确翻转。

传输延迟时间 t_{PLH} 和 t_{PHL} ：时钟脉冲 CP 上升沿至输出端新状态稳定建立起来的时间

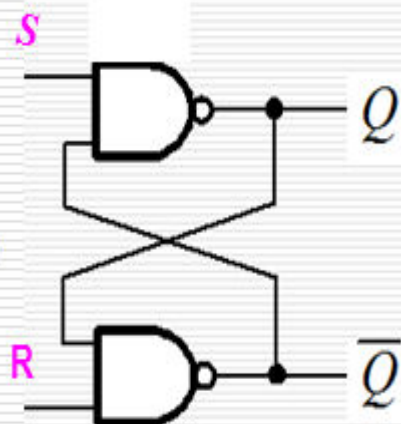
最高触发频率 f_{cmax} ：触发器内部都要完成一系列动作，需要一定的时间延迟，所以对于 CP 最高工作频率有一个限制。

或非门构成的SR锁存器

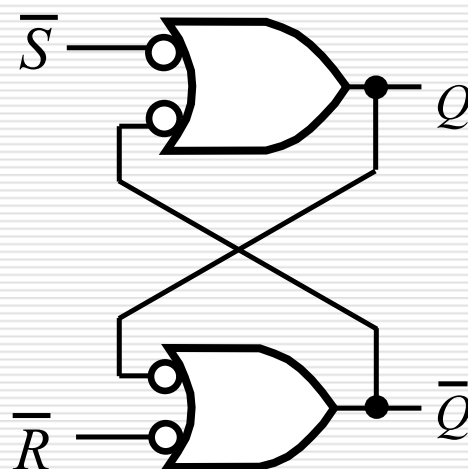


输 入			输 出		备注
R	S	Q^n	Q^{n+1}	Q^{n+1}	
0	0	0	0	1	保持
0	0	1	0	1	
0	1	0	1	0	置1
0	1	1	1	0	
1	0	0	0	1	置0
1	0	1	0	1	
1	1	0	0	0	禁止
1	1	1	0	0	

用与非门构成的基本SR锁存器



a. 电路图



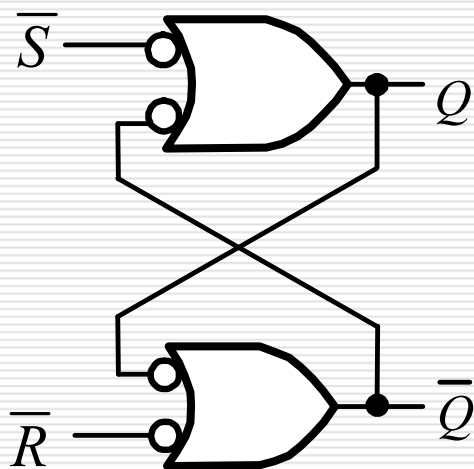
约束条件: $\overline{S} + \overline{R} = 1$

b. 功能表

输 入			输 出		备注
R	S	Q^n	Q^{n+1}	$\overline{Q^{n+1}}$	
0	0	0	1	1	禁止
0	0	1	1	1	
0	1	0	0	1	置0
0	1	1	0	1	
1	0	0	1	0	置1
1	0	1	1	0	
1	1	0	0	1	保持
1	1	1	1	0	

用与非门构成的基本SR锁存器

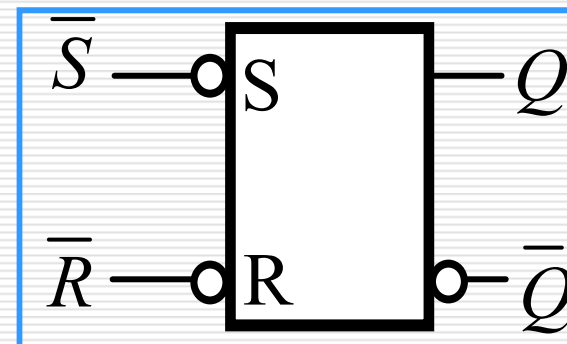
a. 电路图



b. 简化功能表

\overline{R}	\overline{S}	Q	\overline{Q}
1	1	不变	不变
1	0	1	0
0	1	0	1
0	0	1	1

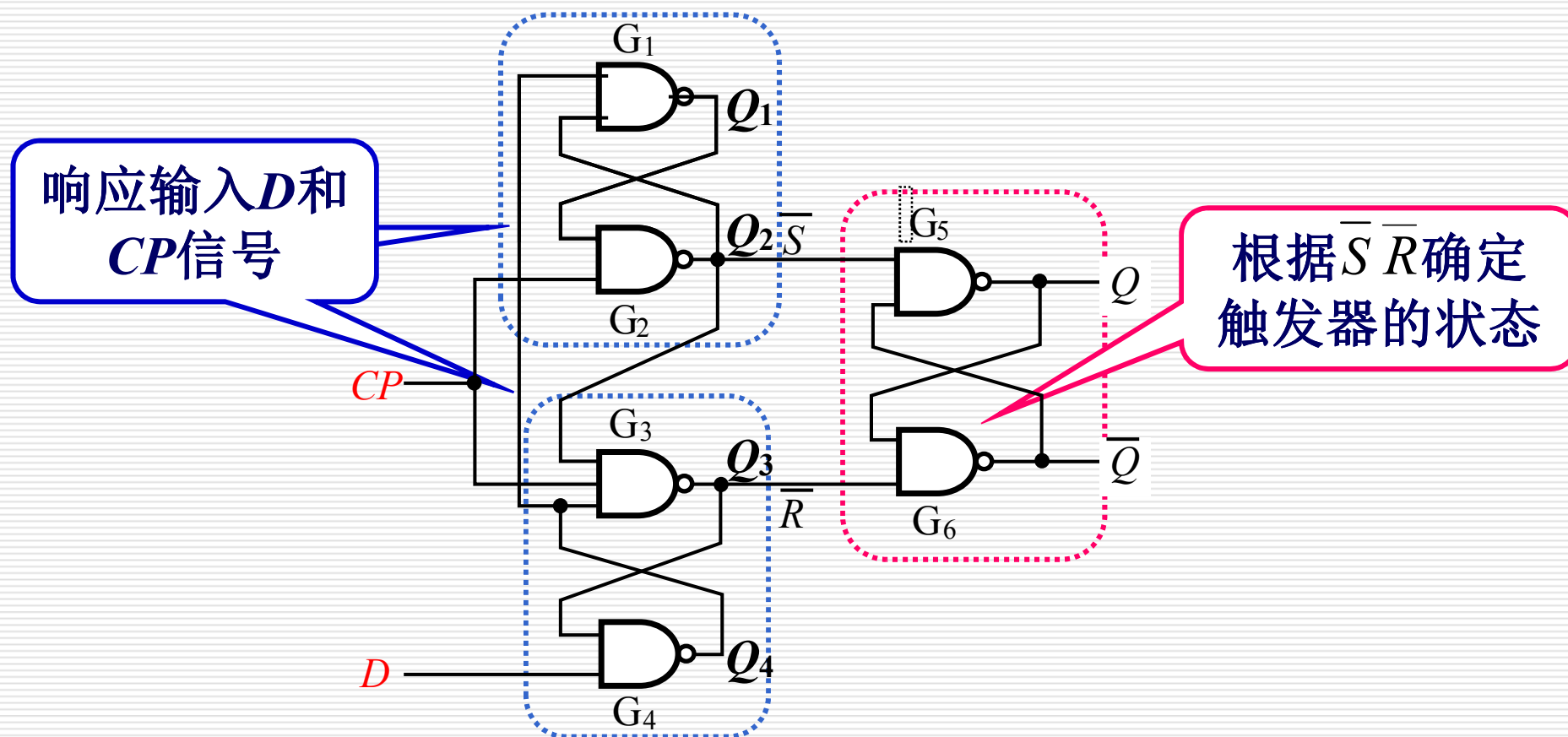
c. 国标逻辑符号

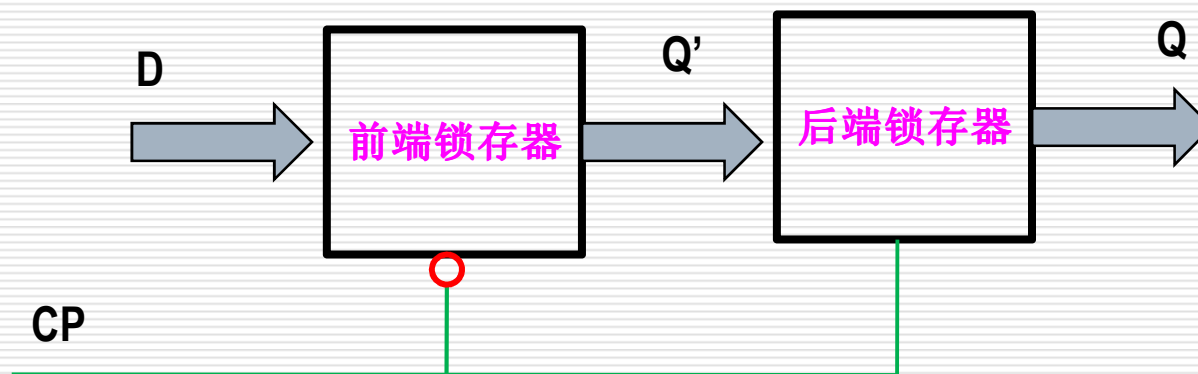


约束条件: $\overline{S} + \overline{R} = 1$

5.4.4 其他电路结构的触发器

1. 维持阻塞触发器





(1) CP=0时:



(2) CP由0跳变到1:



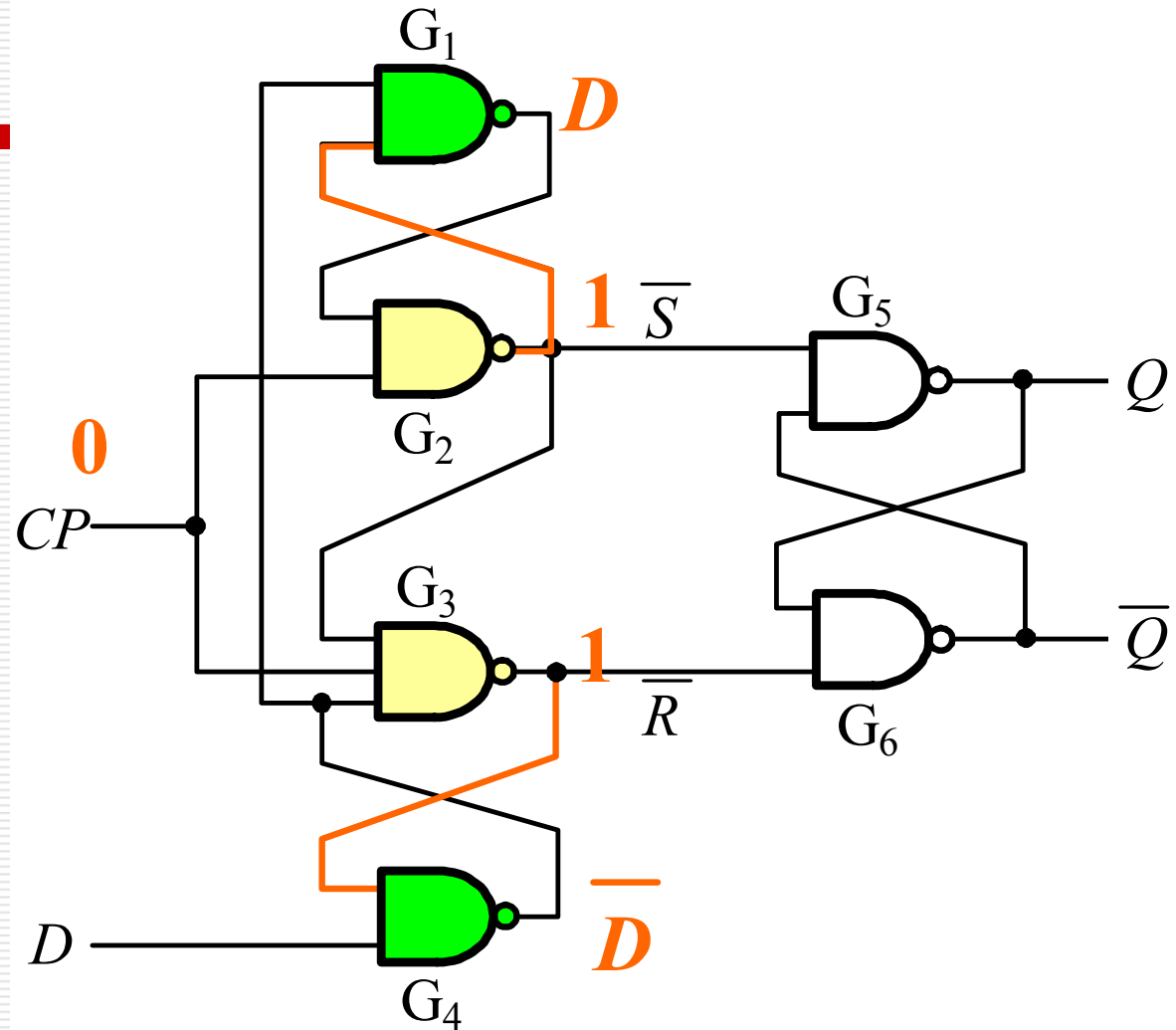
2、工作原理

$CP = 0$

$Q_4 = \bar{D}, Q_1 = D$

$Q^{n+1} = Q^n$

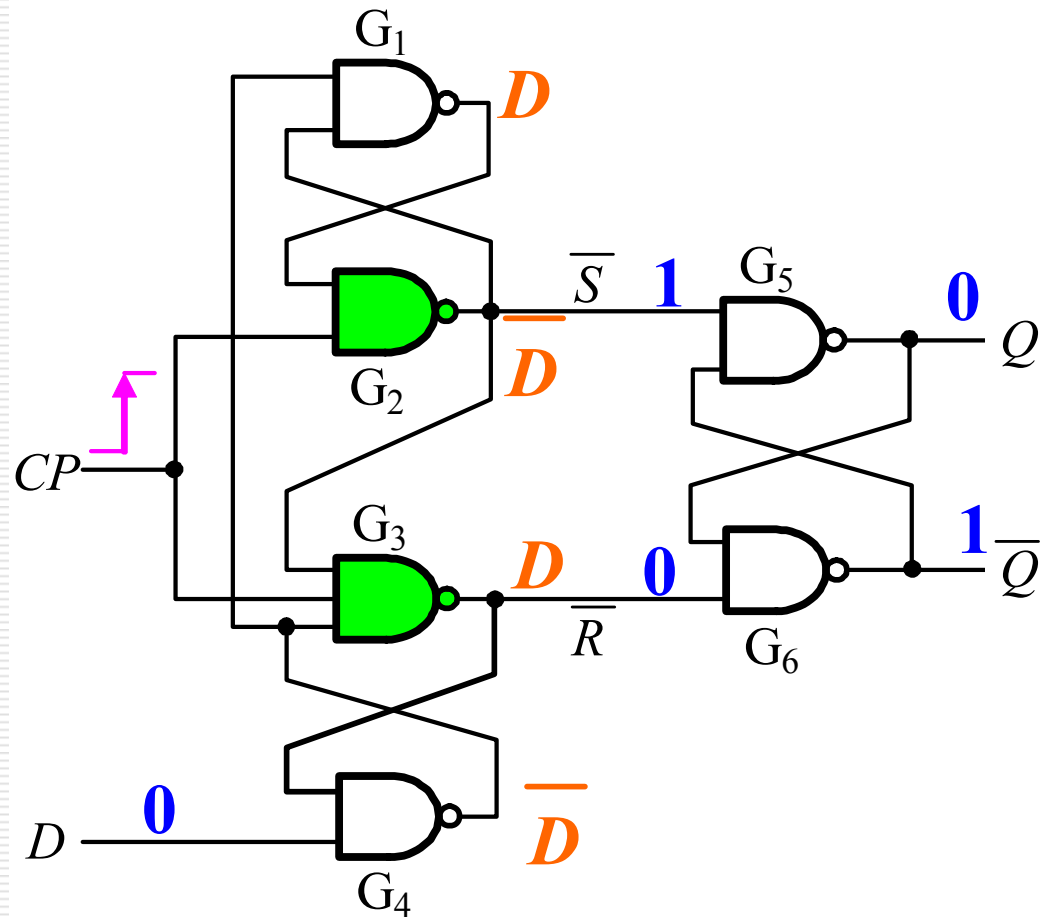
\bar{D} 信号存于 Q_4



D 信号进入触发器, 为状态刷新作好准备

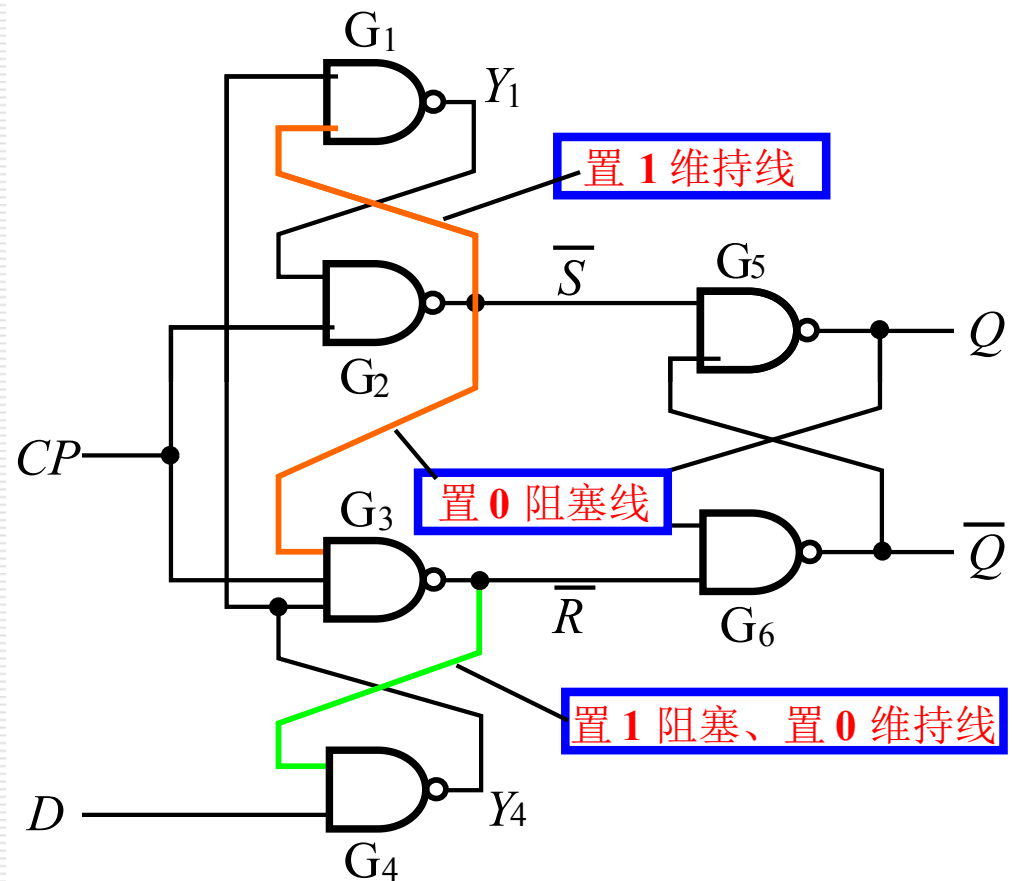
当 CP 由0跳变为1 $Q^{n+1} = D$

在 CP 脉冲的上升沿，触发器按此前的 D 信号刷新



当 $CP = 1$

D 信号不影响 \overline{S} 、 \overline{R} 的状态， Q 的状态不变



在 CP 脉冲的上升沿到来瞬间使触发器的状态变化

5.5 触发器的逻辑功能

5.5.1 D 触发器

5.5.2 JK 触发器

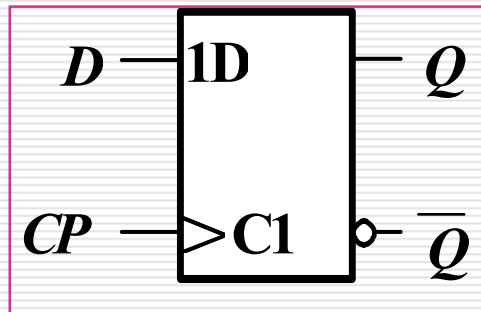
5.5.2 T 触发器

5.5.3 SR 触发器

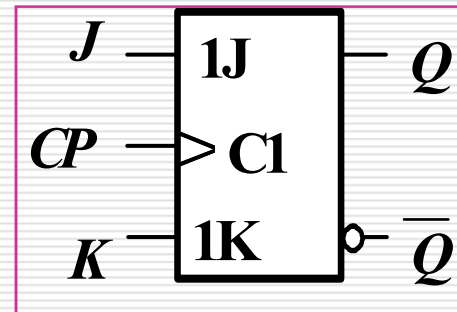
5.5.4 D 触发器功能的转换

5.5 触发器的逻辑功能

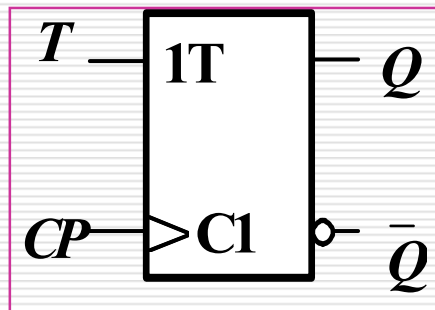
不同逻辑功能的触发器国际逻辑符号



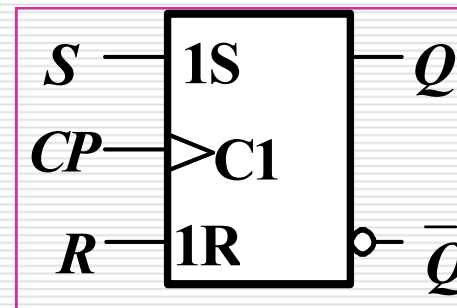
D 触发器



JK 触发器



T 触发器



RS 触发器

5.5.1 D 触发器

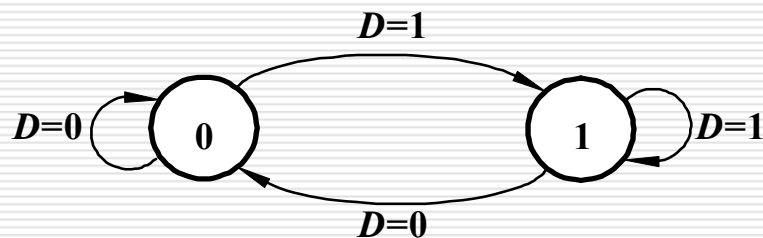
1. 特性表

D	Q^n	Q^{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

2. 特性方程

$$Q^{n+1} = D$$

3. 状态图



5.5.2 JK 触发器

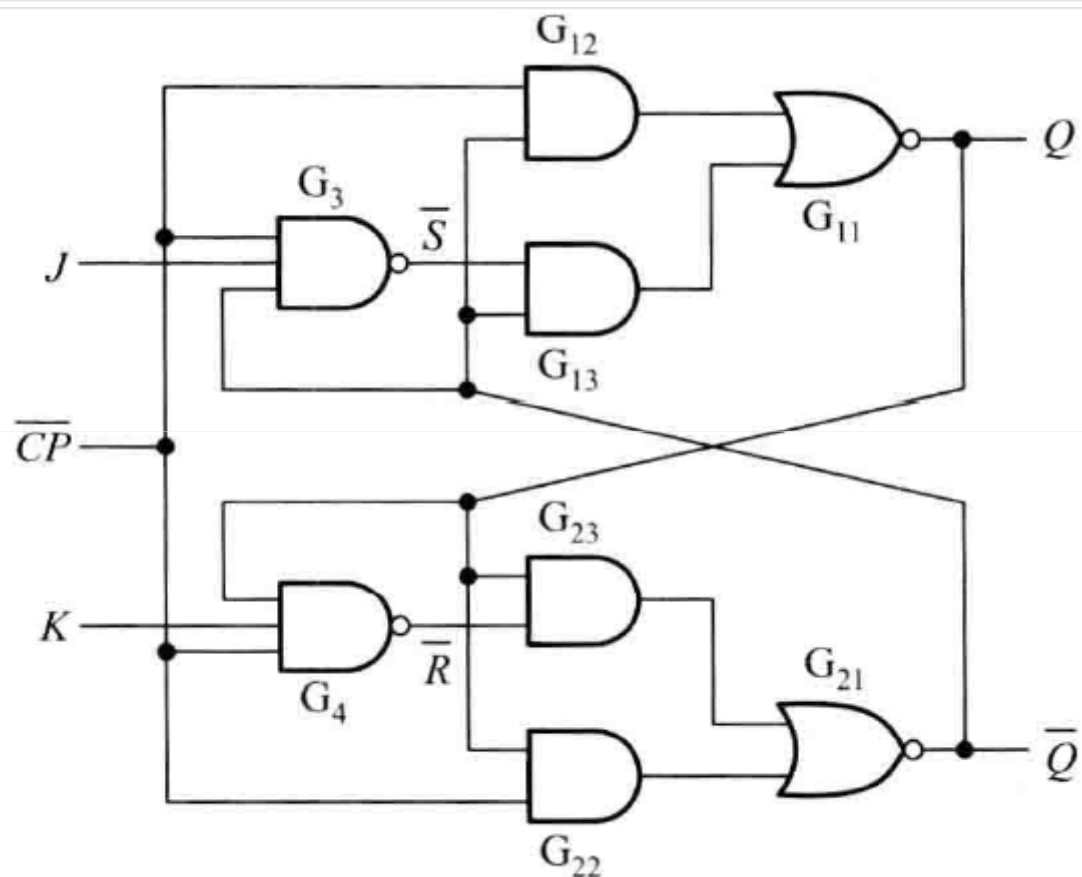


图 5.4.8 利用传输延迟的 JK 触发器的逻辑电路

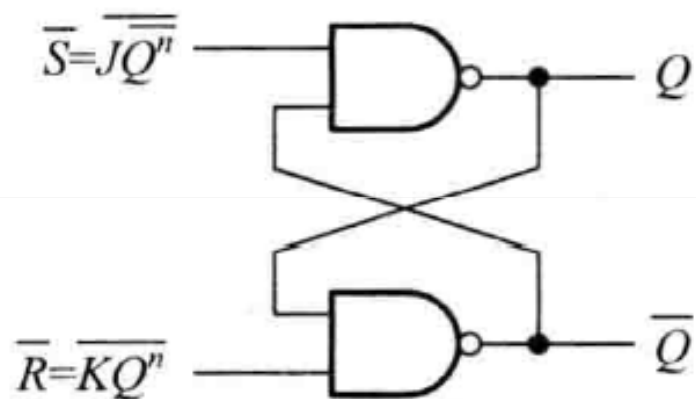


图 5.4.9 由 1 变 0 后瞬间输出 SR 锁存器的简化电路

$$Q^{n+1} = \overline{\overline{S} R Q^n} = J \overline{Q^n} \overline{K Q^n Q^n}$$

$$Q^{n+1} = J \overline{Q^n} + \overline{K} Q^n$$

5.5.2 JK 触发器

1. 特性表

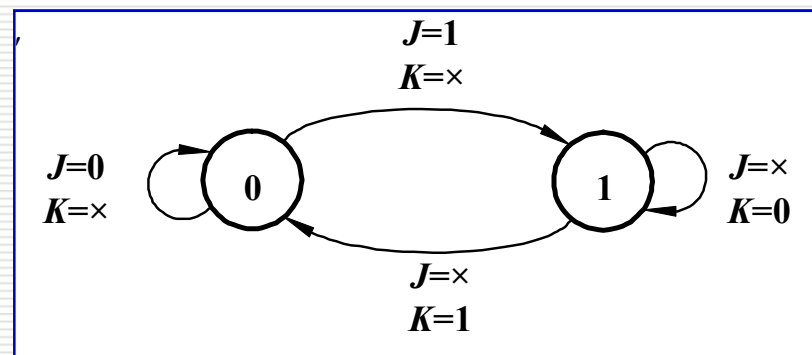
J	K	Q^n	Q^{n+1}	说 明
0	0	0	0	状态不变
0	0	1	1	
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	1	翻 转
1	1	1	0	

2. 特性方程

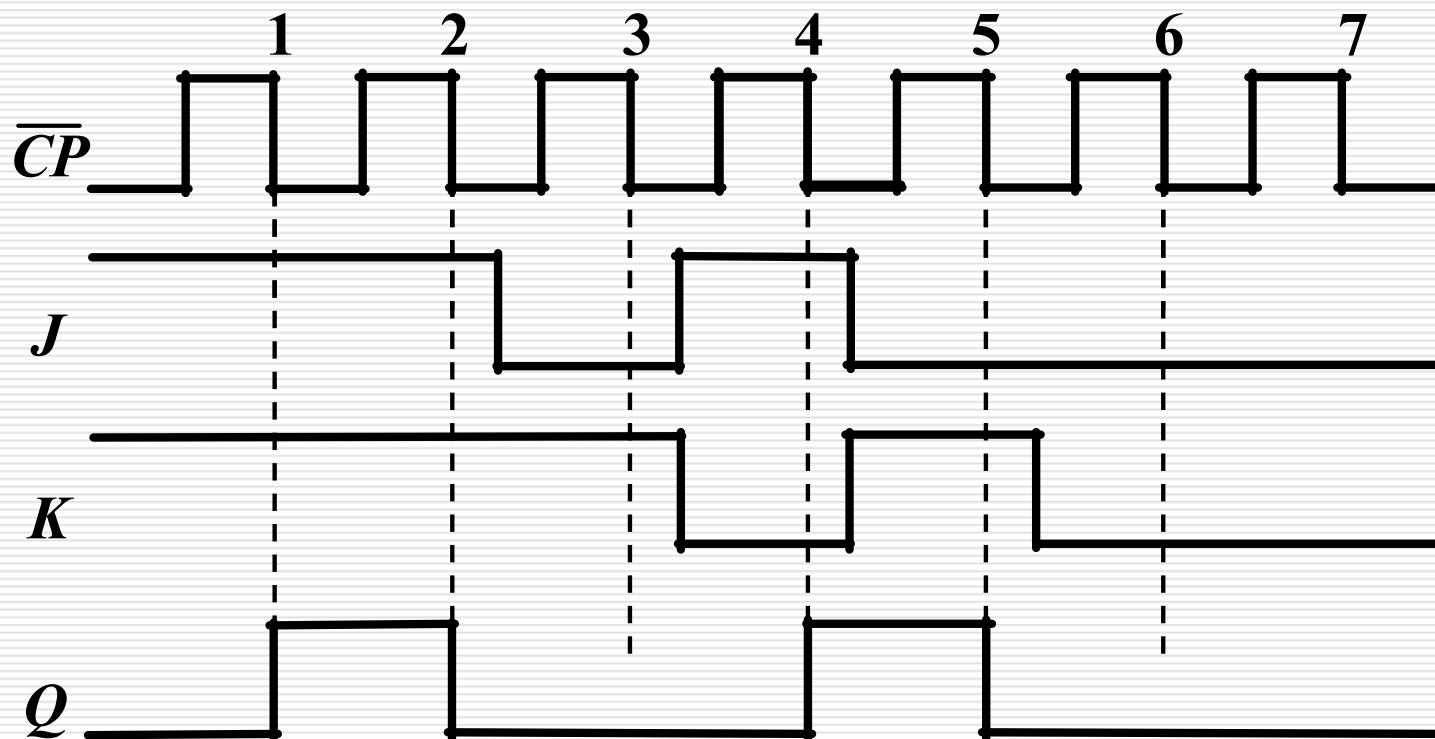
$J \backslash KQ^n$	Q^n			
	00	01	11	10
0	0	1	0	0
1	1	1	0	1

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

3. 状态转换图

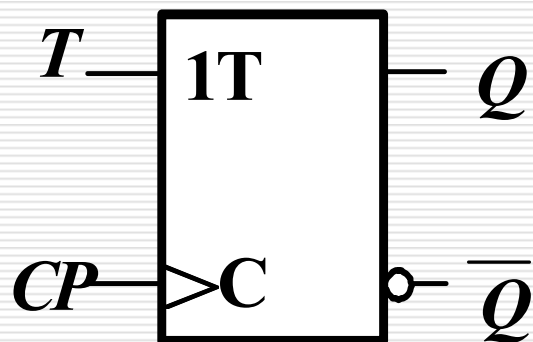


例5.4.1 设下降沿触发的JK触发器时钟脉冲和 J 、 K 信号的波形
如图所示试画出输出端 Q 的波形。设触发器的初始状态为0。



5.5.3 T触发器

逻辑符号



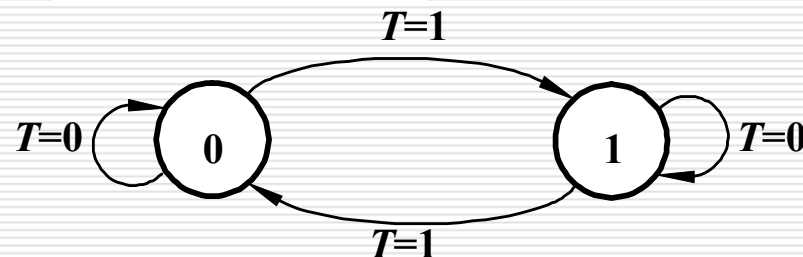
特性方程

$$Q^{n+1} = T\overline{Q^n} + \overline{T}Q^n$$

特性表

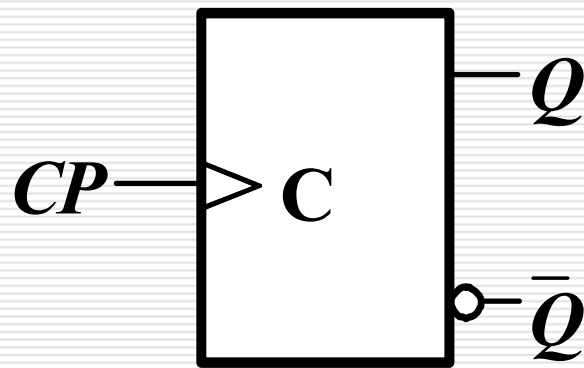
T	Q^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

状态转换图



4. T'触发器

逻辑符号



$$T=1$$

特性方程

$$Q^{n+1} = \overline{Q^n}$$

时钟脉冲每作用一次，触发器翻转一次。

5.5.4 SR 触发器

1. 特性表

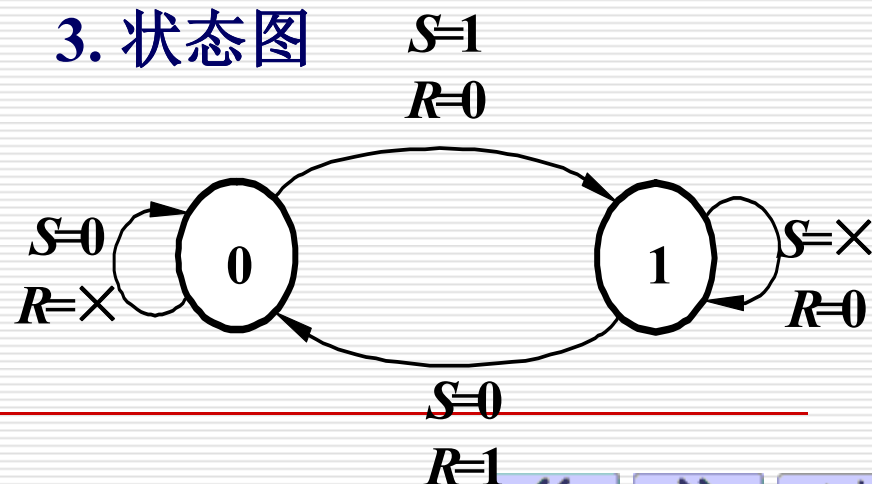
Q^n	S	R	Q^{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	不确定
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	不确定

SR		\overline{S}			
		00	01	11	10
Q	\overline{Q}	0	0	X	1
	Q	1	0	X	1
		\overline{R}	R		\overline{R}

2. 特性方程

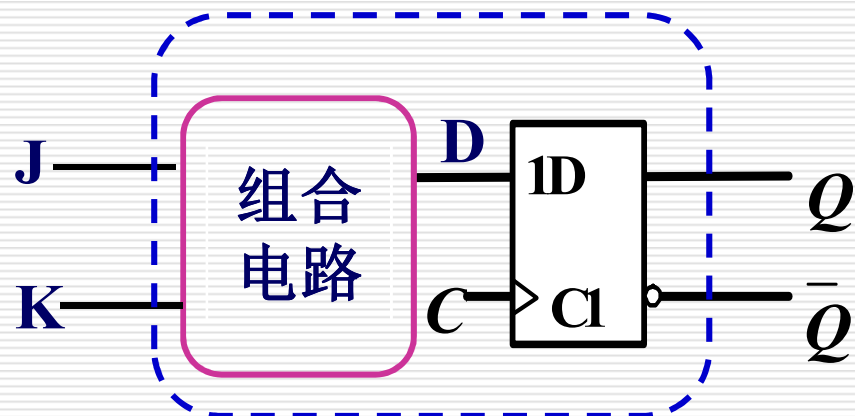
$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ SR=0 \text{ (约束条件)} \end{cases}$$

3. 状态图

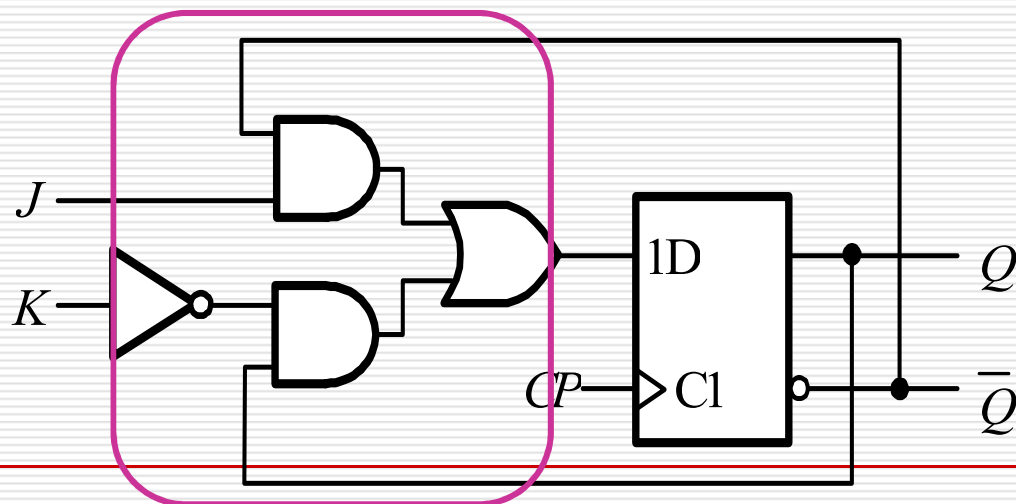


5.5.5 D触发器功能的转换

1. D 触发器构成 JK 触发器

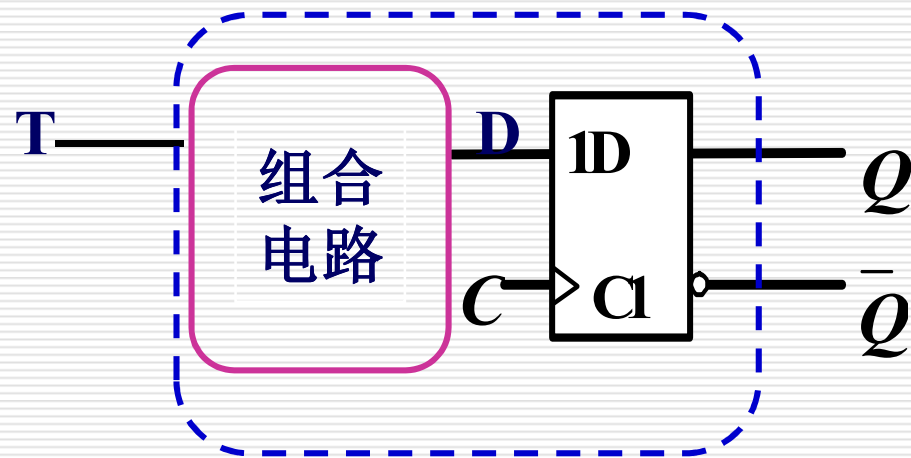


$$\begin{aligned} Q^{n+1} &= JQ^n + \bar{K}Q^n \\ Q^{n+1} &= D \end{aligned}$$



$$D = J\bar{Q} + \bar{K}Q$$

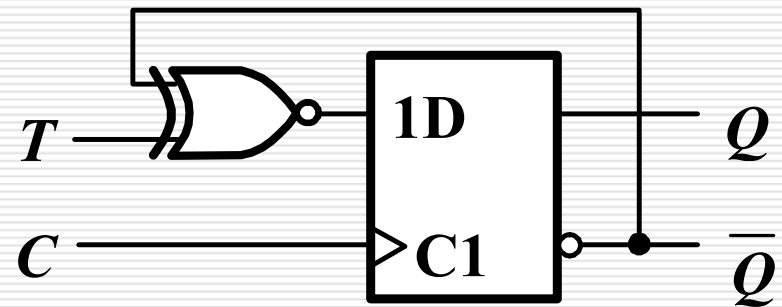
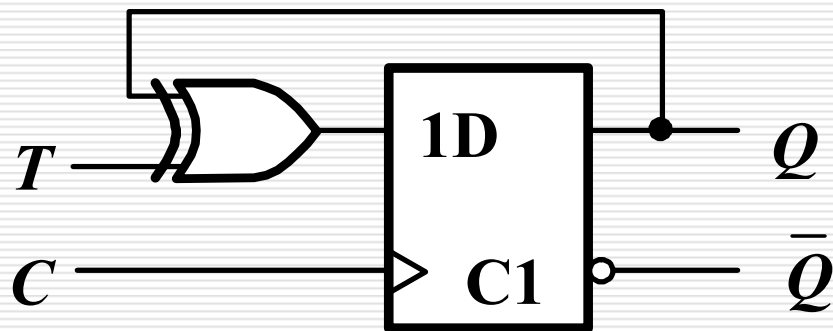
2. D 触发器构成 T 触发器



$$Q^{n+1} = D$$

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

$$D = T\overline{Q} + \overline{T}Q = T \oplus Q$$

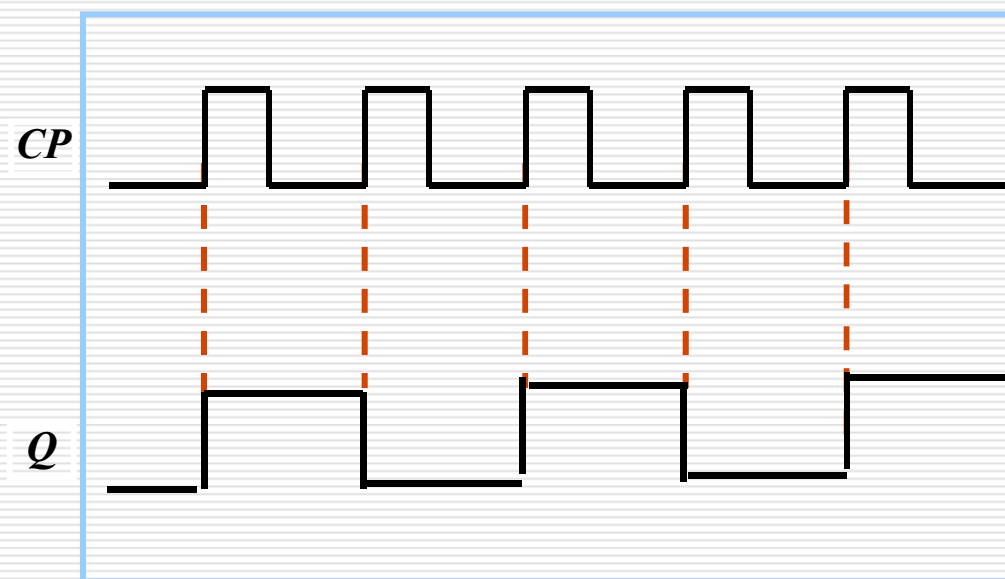
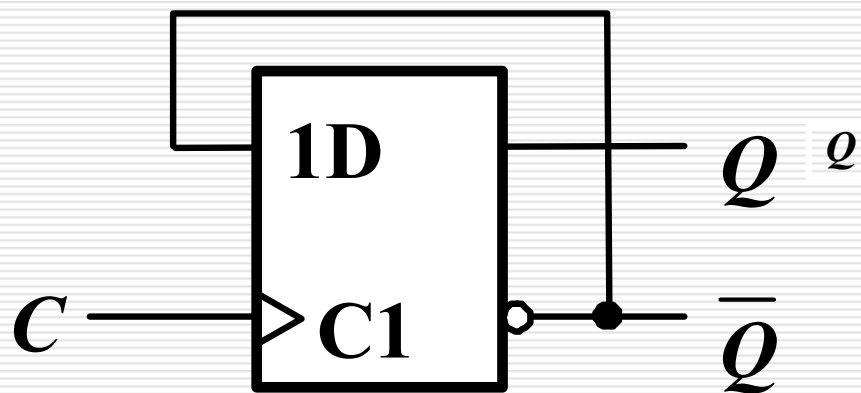


3. D 触发器构成 T' 触发器

$$Q^{n+1} = D$$

$$Q^{n+1} = \overline{Q^n}$$

$$D = \overline{Q^n}$$



二分频

小 结

- 锁存器和触发器都是具有存储功能的逻辑电路，是构成时序电路的基本逻辑单元。每个锁存器或触发器都能存储1位二值信息。
- 锁存器是对脉冲电平敏感的电路，它们在一定电平作用下改变状态。
- 触发器是对时钟脉冲边沿敏感的电路，它们在时钟脉冲的上升沿或下降沿作用下改变状态。
- 触发器按逻辑功能分类有D触发器、JK触发器、T (T') 触发器和SR触发器。它们的功能可用特性表、特性方程和状态图来描述。触发器的电路结构与逻辑功能没有必然联系。

5.6 用Verilog HDL描述锁存器和触发器

5.6.1 时序电路建模基础

5.6.2 锁存器和触发器的Verilog建模

5.6.1 时序电路建模基础

Verilog行为级描述用关键词initial或always，但initial是面向仿真，不能用于逻辑综合，本书不介绍。always是无限循环语句，其用法为：

always@ (事件控制表达式（或敏感事件表））

begin

块内局部变量的定义；

过程赋值语句；

end

敏感事件分为电平敏感事件和边沿触发事件：

电平敏感事件（如锁存器）：

always@(sel or a or b)

sel、a、b中任意一个电平发生变化，后面的过程赋值语句将执行一次。

边沿敏感事件（如触发器）：

always@(posedge CP or negedge CR)

CP的上升沿或CR的下降沿来到，后面的过程语句就会执行。

过程赋值语句有阻塞型和非阻塞型：

阻塞型用“=”表示，多条语句**顺序**执行。

```
begin  
  B=A;  
  C=B+1;  
end
```

非阻塞型用“<=”表示，语句块内部的语句**并行**执行。

```
begin  
  B<=A;  
  C<=B+1;  
end
```

5.6.2 锁存器和触发器的Verilog建模实例

```
module D_latch (Q, D, E); //D锁存器的描述
    output Q;
    input D, E;
    reg Q;
    always @(E or D)
        if (E) Q <= D;    //Same as: if (E== 1)
endmodule
```

```
module DFF (Q, D, CP); //D触发器的描述
    output Q;
    input D, CP;
    reg Q;
    always @(posedge CP)
        Q <= D;
endmodule
```
