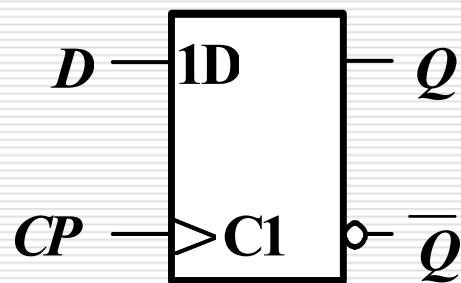


第六章

时序逻辑电路

回忆：各种常用的触发器

1. 维持阻塞触发器

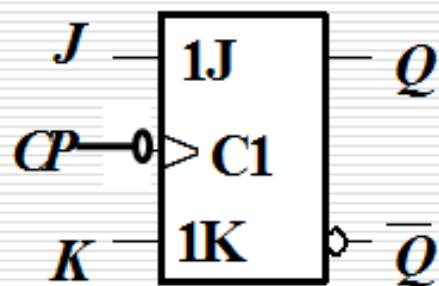


D 触发器

在 CP 脉冲的上升沿到来瞬间
使触发器的状态（ Q 的值）才发生变化：

$$Q^{n+1} = D$$

2. 下降沿触发的 JK 触发器

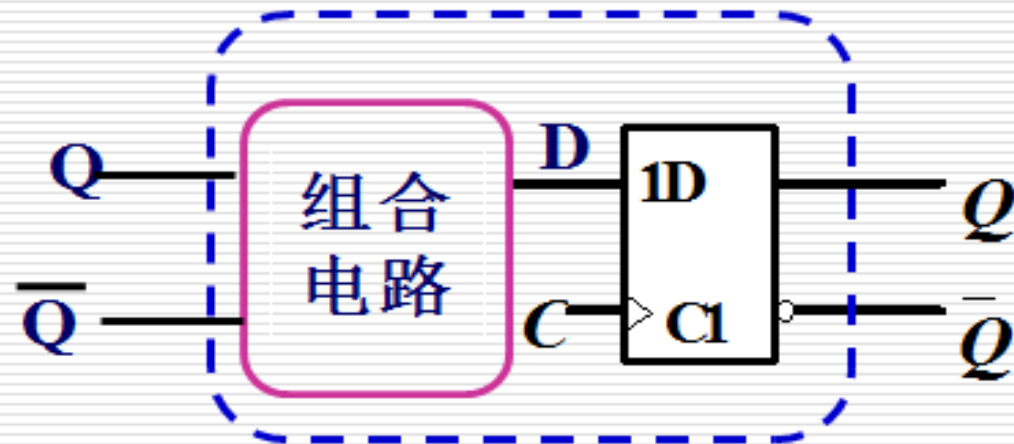


JK 触发器

在 CP 脉冲的下降沿到来瞬间使触发器的状态 (Q 的值) 才发生变化:

$$Q^{n+1} = J \overline{Q}^n + \overline{K} Q^n$$

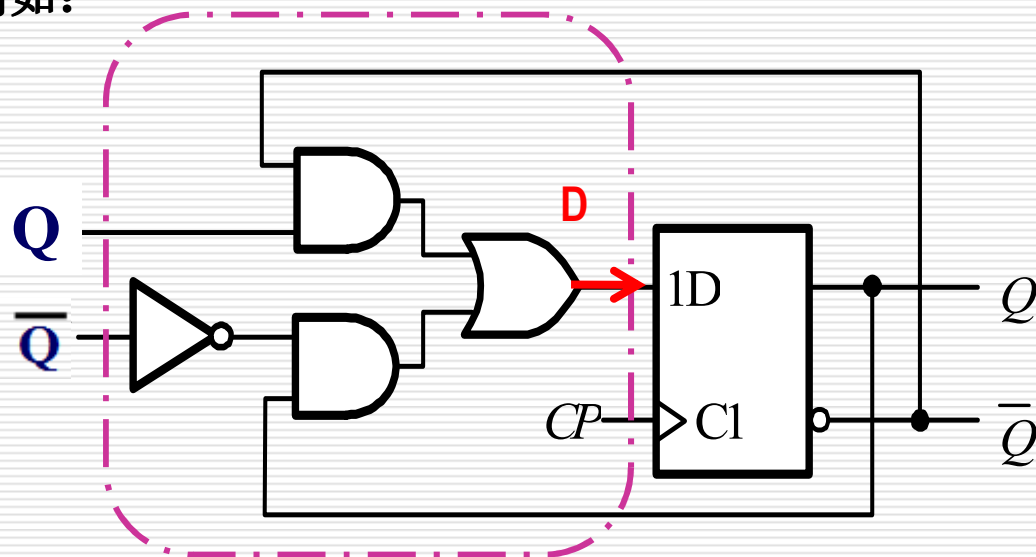
同步时序逻辑电路设计核心



选好触发器

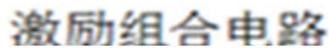
设计好触发器前端的组合电路

例如：





再看看D1, D0与Q1, Q0之间的关系式。



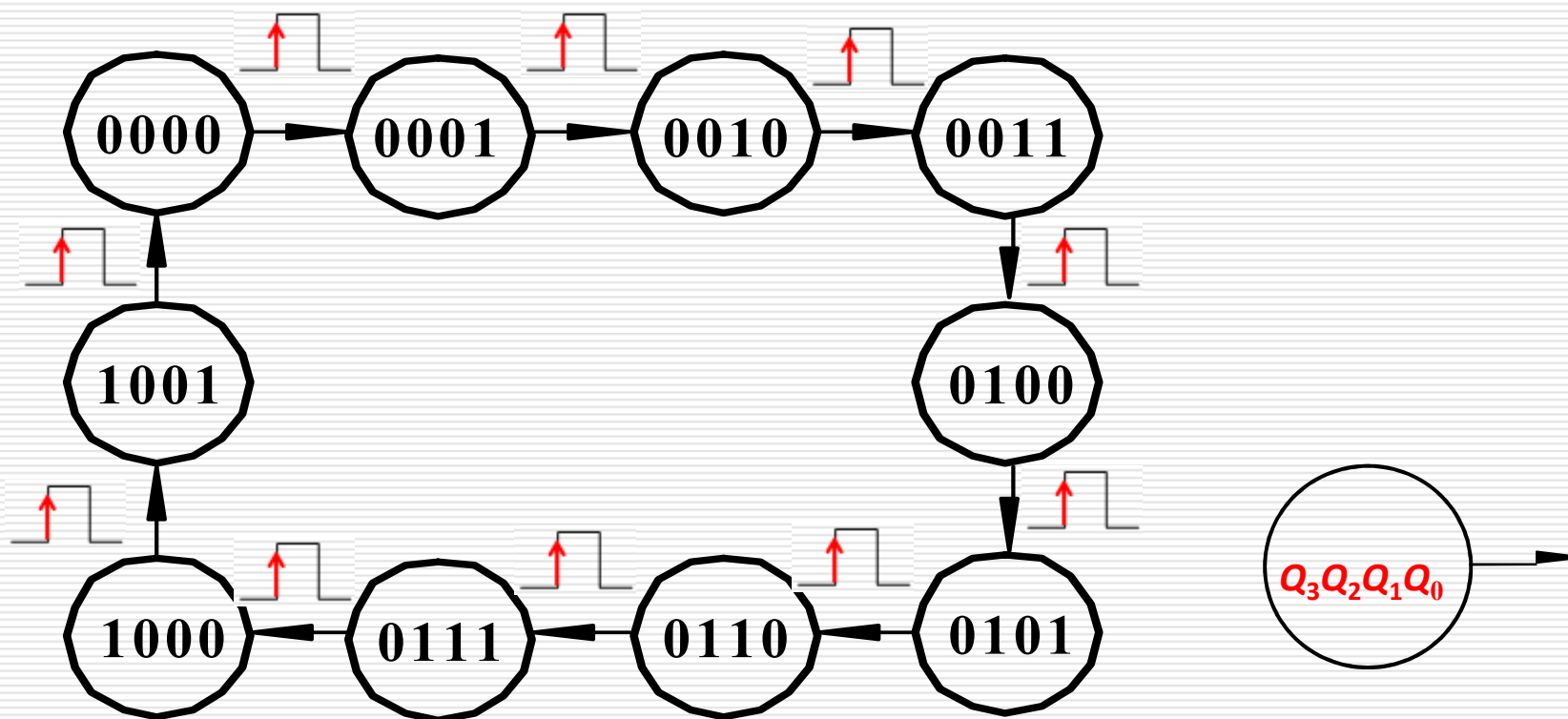
D_1 、 D_0 是触发器现态Q1和Q0的函数

6.3.2 同步时序逻辑电路设计举例

例1 用D触发器设计一个8421 BCD码同步十进制加计数器。

解答： **8421BCD码**：对于十进制数中的0---9中的每位用四位二进制数表示。

加计数器：每次来一个脉冲，系统就加1。



6.3.2 同步时序逻辑电路设计举例

例1 用D触发器设计一个8421 BCD码同步十进制加计数器。

8421码同步十进制加计数器的状态表

计数脉冲CP的顺序	现 态				次 态			
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	0	1	1	1
7	0	1	1	1	1	0	0	0
8	1	0	0	0	1	0	0	1
9	1	0	0	1	0	0	0	0

(2) 确定激励方程组

计数脉冲CP的顺序	现 态				次 态				激励信号			
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0	1	0	0	0	1
1	0	0	0	1	0	0	1	0	0	0	1	0
2	0	0	1	0	0	0	1	1	0	0	1	1
3	0	0	1	1	0	1	0	0	0	1	0	0
4	0	1	0	0	0	1	0	1	0	1	0	1
5	0	1	0	1	0	1	1	0	0	1	1	0
6	0	1	1	0	0	1	1	1	0	1	1	1
7	0	1	1	1	1	0	0	0	1	0	0	0
8	1	0	0	0	1	0	0	1	1	0	0	1
9	1	0	0	1	0	0	0	0	0	0	0	0

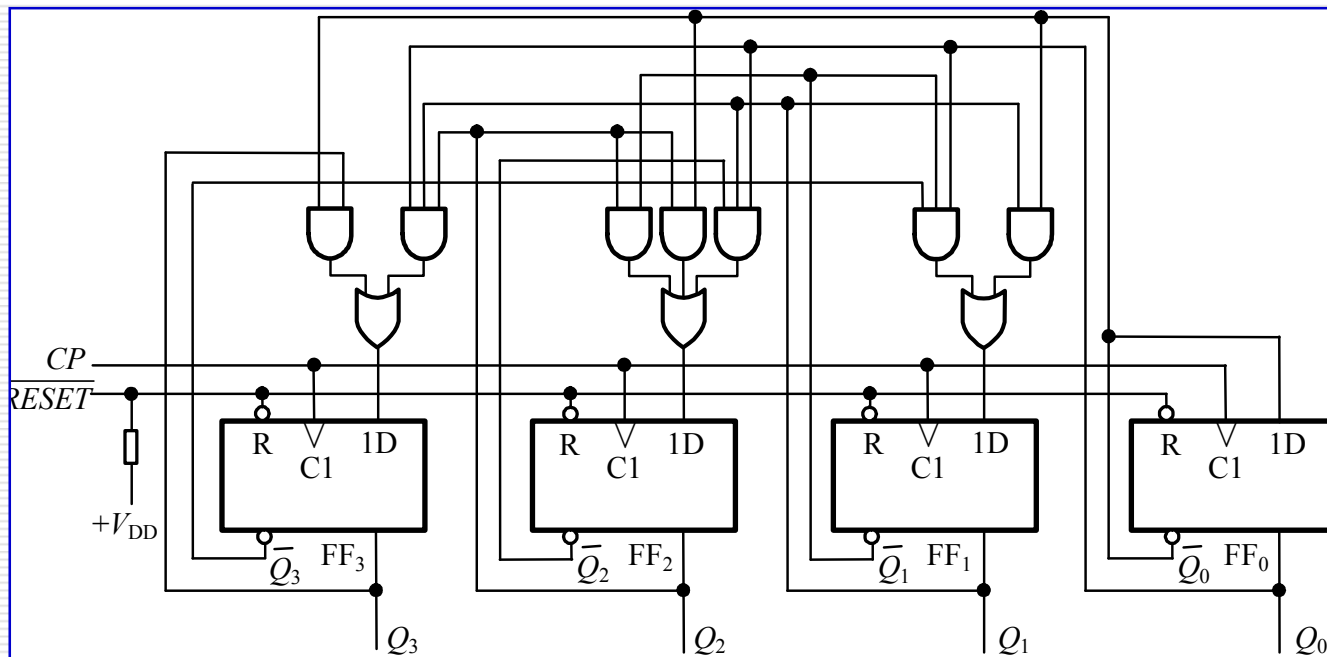
画出逻辑图

$$D_3 = \overline{Q_3^n Q_0^n} + Q_2^n Q_1^n Q_0^n$$

$$D_2 = \overline{Q_2^n Q_1^n} + \overline{Q_2^n Q_0^n} + \overline{Q_2^n Q_1^n Q_0^n}$$

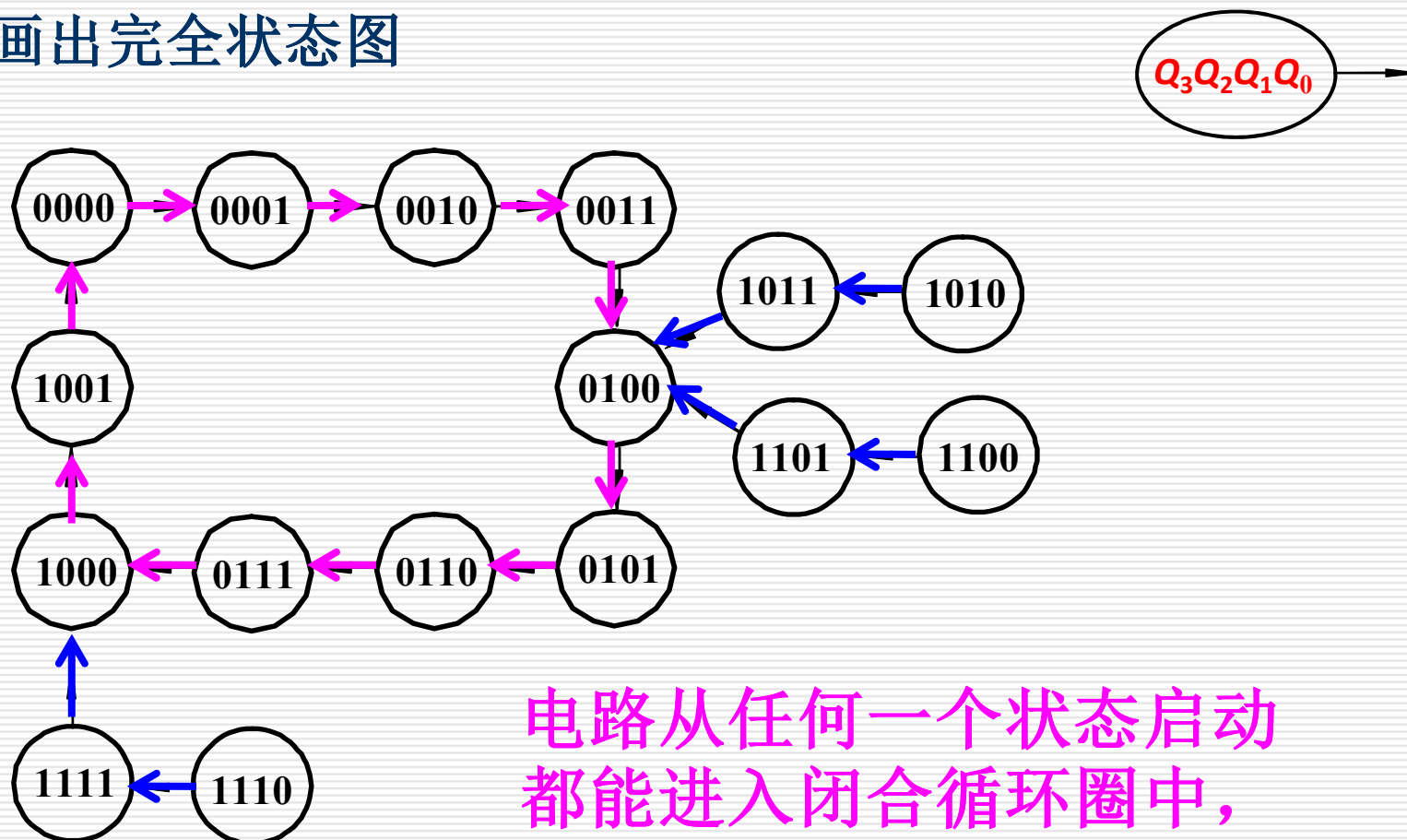
$$D_1 = \overline{Q_1^n Q_0^n} + \overline{Q_3^n Q_1^n Q_0^n}$$

$$D_0 = \overline{Q_0^n}$$



(3) 画出逻辑图，并检查自启动能力（找出闭合回路）

画出完全状态图



电路从任何一个状态启动
都能进入闭合循环圈中，
所以，电路具有自启动能力。

例2: 设计一个串行数据检测器。电路的输入信号A是与时钟脉冲同步的串行数据，输出信号为Y；要求电路输入信号A出现110序列时，输出信号Y为1，否则为0。

解：(1) 根据给定的逻辑功能建立原始状态图和原始状态表

1.) 确定输入、输出变量及电路的状态数：

输入变量：A 输出变量：Y

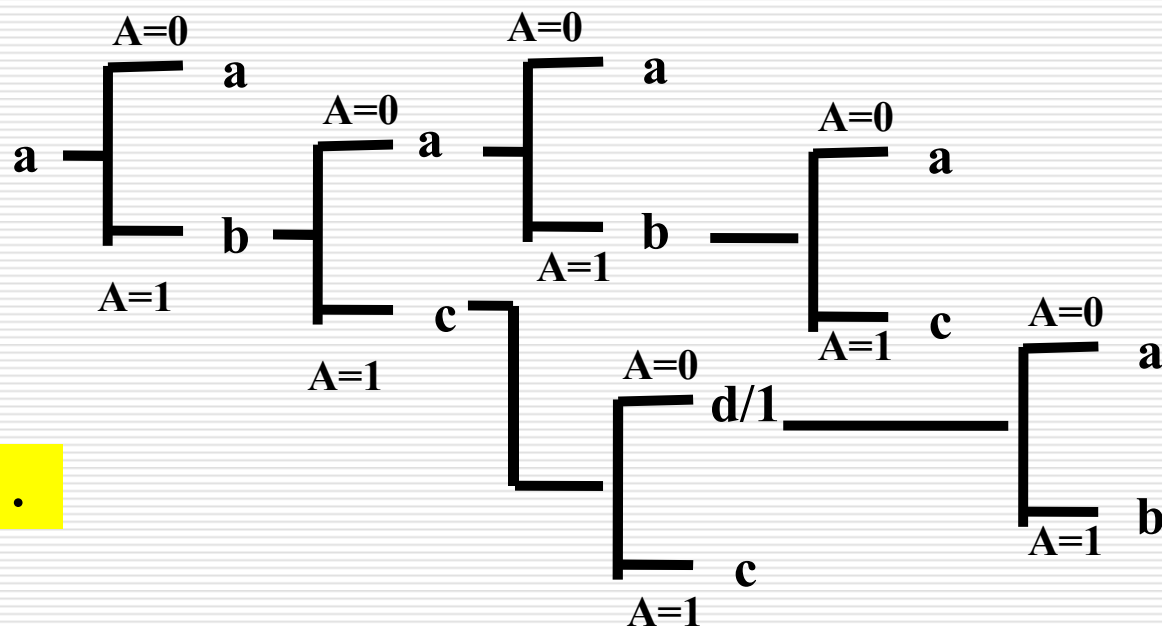
例2

设计110序列检测器（一个输入端X、一个输出端Y）

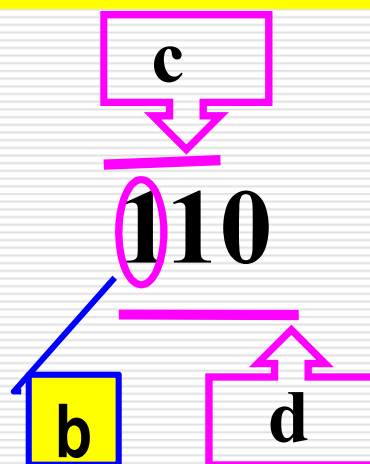
通过X端随机输入一串数：A: 011001110

Y: 000100001

被测序列可重叠



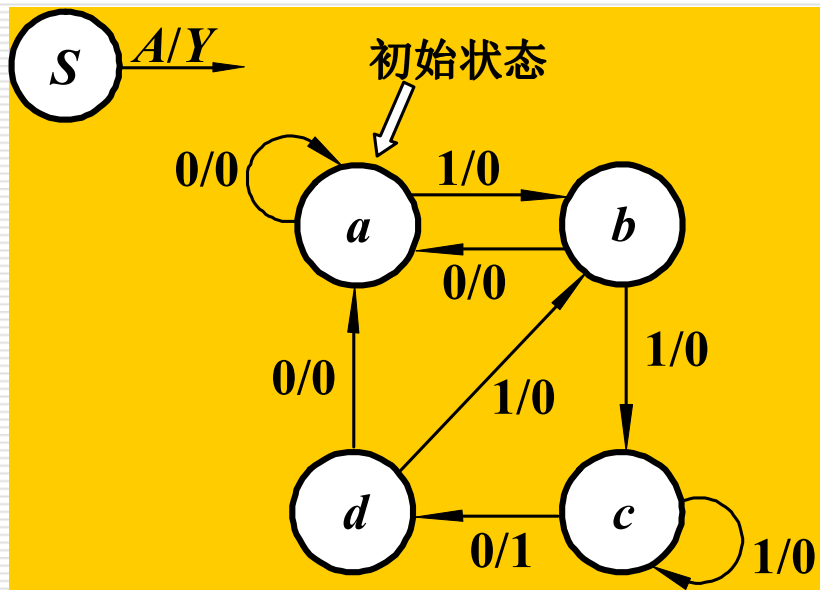
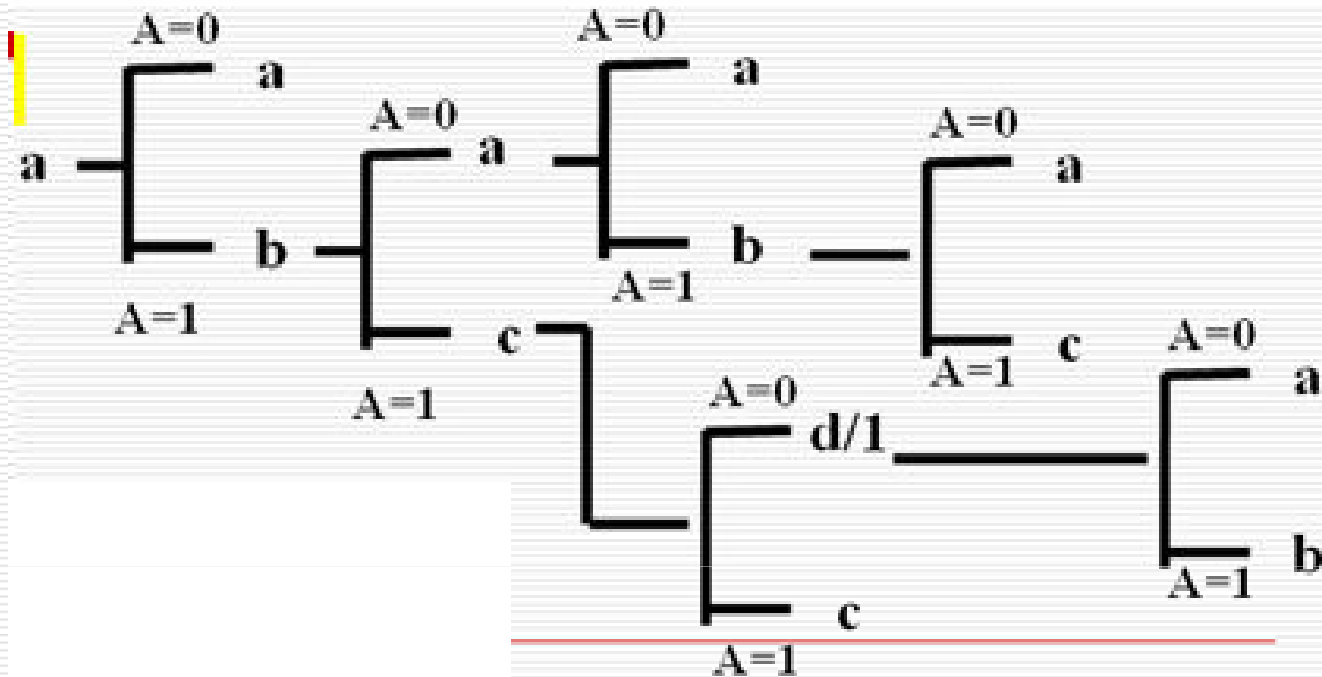
状态c表示接收到“11”。



状态d表示接收到“110”。

状态b表示接收到一个“1”。

(2) 列出原始状态转换表



现态	次态/输出	
	A=0	A=1
a	a / 0	b / 0
b	a / 0	c / 0
c	d / 1	c / 0
d	a / 0	b / 0

2. 状态化简(找出等价状态, 消去)

合并等价状态, 消去多余状态的过程称为状态化简

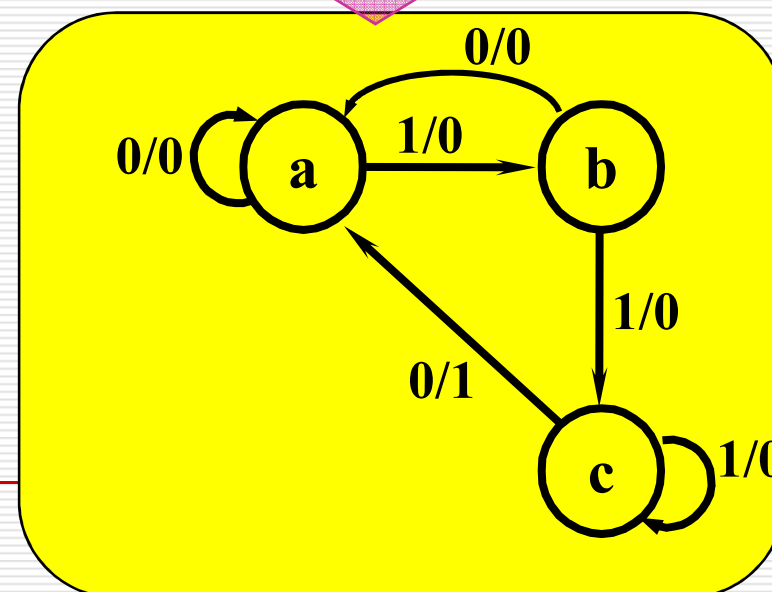
现态	次态/输出	
	A=0	A=1
a	a / 0	b / 0
b	a / 0	c / 0
c	d / 1	c / 0
d	a / 0	b / 0



现态	次态 / 输出	
	A=0	A=1
a	a / 0	b / 0
b	a / 0	c / 0
c	a / 1	c / 0

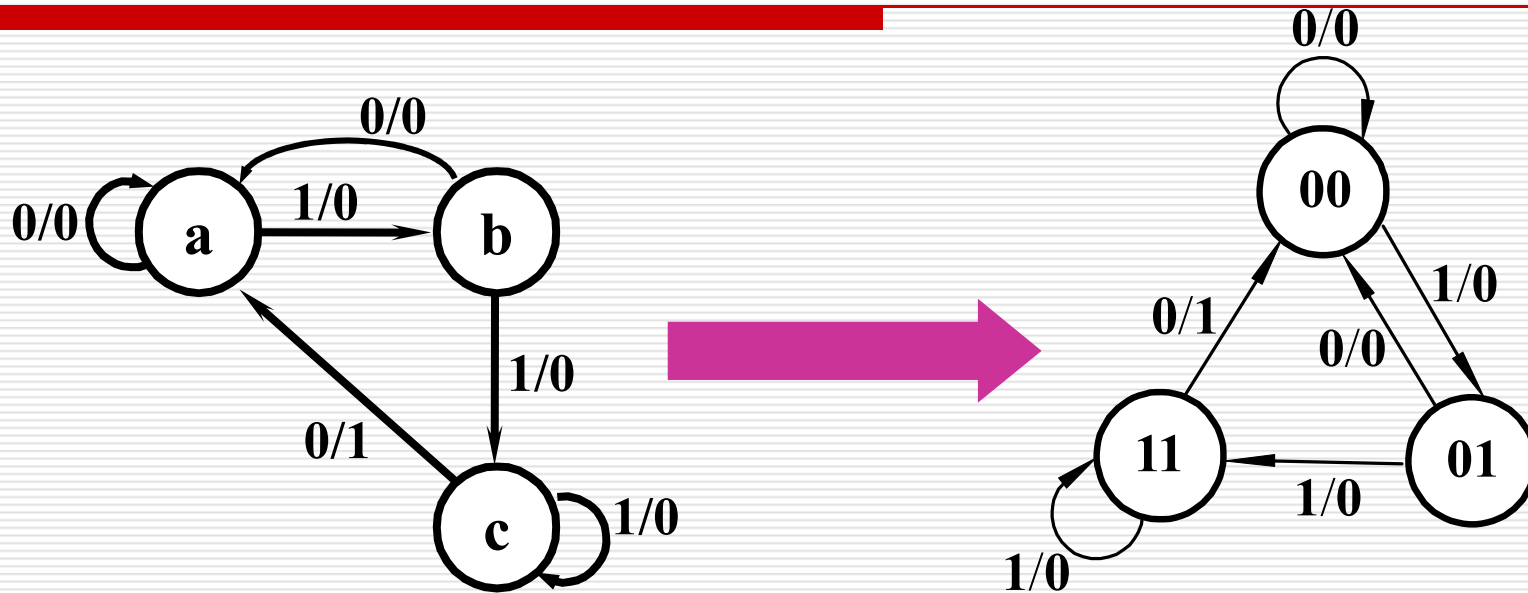


等价状态: 在相同的输入下有相同的输出, 并转换到同一个次态, 这样的两个状态称为**等价状态**。



(3) 状态分配

令 $a = 00$, $b = 01$, $c = 11$,



(4) 选择触发器的类型

触发器个数：两个。

类型：采用对 CP 下降沿敏感的
 JK 触发器。

现态 Q_1Q_0	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
00	00 / 0	01 / 0
01	00 / 0	11 / 0
11	00 / 1	11 / 0

(5) 求激励方程和输出方程

2.激励表

Q^n	Q^{n+1}	J	K
0	0	0	×
0	1	1	×
1	0	×	1
1	1	×	0

现态 Q_1Q_0	$Q_1^{n+1} Q_0^{n+1} / Y$	
	A=0	A=1
00	00 / 0	01 / 0
01	00 / 0	11 / 0
11	00 / 1	11 / 0

状态转换真值表及激励信号

Q_1^n	Q_0^n	A	Q_1^{n+1}	Q_0^{n+1}	Y	激励信号			
						J_1	K_1	J_0	K_0
0	0	0	0	0	0	0	×	0	×
0	0	1	0	1	0	0	×	1	×
0	1	0	0	0	0	0	×	×	1
0	1	1	1	1	0	1	×	0	×
1	1	0	0	0	1	×	1	×	1
1	1	1	1	1	0	×	0	×	0

求激励方程的第一种方法

(6) 根据激励方程和输出方程画出逻辑图,并检查自启动能力

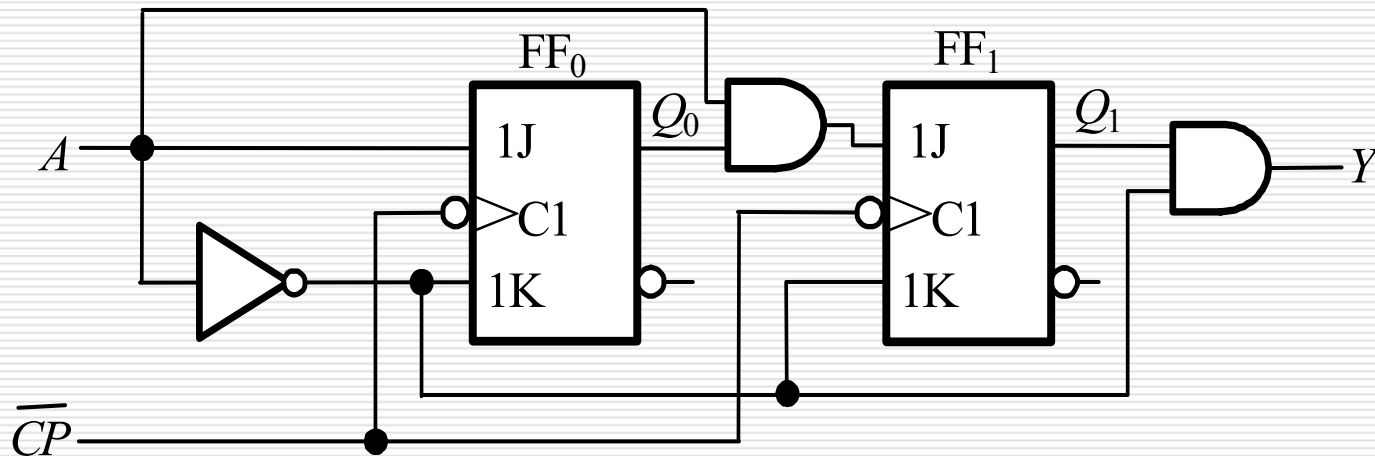
激励方程

$$J_1 = Q_0 A \quad K_1 = \bar{A}$$

$$J_0 = A \quad K_0 = \bar{A}$$

输出方程

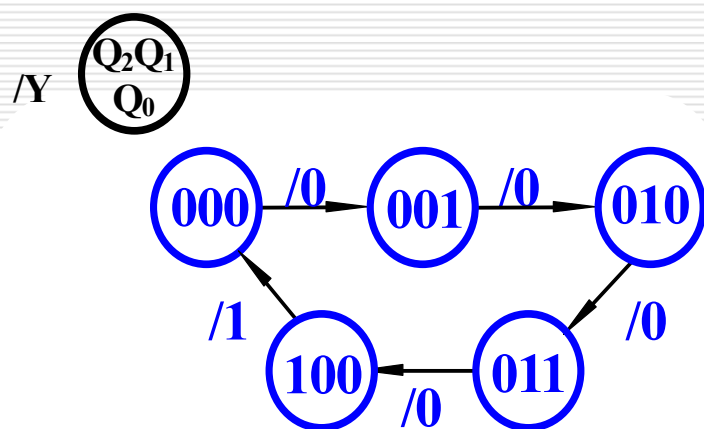
$$Y = Q_1 \bar{A}$$



例3:试设计一个同步时序电路，要求电路中触发器 Q_0 、 Q_1 、 Q_2 及输出Y端的信号与CP时钟信号波形满足下图所示的时序关系。

解：据题意可直接由波形图

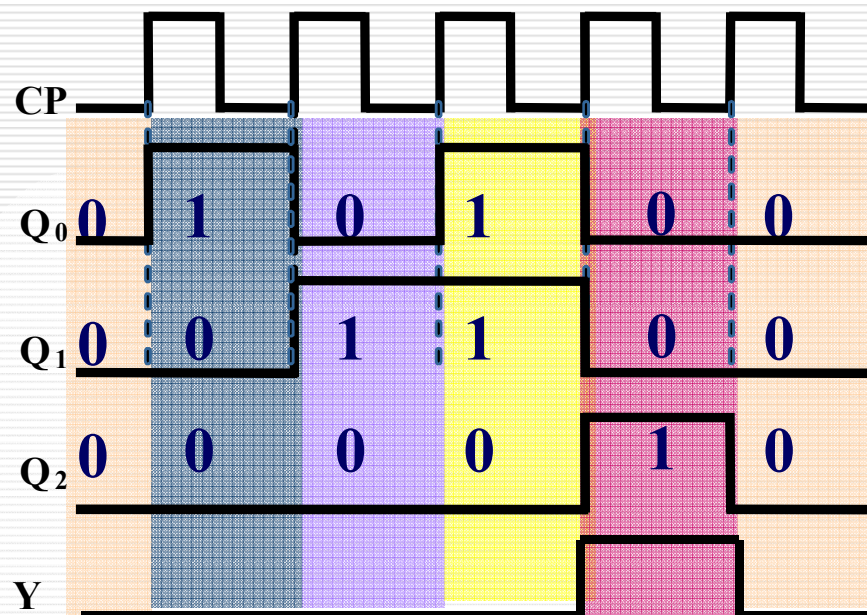
1、画出电路状态图。



2、确定触发器的类型和个数
触发器个数：3个

触发器类型：上升沿触发的JK边沿触发器。

3、求出电路的激励方程和输出方程；



Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	1	0	0	X	0	X	1	X
0	0	1	0	1	0	0	0	X	1	X	X	1
0	1	0	0	1	1	0	0	X	X	0	1	X
0	1	1	1	0	0	0	1	X	X	1	X	1
1	0	0	0	0	0	1	X	1	0	X	0	X

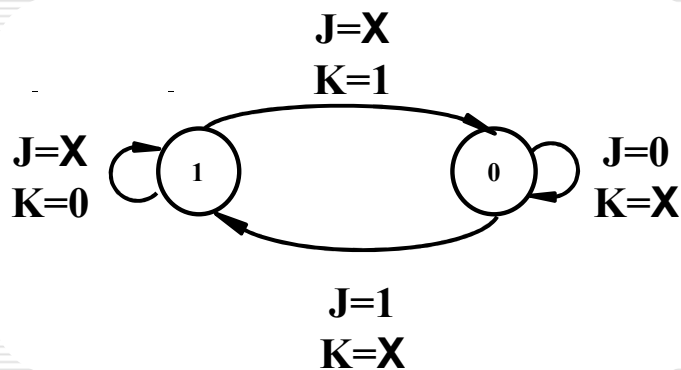
求激励方程的第一种方法

		$Q_1^n Q_0^n$			
		00	01	11	10
Q_2^n	0	0	0	1	0
	1	X	X	X	X

$$J_2 = Q_0^n Q_1^n$$

		$Q_1^n Q_0^n$			
		00	01	11	10
Q_2^n	0	X	X	X	X
	1	1	X	X	X

$$K_2 = 1$$



$$J_1 = Q_0^n \quad K_1 = Q_0^n$$

$$J_0 = \overline{Q_2^n} \quad K_0 = 1$$

求激励方程的第二种方法

		$Q_1^n Q_0^n$			
Q_2^n	0	0	0	0	0
	1	1	X	X	X

$$Y = Q_2^n$$

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1

		$Q_1^n Q_0^n$			
Q_2^n	0	0	0	1	0
	1	0	×	×	×

$$Q_2^{n+1}$$

		$Q_1^n Q_0^n$			
Q_2^n	0	0	1	0	1
	1	0	×	×	×

$$Q_1^{n+1}$$

		$Q_1^n Q_0^n$			
Q_2^n	0	1	0	0	1
	1	0	×	×	×

$$Q_0^{n+1}$$

$$Q_2^{n+1} = Q_1^n Q_0^n \overline{Q_2^n}$$

$$Q_1^{n+1} = \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n}$$

$$Q_0^{n+1} = \overline{Q_2^n} \cdot \overline{Q_0^n}$$

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$Q_1^n Q_0^n$		00	01	11	10
Q_2^n	0	0	0	0	0
	1	1	X	X	X

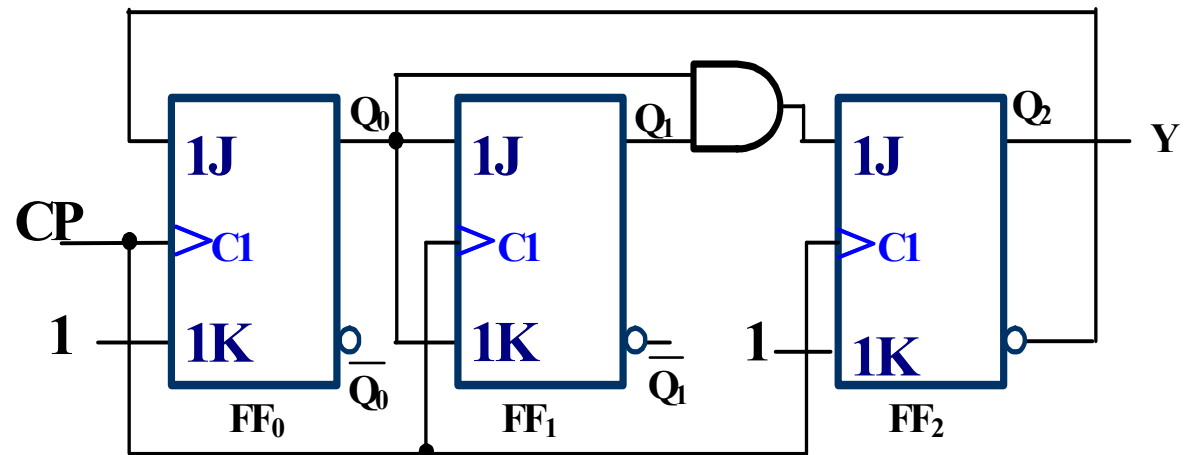
$$J_2 = Q_0^n Q_1^n \quad K_2 = 1$$

$$J_1 = Q_0^n \quad K_1 = Q_0^n$$

$$J_0 = \bar{Q}_2^n \quad K_0 = 1$$

$$Y = Q_2^n$$

4、画出逻辑图



5、检查自启动能力

$$Q_0^{n+1} = \overline{Q_2^n} \cdot \overline{Q_0^n}$$

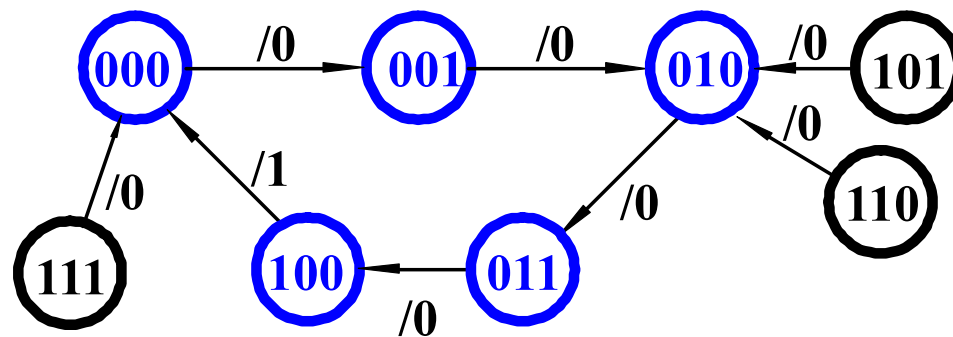
$$Q_1^{n+1} = Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n$$

$$Q_2^{n+1} = Q_0^n Q_1^n \overline{Q_2^n}$$

电路具备自启动能力

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1

1	0	1	0	1	0	1
1	1	0	0	1	0	1
1	1	1	0	0	0	1



6. 检查电路的输出是否会出错。

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1

1	0	1	0	1	0	0
1	1	0	0	1	0	0
1	1	1	0	0	0	0

Y Q_2^n	$Q_1^n Q_0^n$			
	00	01	11	10
0	0	0	0	0
1	1	X	X	X

修改输出方程：

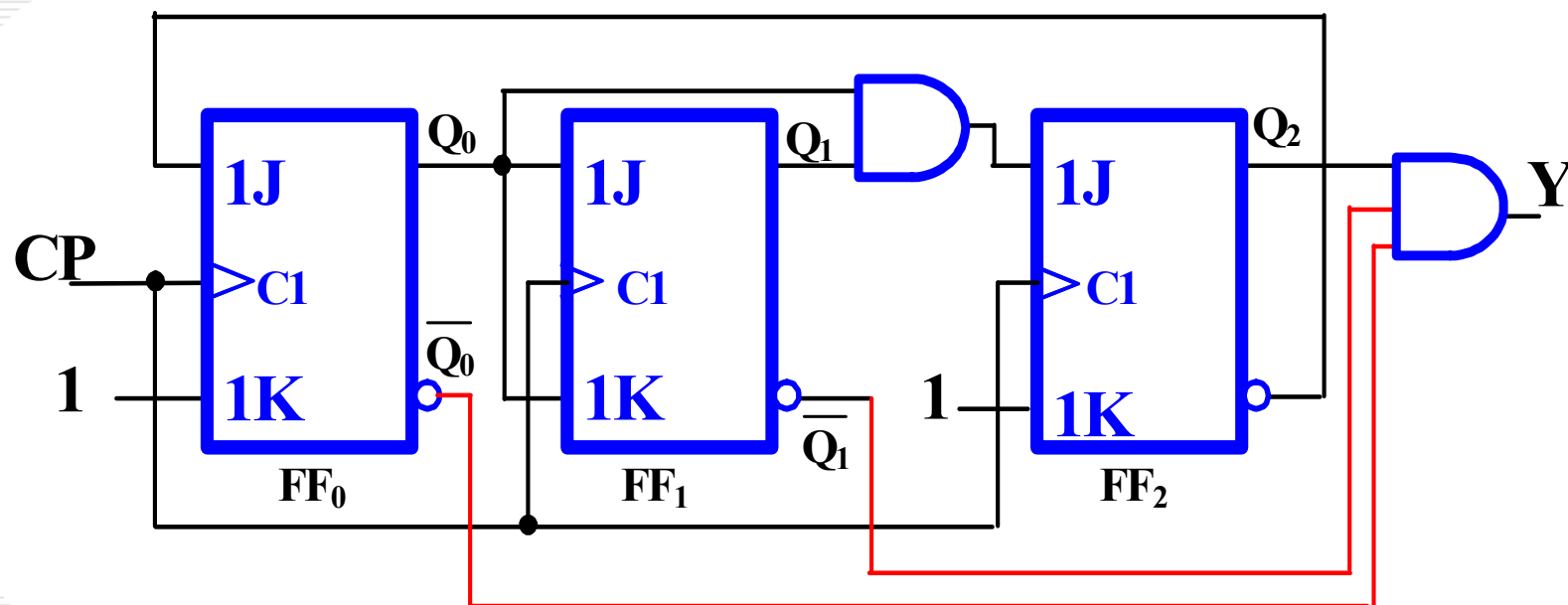
$$Y = Q_2^n$$

$$Y = Q_2^n \cdot \overline{Q_1^n} \cdot \overline{Q_0^n}$$

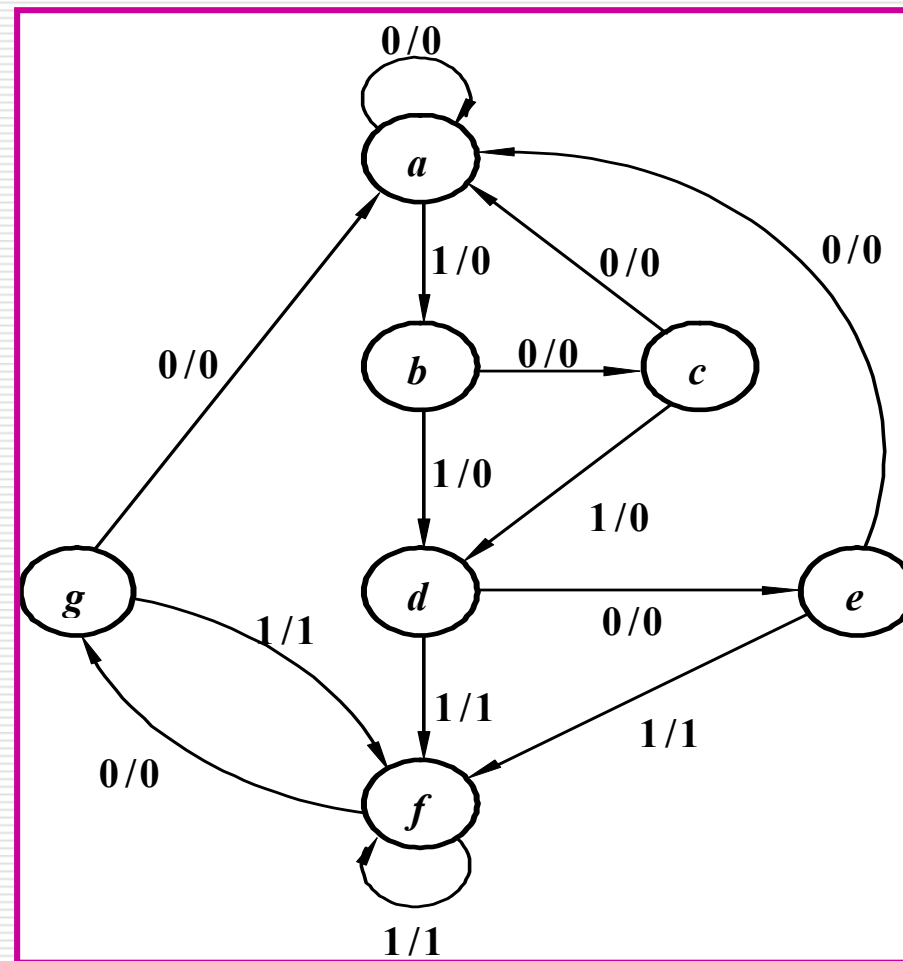
电路的输出有错！

•修改后的逻辑图

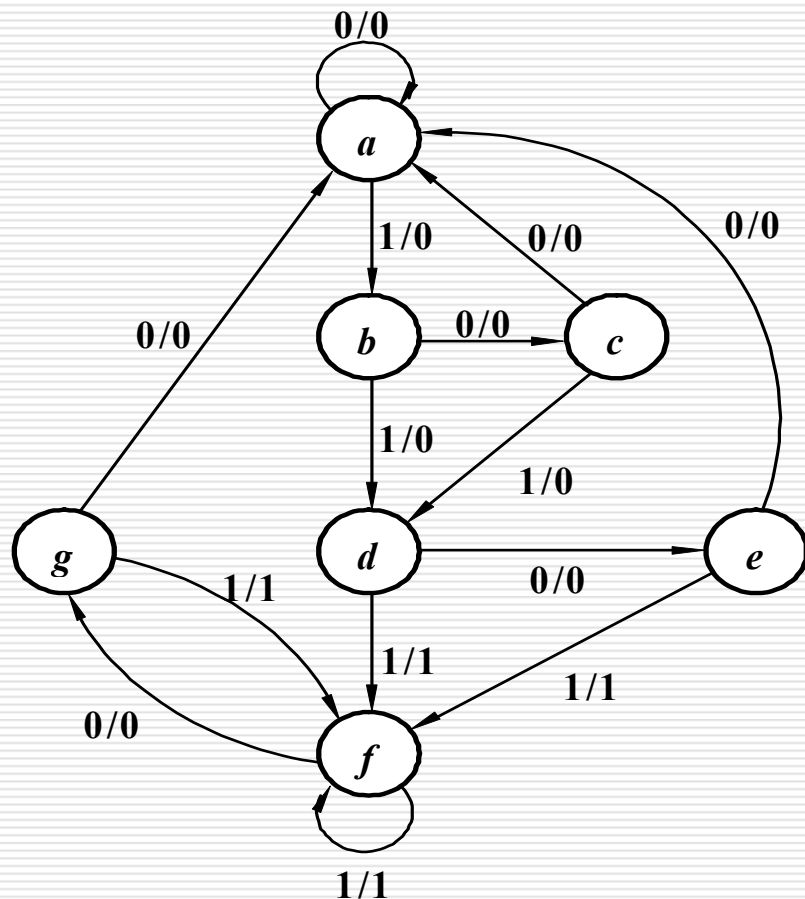
$$Y = Q_2^n \quad \longrightarrow \quad Y = Q_2^n \cdot \overline{Q_1^n} \cdot \overline{Q_0^n}$$



例4：用D 触发器设计状态变化满足下状态图的时序逻辑电路



1、列出原始状态表



原始状态表

现态 (S^n)	次态/输出 (S^{n+1}/Y)	
	$A=0$	$A=1$
a	$a / 0$	$b / 0$
b	$c / 0$	$d / 0$
c	$a / 0$	$d / 0$
d	$e / 0$	$f / 1$
e	$a / 0$	$f / 1$
f	$g / 0$	$f / 1$
g	$a / 0$	$f / 1$

2、状态表化简

现态 (S^n)	次态/输出 (S^{n+1}/Y)	
	$A=0$	$A=1$
a	$a / 0$	$b / 0$
b	$c / 0$	$d / 0$
c	$a / 0$	$d / 0$
d	$e / 0$	$f / 1$
e	$a / 0$	$f / 1$
f	$g / 0$	$f / 1$
g	$a / 0$	$f / 1$

第一次化简状态表

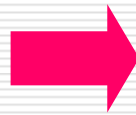
现态 (S^n)	次态/输出 (S^{n+1}/Y)	
	$A=0$	$A=1$
a	$a / 0$	$b / 0$
b	$c / 0$	$d / 0$
c	$a / 0$	$d / 0$
d	$e / 0$	$f / 1$
e	$a / 0$	$f / 1$
f	$e / 0$	$f / 1$

3、状态编码

a=000; b=001; c=010; d=011; e=100

最后简化的状态表

现态 (S^n)	次态/输出 (S^{n+1}/Y)	
	$A=0$	$A=1$
a	$a / 0$	$b / 0$
b	$c / 0$	$d / 0$
c	$a / 0$	$d / 0$
d	$e / 0$	$d / 1$
e	$a / 0$	$d / 1$



已分配状态的状态表

现态 (S^n)	次态/输出 (S^{n+1}/Y)	
	$A=0$	$A=1$
000	000 / 0	001 / 0
001	010 / 0	011 / 0
010	000 / 0	011 / 0
011	100 / 0	011 / 1
100	000 / 0	011 / 1

三种状态分配方案

状态	方案1 自然二进制 码	方案2 格雷码	方案3 “一对一”
<i>a</i>	0 0 0	0 0 0	0 0 0 0 1
<i>b</i>	0 0 1	0 0 1	0 0 0 1 0
<i>c</i>	0 1 0	0 1 1	0 0 1 0 0
<i>d</i>	0 1 1	0 1 0	0 1 0 0 0
<i>e</i>	1 0 0	1 1 0	1 0 0 0 0

4、求激励方程、输出方程

状态转换真值表

Q_2^n	Q_1^n	Q_0^n	A	Q_2^{n+1} ()	Q_1^{n+1} ()	Q_0^{n+1} ()	Y
0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0
0	0	1	1	0	1	1	0
0	1	0	0	0	0	0	0
0	1	0	1	0	1	1	0
0	1	1	0	1	0	0	0
0	1	1	1	0	1	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	1	1	1

4、求激励方程、输出方程

状态转换真值表

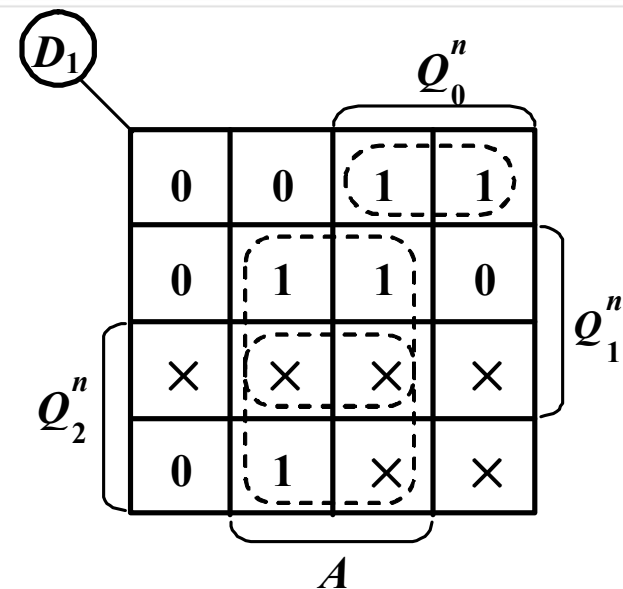
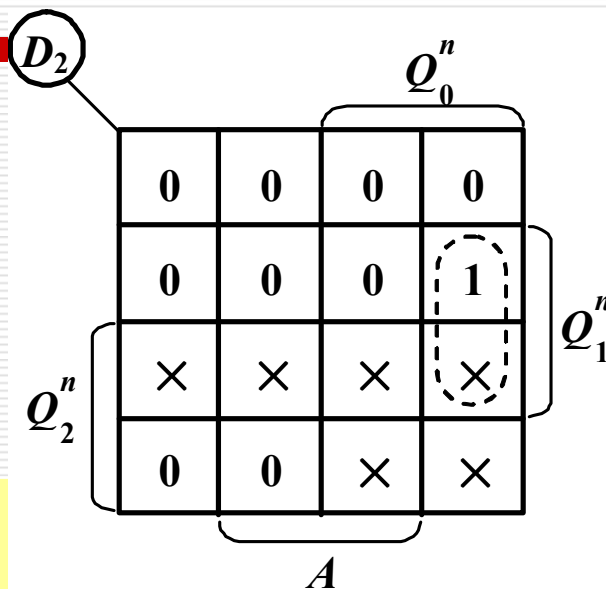
Q_2^n	Q_1^n	Q_0^n	A	(D_2)	(D_1)	(D_0)	Y
0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0
0	0	1	1	0	1	1	0
0	1	0	0	0	0	0	0
0	1	0	1	0	1	1	0
0	1	1	0	1	0	0	0
0	1	1	1	0	1	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	1	1	1

4、求激励方程、输出方程

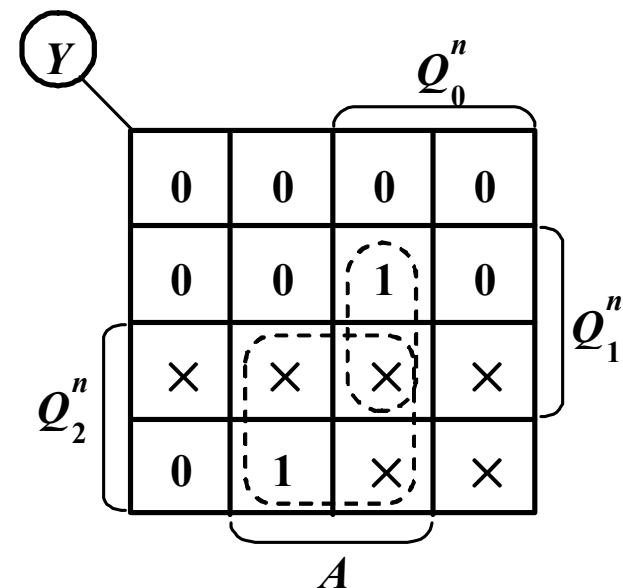
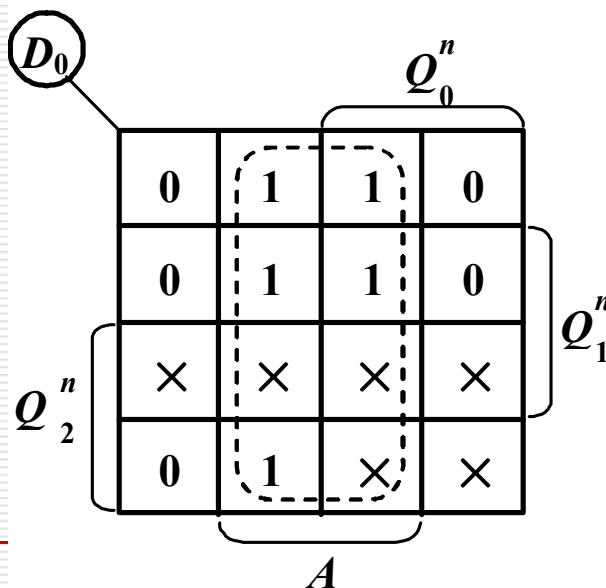
状态转换真值表

Q_2^n	Q_1^n	Q_0^n	A	(D_2)	(D_1)	(D_0)	Y
0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0
0	0	1	1	0	1	1	0
0	1	0	0	0	0	0	0
0	1	0	1	0	1	1	0
0	1	1	0	1	0	0	0
0	1	1	1	0	1	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	1	1	1

$$D_2 = Q_2^{n+1} = Q_1^n Q_0^n \overline{A}$$

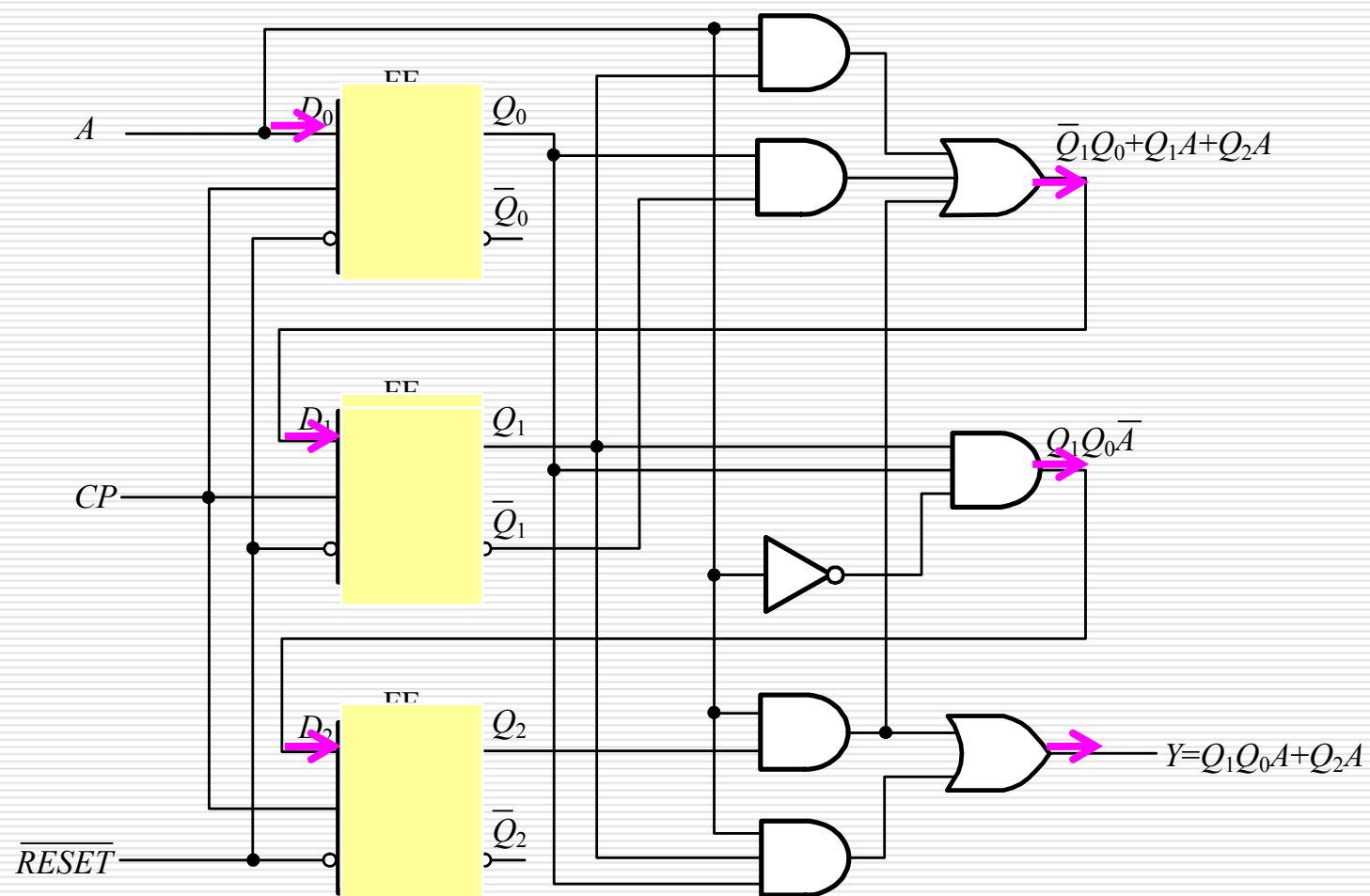


$$D_1 = Q_0^n \overline{Q_1^n} + Q_1^n A + Q_2^n A$$

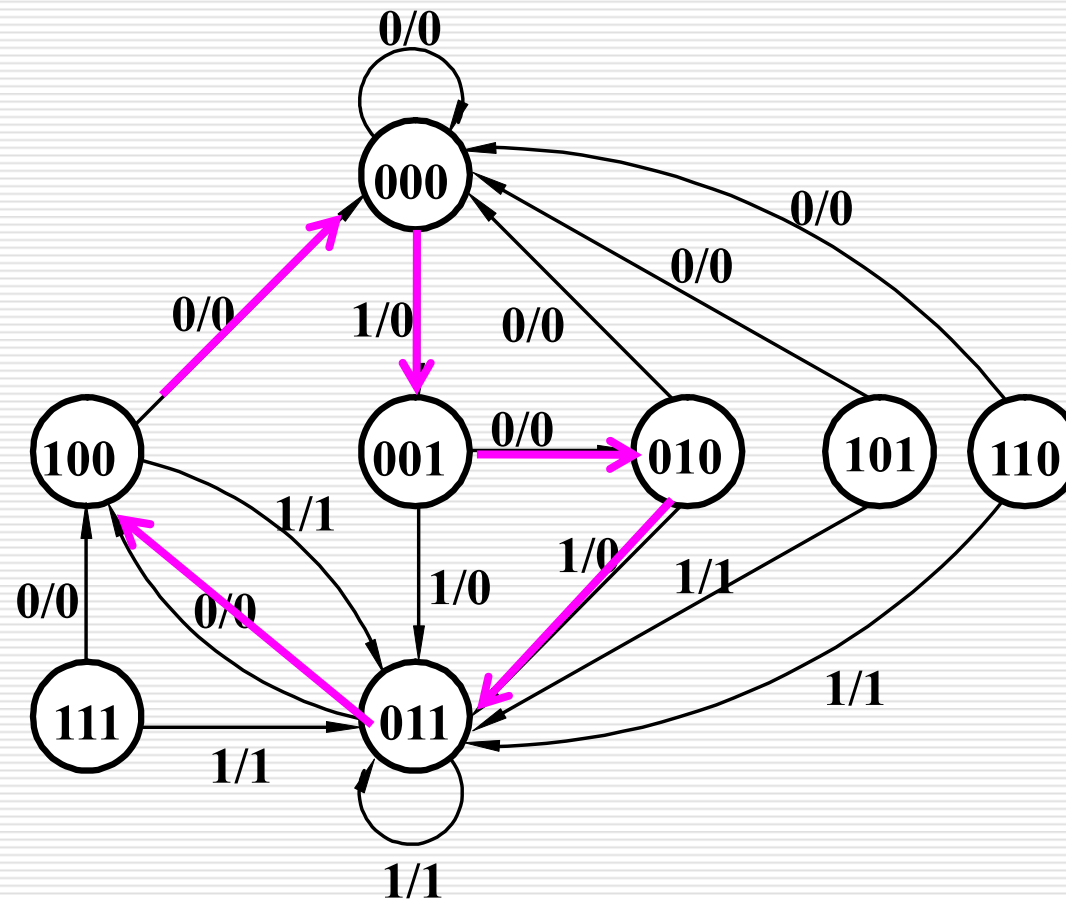


$$Y = Q_1^n Q_0^n A + Q_2^n A$$

画出逻辑电路

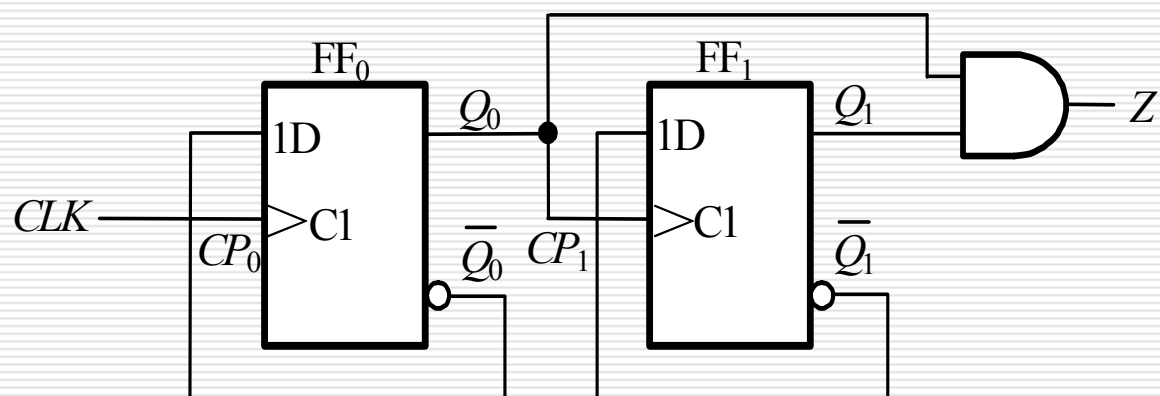


画出完整的状态图，检查所设计的计数器能否自启动。



6.4 异步时序逻辑电路的分析(了解)

一. 异步时序逻辑电路的分析方法:



6.5 若干典型的时序逻辑集成电路

6.5.1 寄存器和移位寄存器

6.5.2 计数器

6.5 若干典型的时序逻辑集成电路

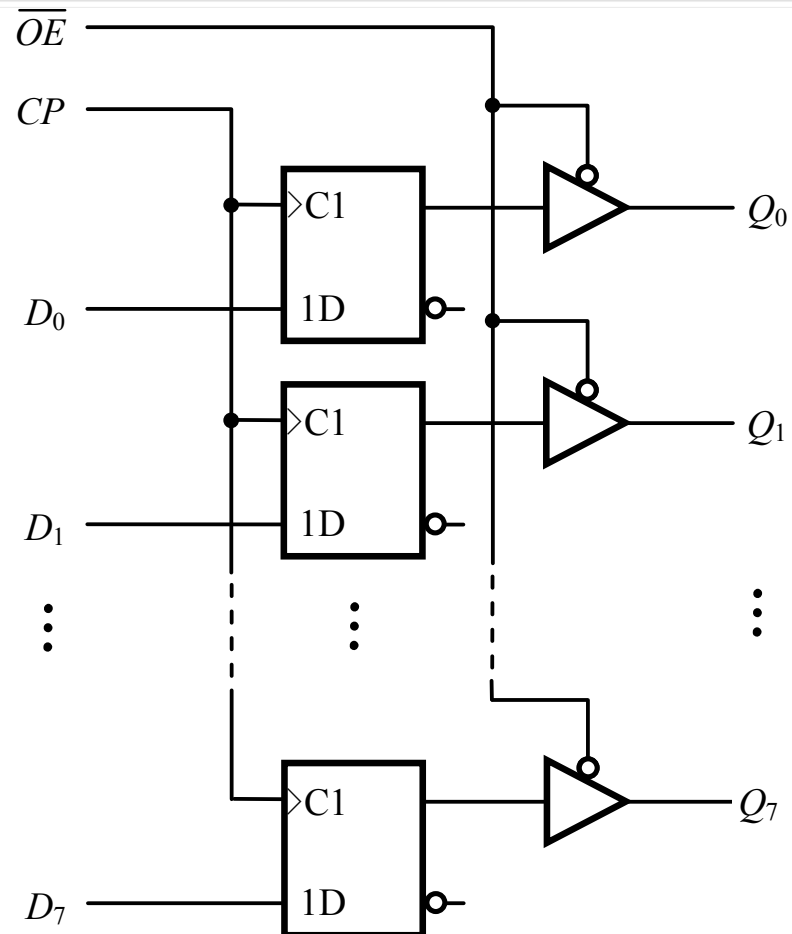
6.5.1 寄存器和移位寄存器

1、 寄存器

寄存器:是数字系统中用来**存储代码或数据**的逻辑部件。它的主要组成部分是**触发器**。

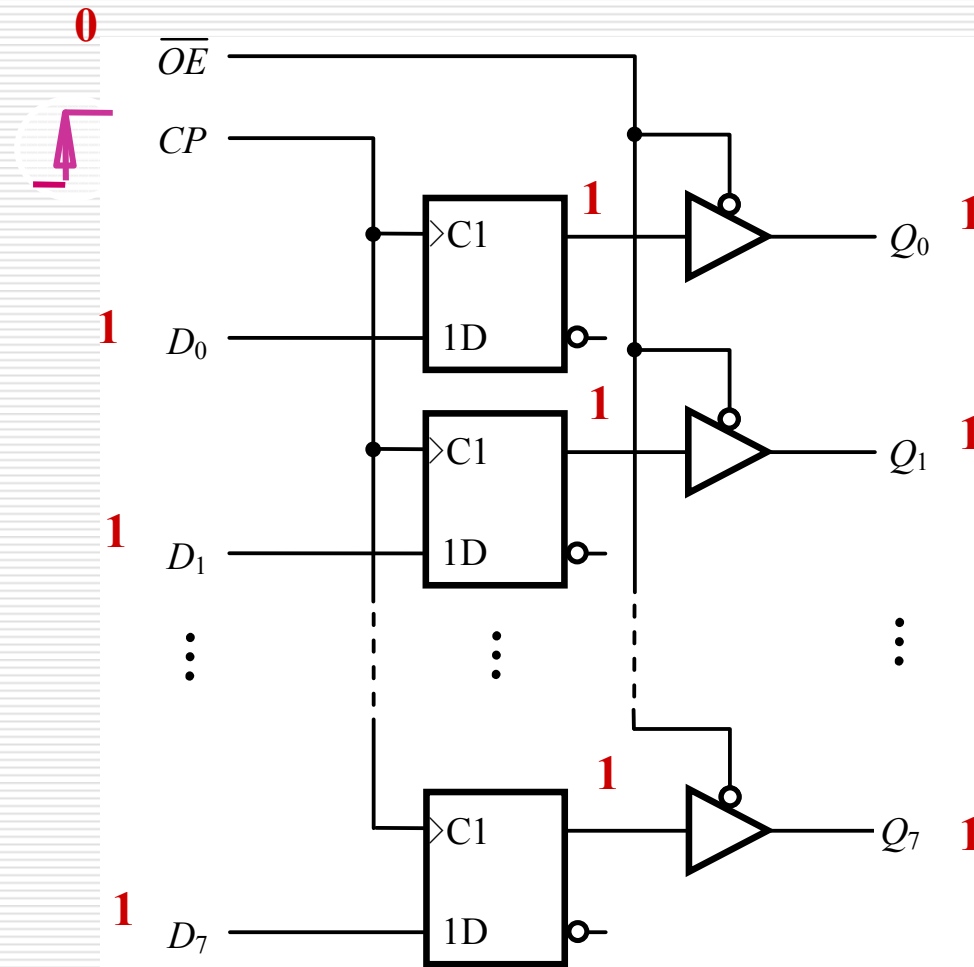
一个**触发器**能存储**1位二进制代码**，存储 n 位二进制代码的寄存器需要用 n 个**触发器**组成。**寄存器**实际上是若干**触发器**的集合。

8位CMOS寄存器74HC374



脉冲边沿敏感的寄存器

8位CMOS寄存器74HC/HCT374



8位CMOS寄存器74LV374

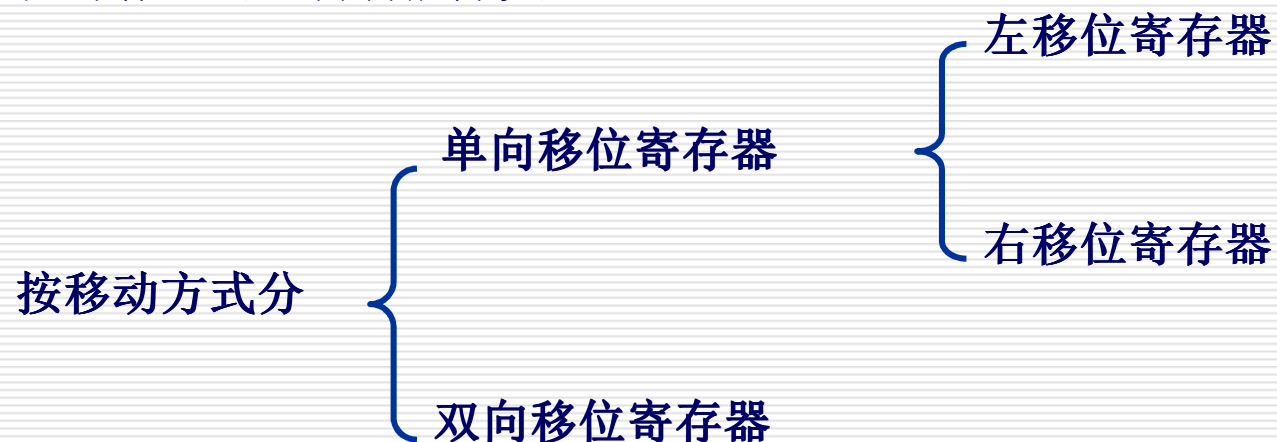
工作模式	输 入			内部触发器 Q_N^{n+1}	输出
	\overline{OE}	CP	D_N		$Q_0 \sim Q_7$
存入和读出数据	L	↑	L	L	对应内部触发器的状态
	L	↑	H	H	
存入数据，禁止输出	H	↑	L	L	高阻
	H	↑	H	H	高阻

2、 移位寄存器

- 移位寄存器的逻辑功能

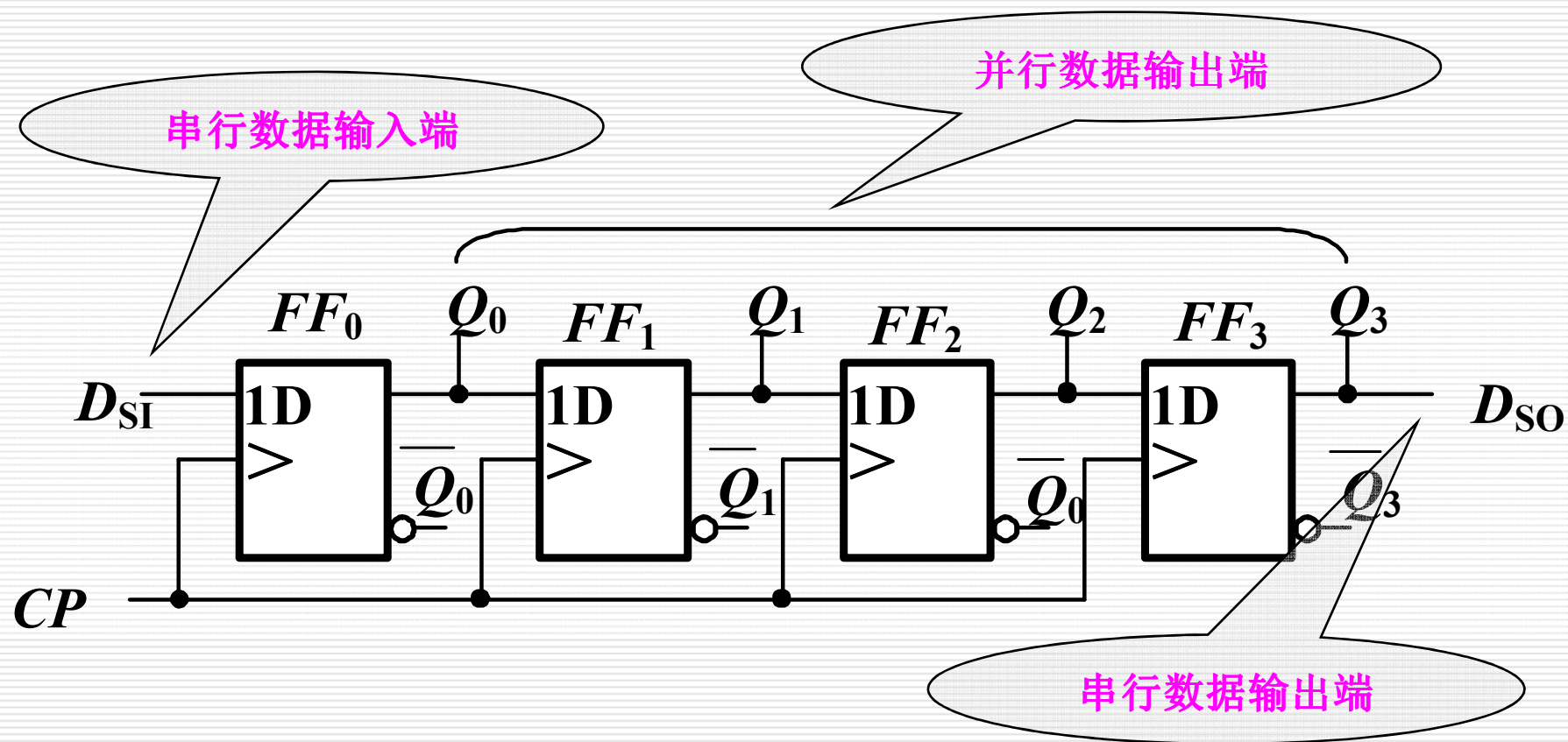
移位寄存器是既能寄存数码，又能在时钟脉冲的作用下使数码向高位或向低位移动的逻辑功能部件。

- 移位寄存器的逻辑功能分类



(1) 基本移位寄存器

(a) 电路



(b). 工作原理

写出激励方程:

$$D_0 = D_{SI}$$

$$D_1 = Q_0^n$$

$$D_2 = Q_1^n$$

$$D_3 = Q_2^n$$

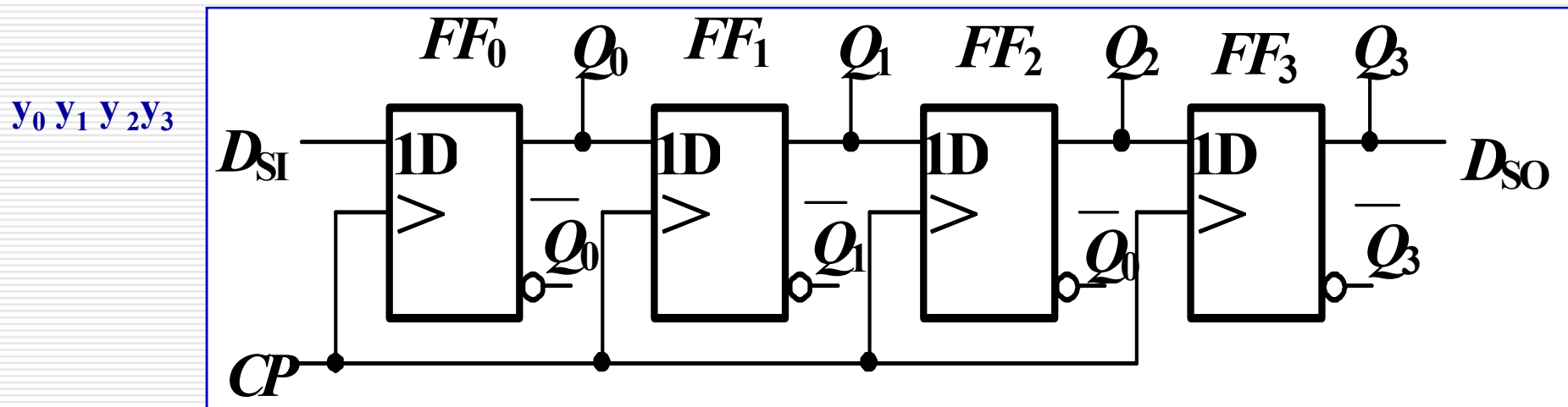
写出状态方程:

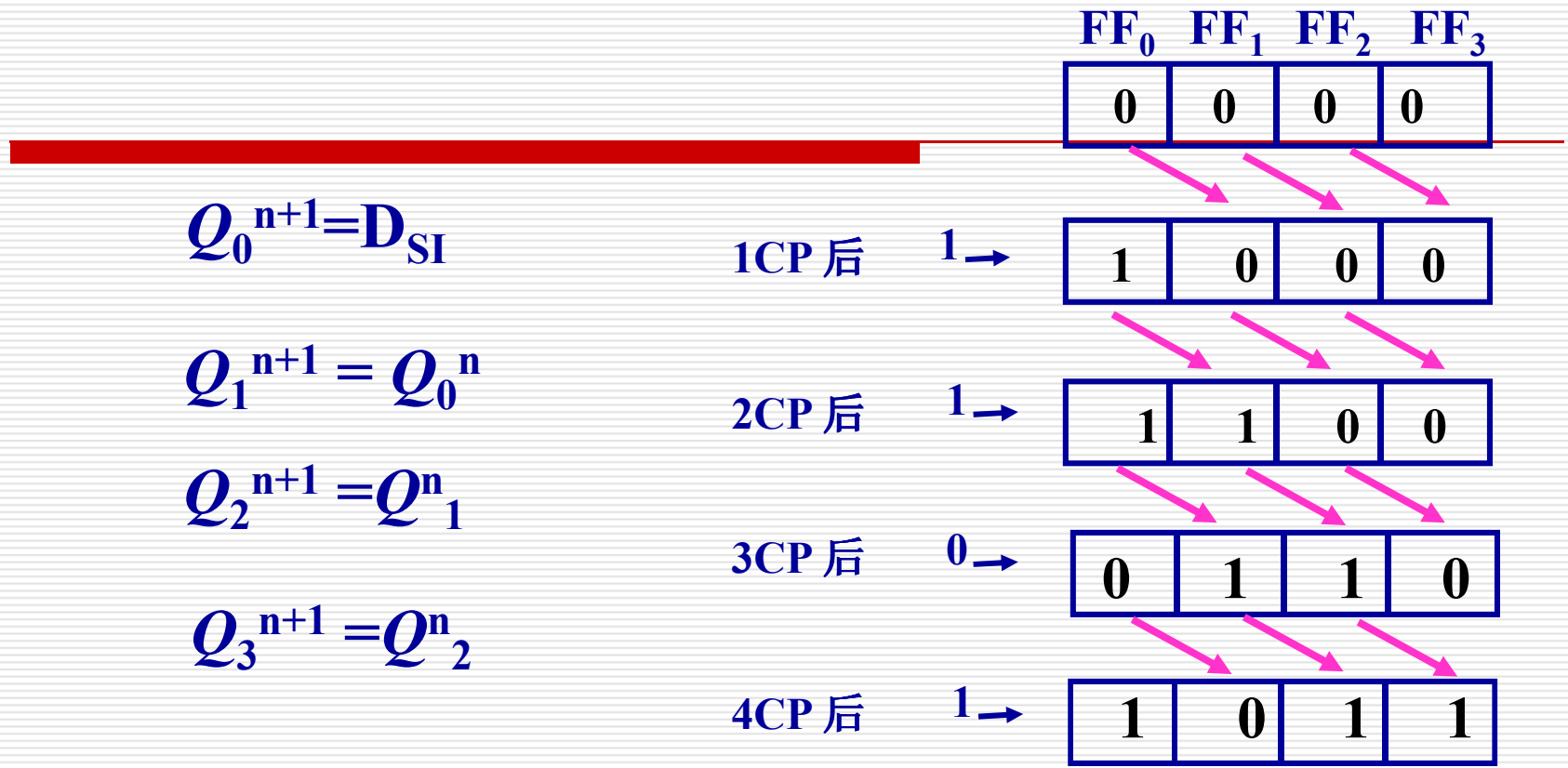
$$Q_0^{n+1} = D_{SI}$$

$$Q_1^{n+1} = D_1 = Q_0^n$$

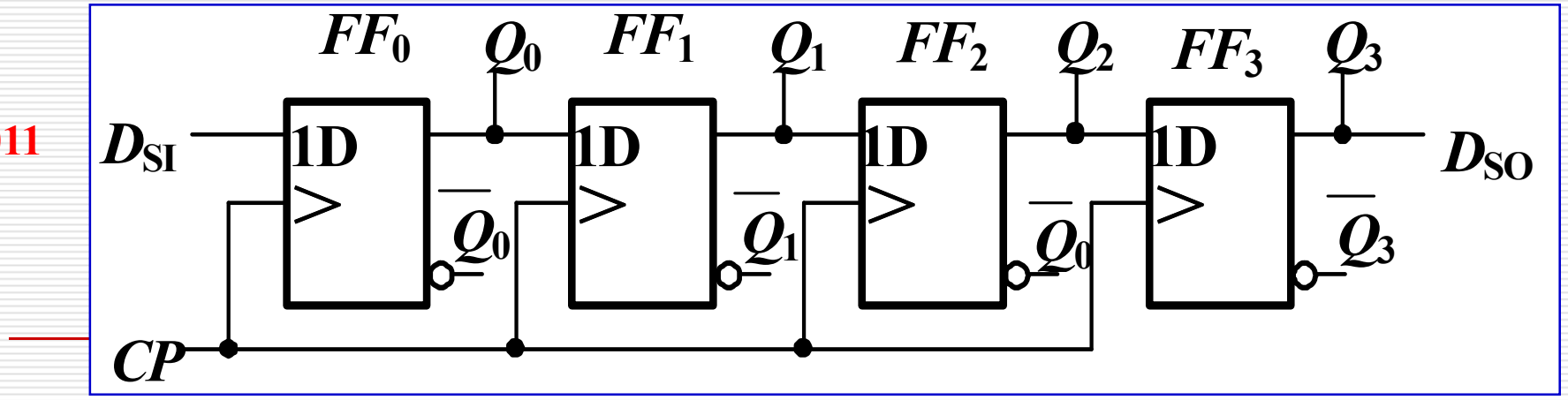
$$Q_2^{n+1} = D_2 = Q_1^n$$

$$Q_3^{n+1} = D_3 = Q_2^n$$

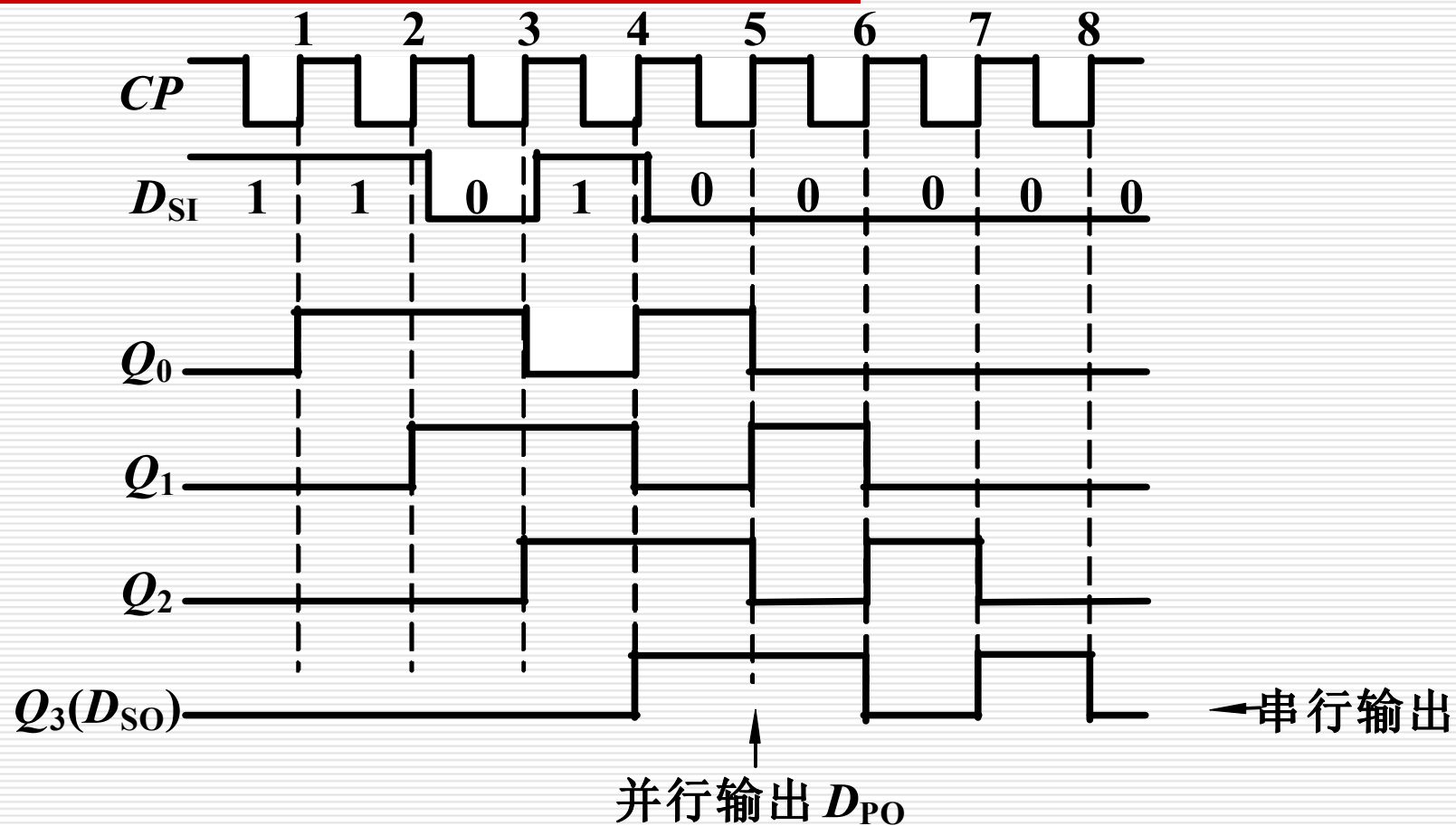




1011



$D_{SI}=11010000$,从高位开始输入



经过7个CP脉冲作用后,从 D_{SI} 端串行输入的数码就可以从 D_{SO} 端串行输出。
串入→串出

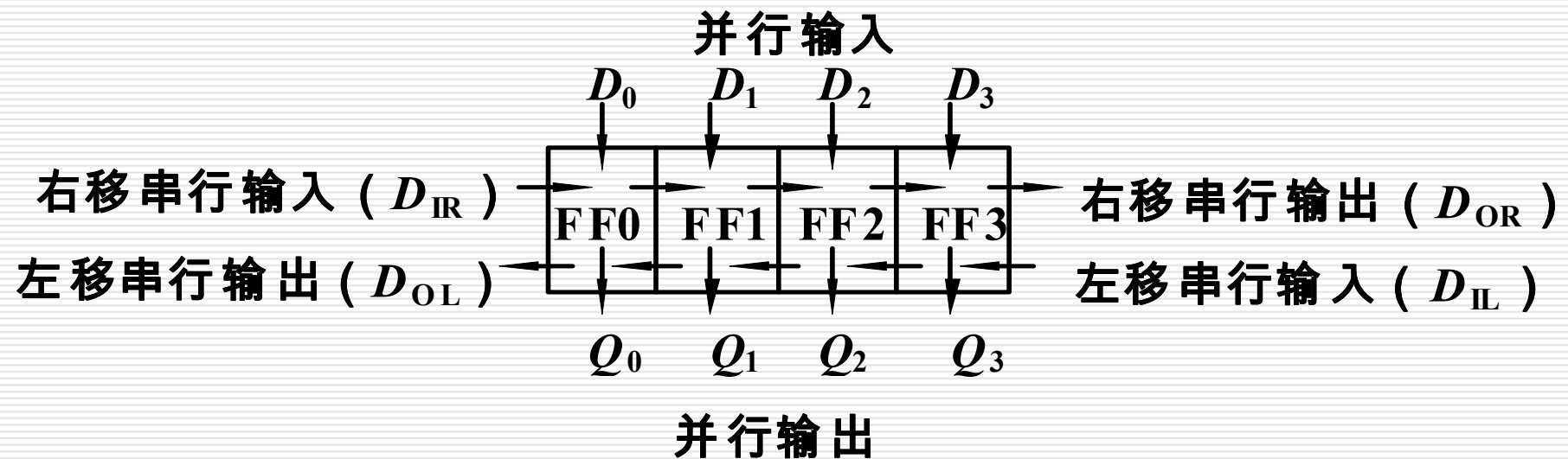
(2) 多功能双向移位寄存器

(a) 工作原理

高位移向低位----左移

低位移向高位----右移

多功能移位寄存器工作模式简图



实现多种功能双向移位寄存器的一种方案(仅以 FF_m 为例)

$$S_1 S_0 = 00$$

$$Q_m^{n+1} = Q_m^n \quad \text{保持不变}$$

$$S_1 S_0 = 10$$

$$Q_m^{n+1} = Q_{m+1}^n$$

高位移
向低位

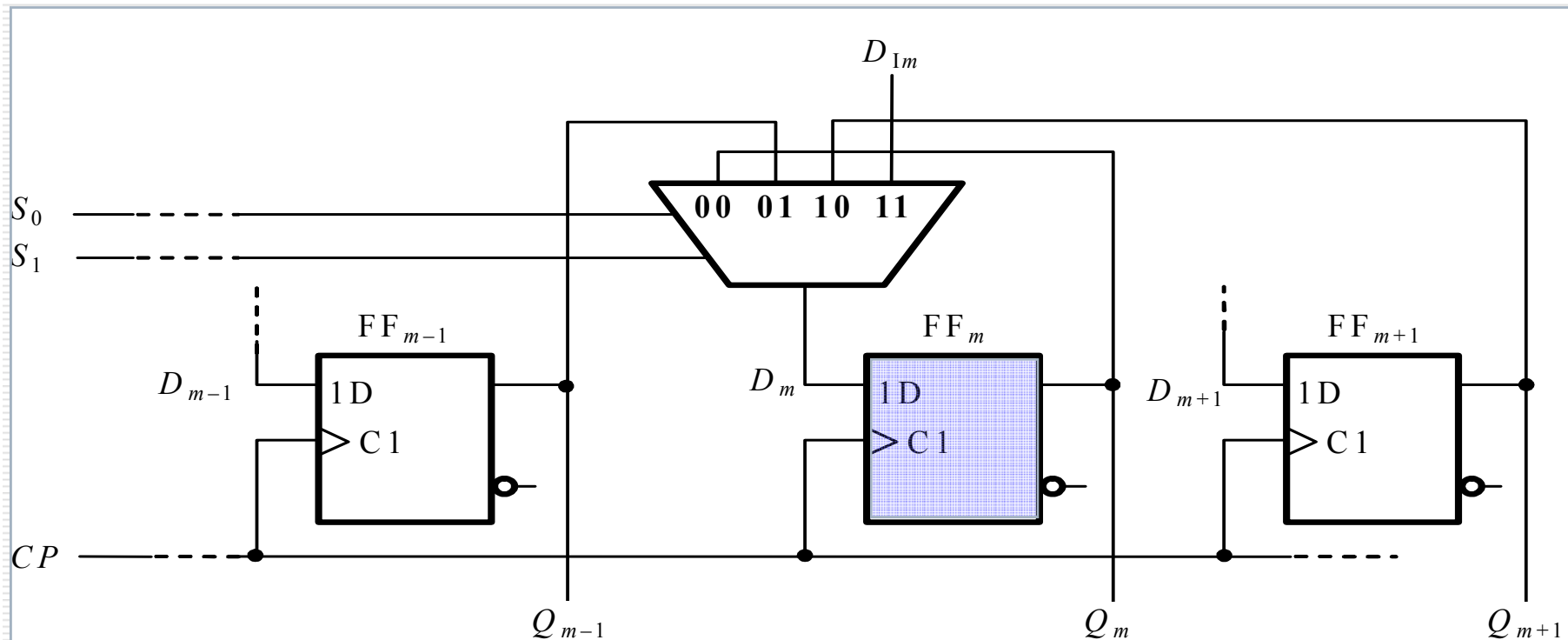
$$S_1 S_0 = 01$$

$$Q_m^{n+1} = Q_{m-1}^n \quad \text{低位移
向高位}$$

$$S_1 S_0 = 11$$

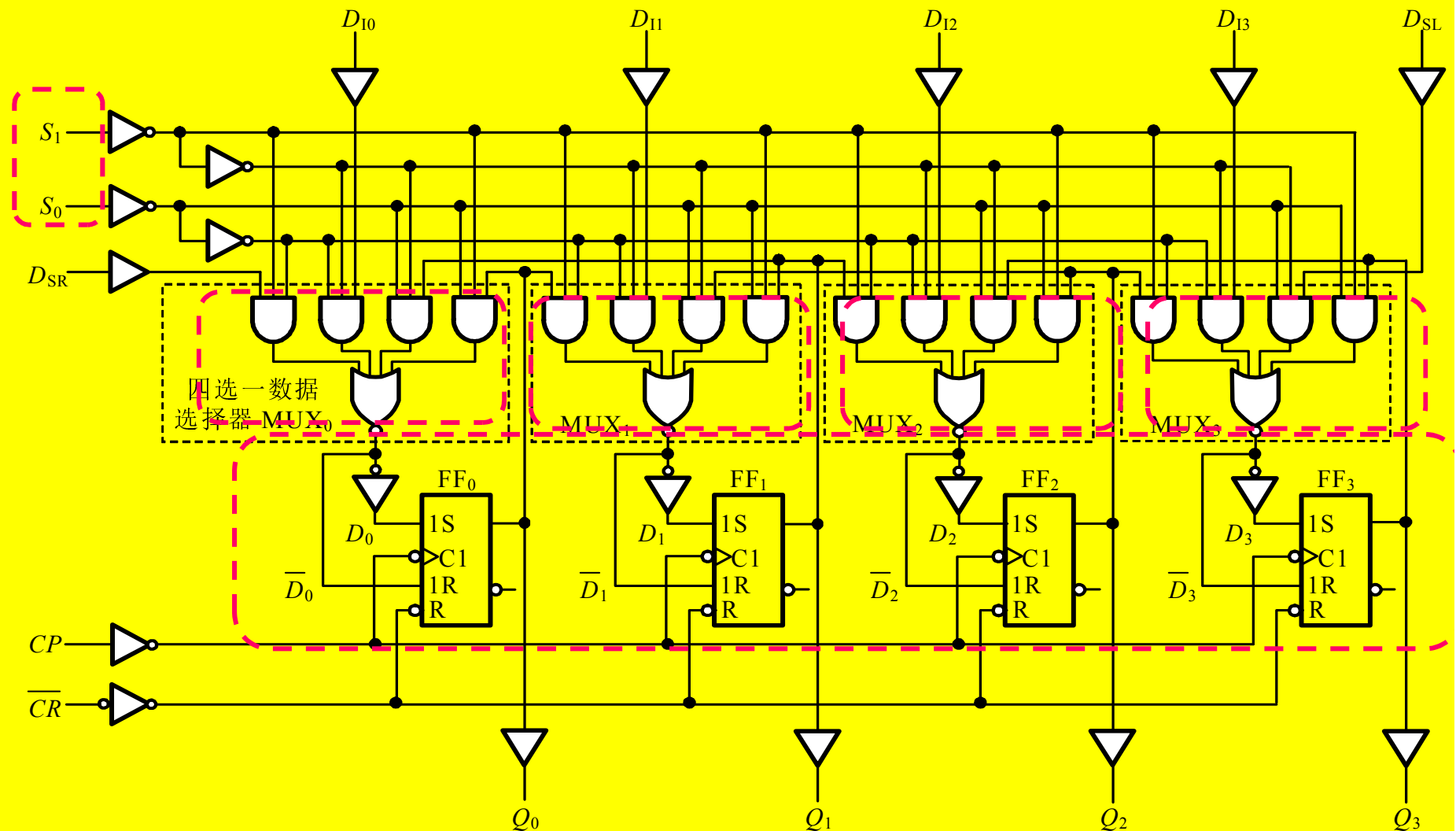
$$Q_m^{n+1} = D_m$$

并入



(b) 典型集成电路

CMOS 4位双向移位寄存器74HC/HCT194



74HCT194 的功能表

输 入							输 出				行			
清 零	控制信 号		串行输入		时 钟 CP	并行输入				$Q_0^{n+1} Q_1^{n+1} Q_2^{n+1} Q_3^{n+1}$				
\overline{CR}	S_1	S_0	右 移 D_{SR}	左 移 D_{SL}		DI_0	DI_1	DI_2	DI_3					
L	×	×	×	×	×	×	×	×	×	L	L	L	L	1
H	L	L	×	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n	2
H	L	H	L	×	↑	×	×	×	×	L	Q_0^n	Q_1^n	Q_2^n	3
H	L	H	H	×	↑	×	×	×	×	H	Q_0^n	Q_1^n	Q_2^n	4
H	H	L	×	L	↑	×	×	×	×	Q_1^n	Q_2^n	Q_3^n	L	5
H	H	L	×	H	↑	×	×	×	×	Q_1^n	Q_2^n	Q_3^n	H	6
H	H	H	×	×	↑	DI_0	DI_1	DI_2	DI_3	D_0	D_1	D_2	D_3	7

