

第三章 作业布置

本次（3月14号）作业要求：

每个同学自己从第三章的课后习题中选4题做到作业本中，至于做哪4题，每个同学自己选择。不作硬性规定。我在检查作业时，只看是否做了4题。（从你购买的课本上选题做就可以了。）

数 字 逻 辑

丁 贤 庆

ahhfdxq@163.com

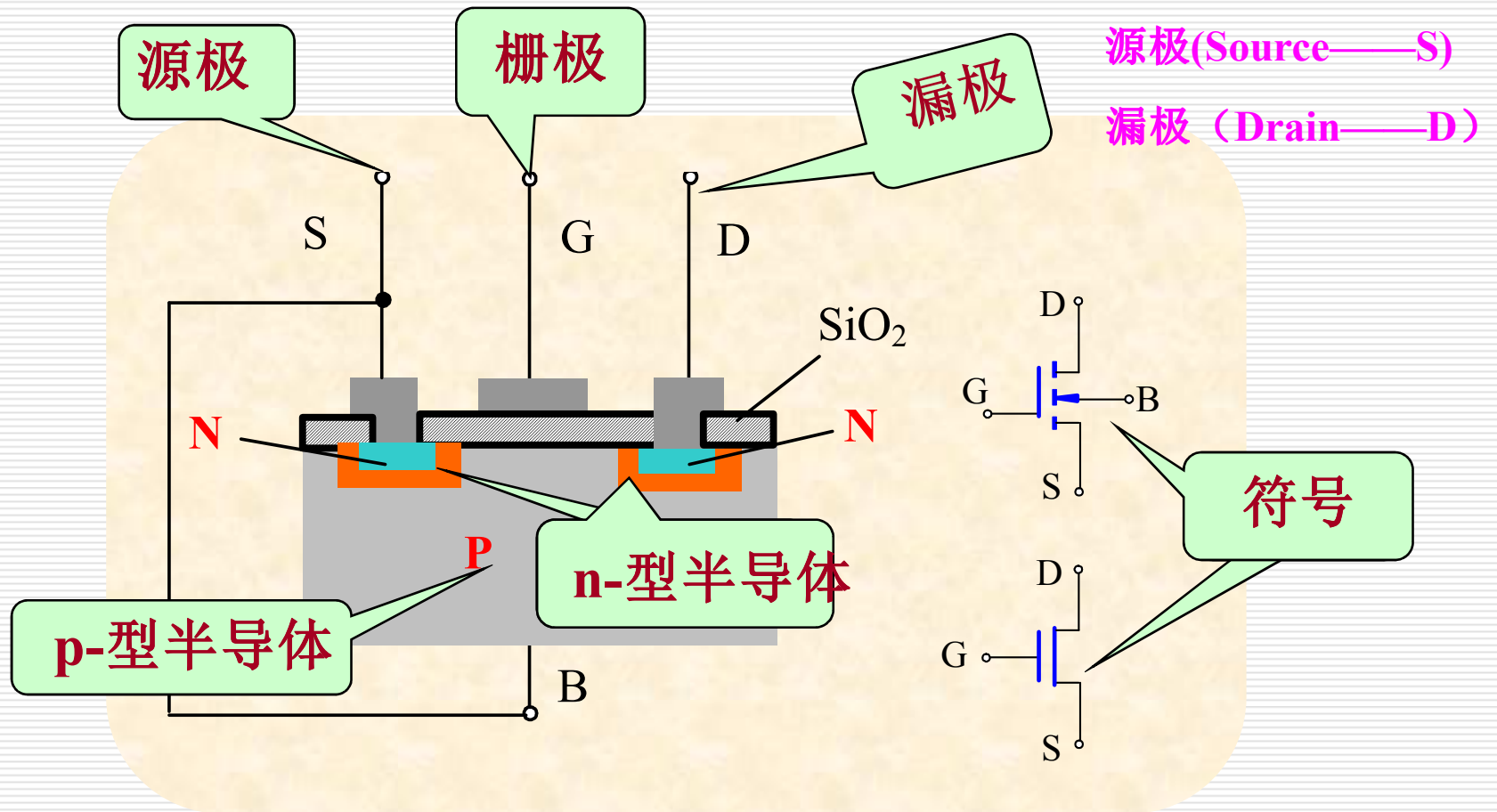
通知

- 1、今天收一次作业。
 - 2、明天晚上19:00在新安学堂230教室答疑。
 - 3.计算机1/3班，网联网1/2班的课表截图都现在还没有发到我的邮箱。我需要你们的第5-12周课表截图（邮件附件形式），以便我在空闲时间内安排实验。
-

1. N沟道增强型MOS管的结构和工作原理

MOS管的分类：

栅极（Gate——G，也叫做门极）



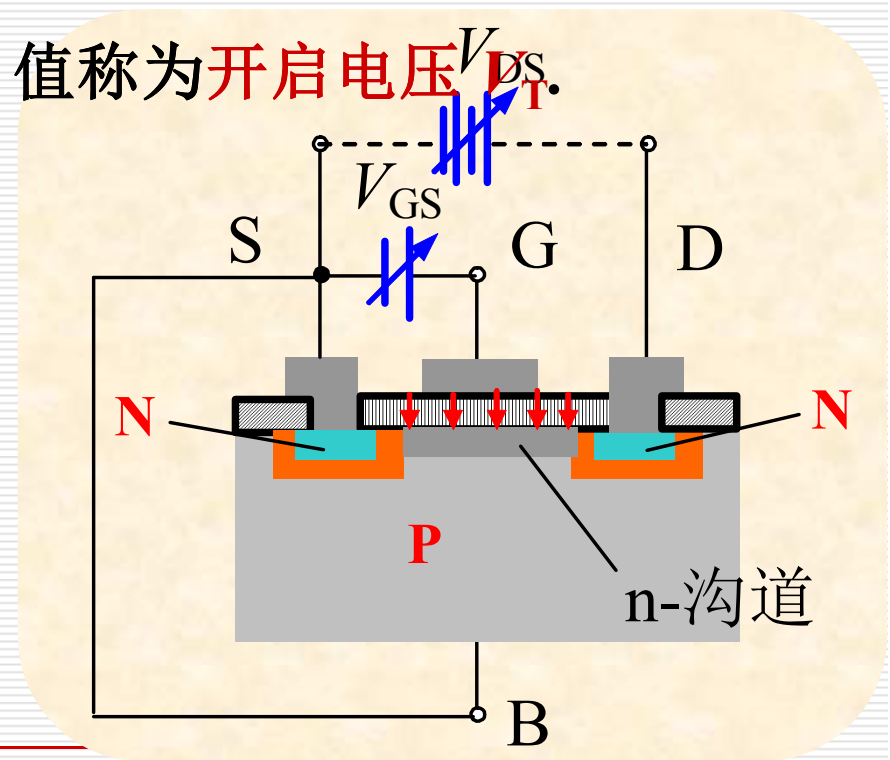
1. N沟道增强型MOS管的结构和工作原理

(1) V_{GS} 控制沟道的导电性

□ $v_{GS}=0, v_{DS} \neq 0$, 等效背靠背连接的两个二极管, $i_D \approx 0$ 。

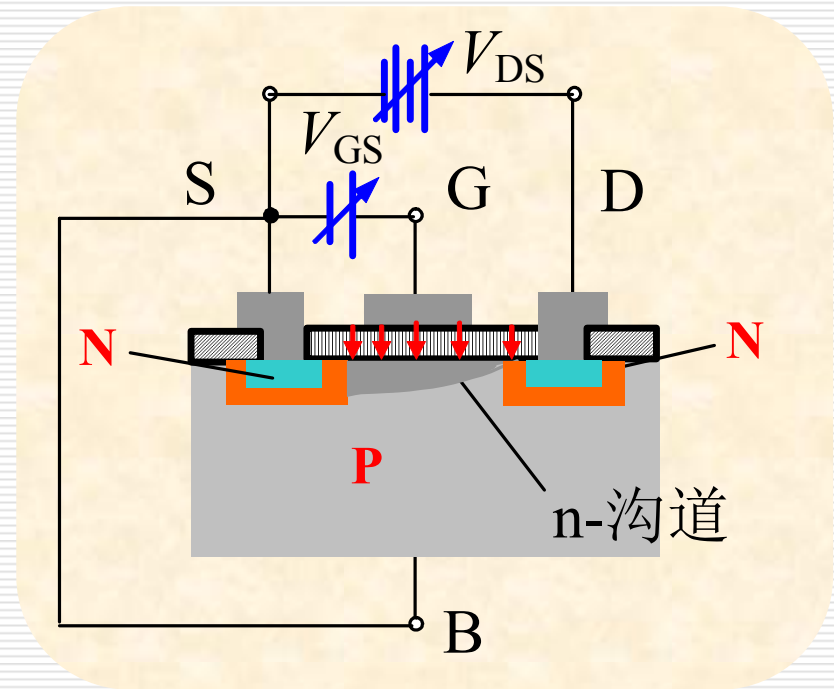
□ $v_{GS} > 0$, 建立电场 \rightarrow 反型层 $\rightarrow v_{DS} > 0, i_D \neq 0$ 。

□ 沟道建立的最小 v_{GS} 值称为开启电压 V_{DS} 。



1. N沟道增强型MOS管的结构和工作原理

- $v_{GS} > V_T$, 导通。
- 当 $v_{GS} \leq V_T$, 截止。



2. N沟道增强型MOS管的输出特性和转移特性

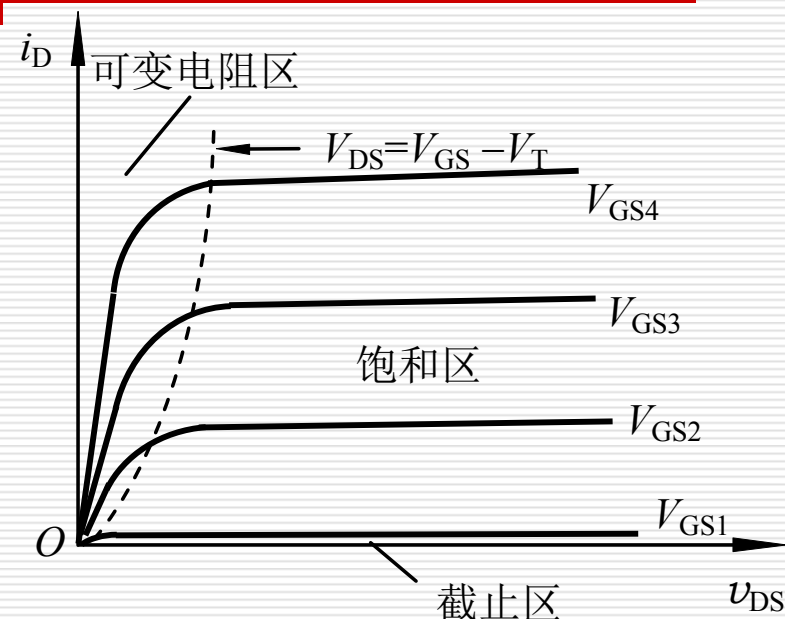
输出特性分为

❑ 截止区: $v_{GS} < V_T$, $i_D = 0$

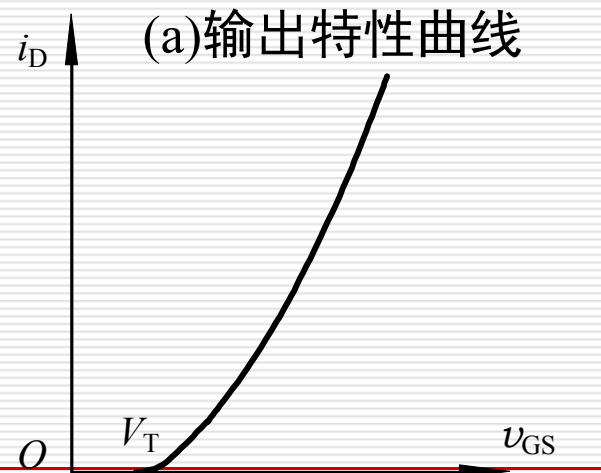
❑ 可变电阻区: 沟道产生, i_D 随 v_{DS} 线性增加, r_{ds} 为受 v_{GS} 控制可变电阻。

$$r_{ds} = \left. \frac{dv_{DS}}{di_D} \right|_{v_{GS}=\text{const}} = \frac{1}{2K_n (v_{GS} - V_T)}$$

❑ 饱和区: $v_{GS} > V_T$, $v_{DS} > v_{GS} - V_T$



(a) 输出特性曲线



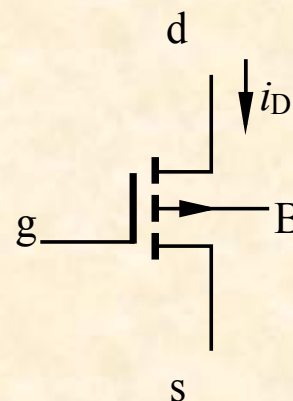
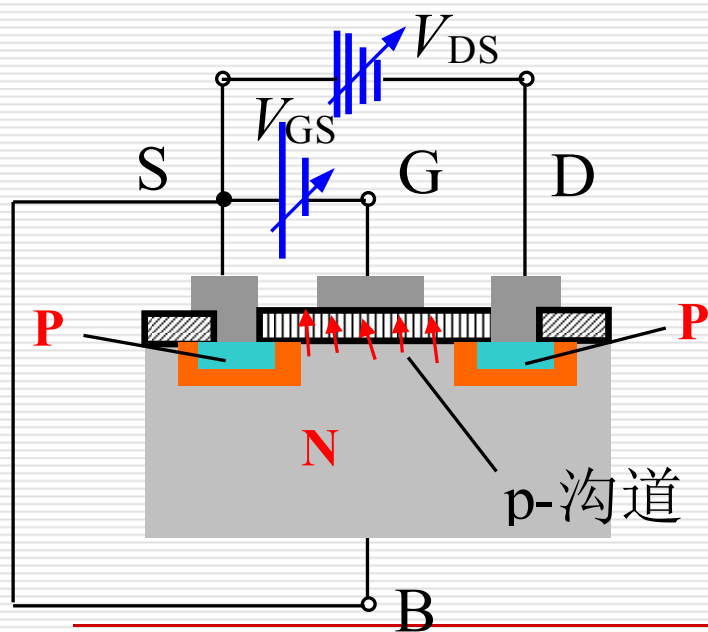
(b) 转移特性曲线

(1) P沟道增强型MOS管

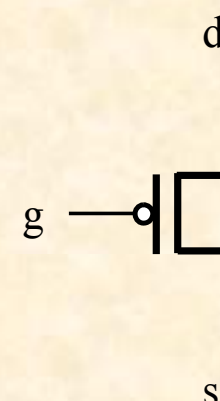
□ 开启电压 v_T 为负值

□ 结构与NMOS管相反。

□ v_{GS} 、 v_{DS} 电压极性与NMOS管相反。



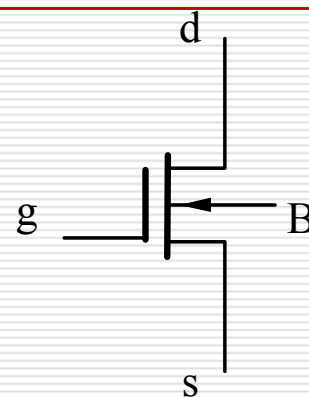
(a) 标准符号



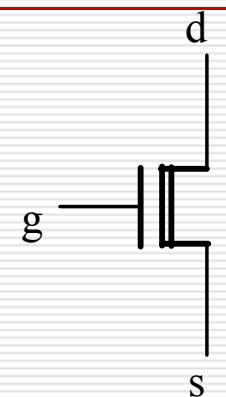
(b) 简化符号

(2) N沟道耗尽型MOS管

N沟道耗尽型MOS管符号如图。



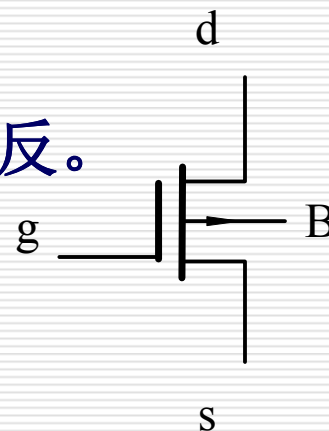
(a) 标准符号



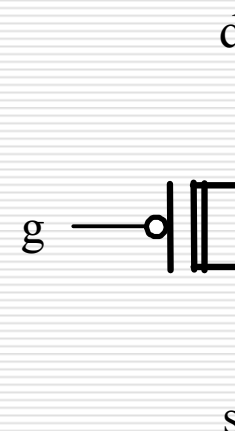
(b) 简化符号

(3) P沟道耗尽型MOS管

结构与N沟道耗尽型MOS管相反。
符号如图所示。

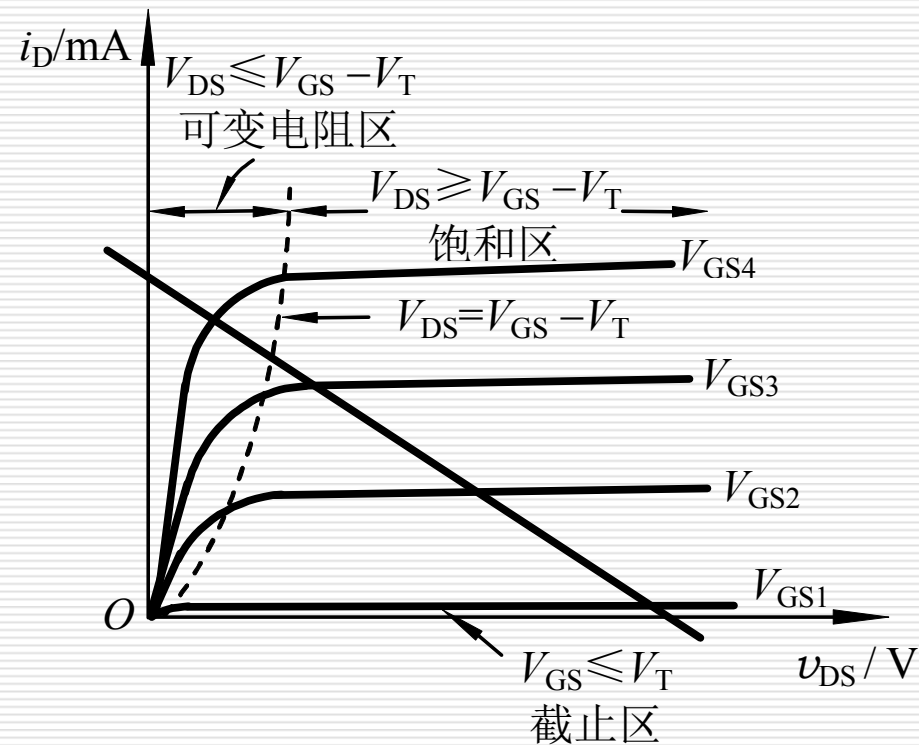
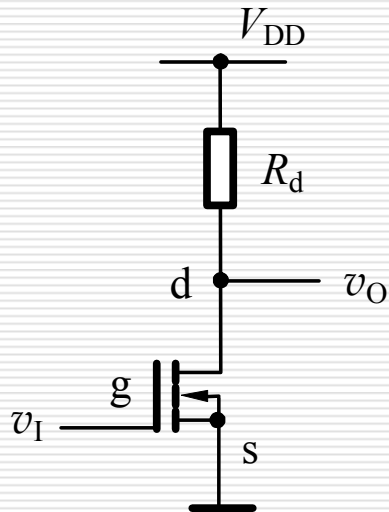


(a) 标准符号



(b) 简化符号

4. MOS管开关电路



当 $v_I < V_T$: MOS管截止, 输出高电平

当 $v_I > V_T$: MOS管工作在可变电阻区, 输出低电平

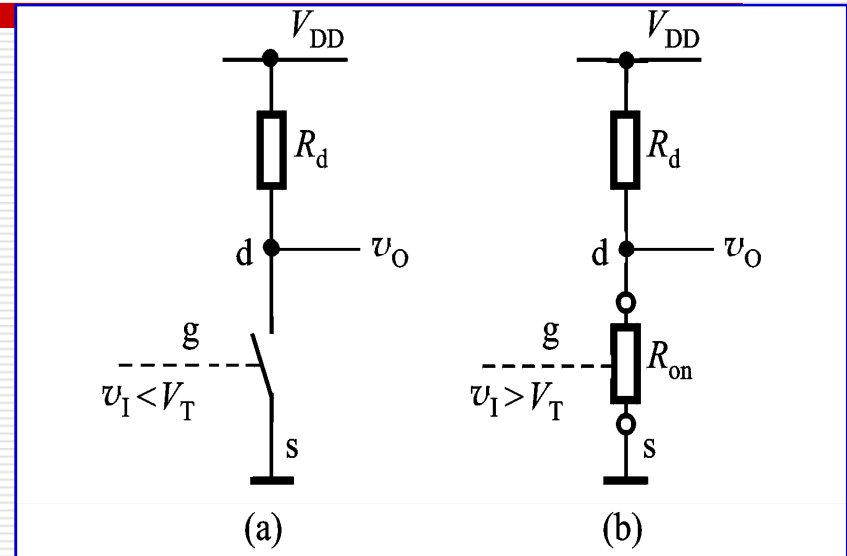
□ 当 v_i 为低电平时:

MOS管截止, 相当于开关“断开”, 输出为高电平。

□ 当 v_i 为高电平时:

MOS管工作在可变电阻区, 相当于开关“闭合”, 输出为低电平。

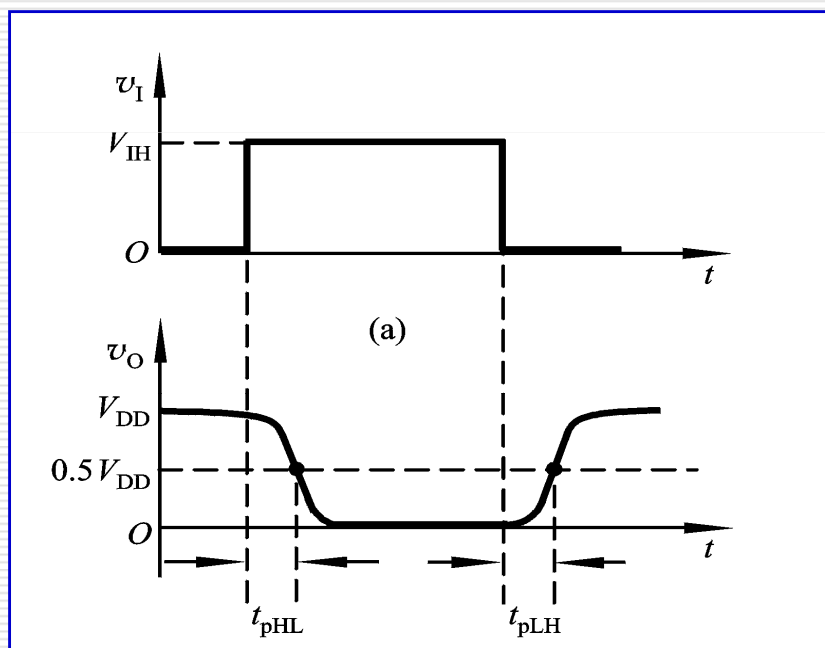
□ MOS管相当于一个由 v_{GS} 控制的无触点开关。



5. MOS管开关电路的动态特性

□ 由于MOS管栅极、漏极与衬底间电容，栅极与漏极之间的电容存在，电路在状态转换之间有电容充、放电过程。

□ 输出波形上升沿、下降沿变得缓慢。



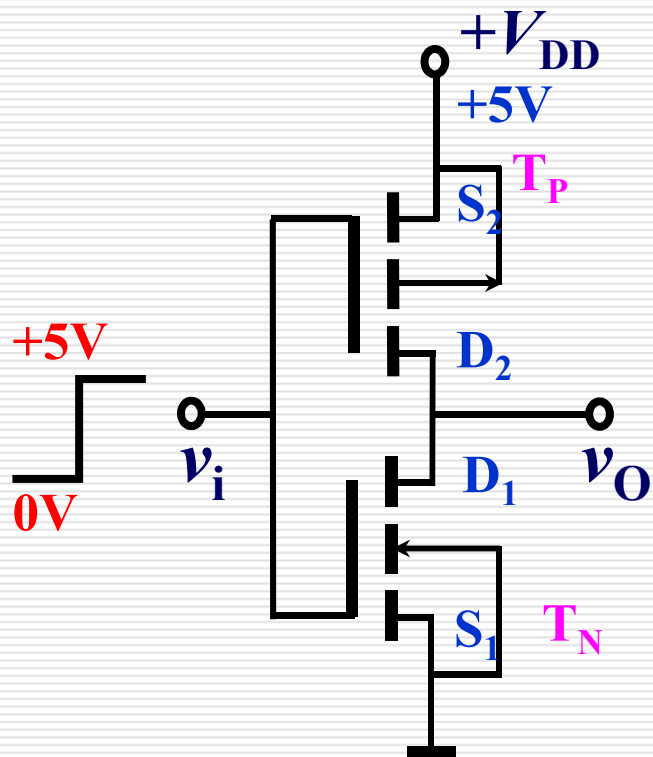
3.2.2 CMOS 反相器

1. 工作原理

$$V_{TN} = 2\text{ V}$$

$$V_{TP} = -2\text{ V}$$

$$V_{DD} > (V_{TN} + |V_{TP}|)$$



v_i	v_{GSN}	v_{GSP}	T_N	T_P	v_o
0 V	0V	-5V	截止	导通	5V
5 V	5V	0V	导通	截止	0 V

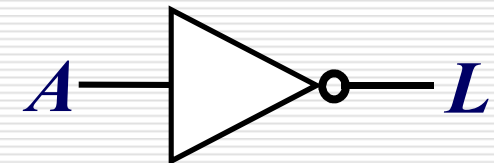
逻辑真值表

$v_i (A)$	$v_o (L)$
0	1
1	0

逻辑图

逻辑表达式

$$L = \overline{A}$$



上下对称（NMOS与PMOS）加个非。

CMOS反相器的重要特点：

第一， v_I 是高电平还是低电平， T_N 和 T_P 中总是一个导通而另一个截止。CMOS反相器的静态功耗几乎为零。

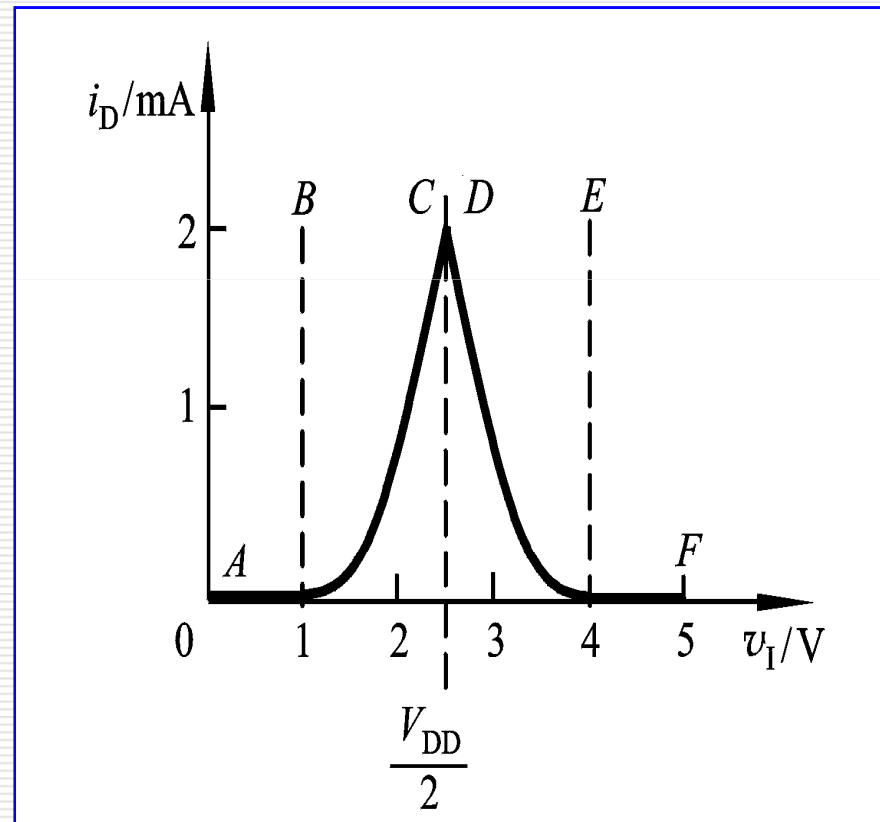
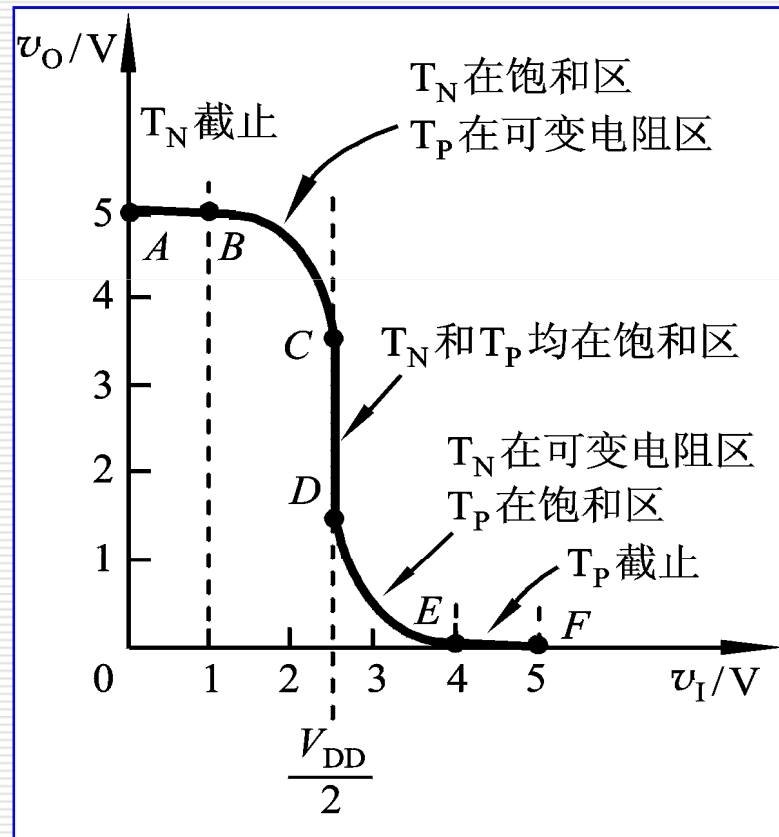
第二，MOS管导通电阻低，截止电阻高。使充、放电时间常数小，开关速度更快，具有更强的带负载能力。

第三，MOS管的， $I_G \approx 0$ ，输入电阻高。理论上可以带任意同类门，但负载门输入杂散电容会影响开关速度。

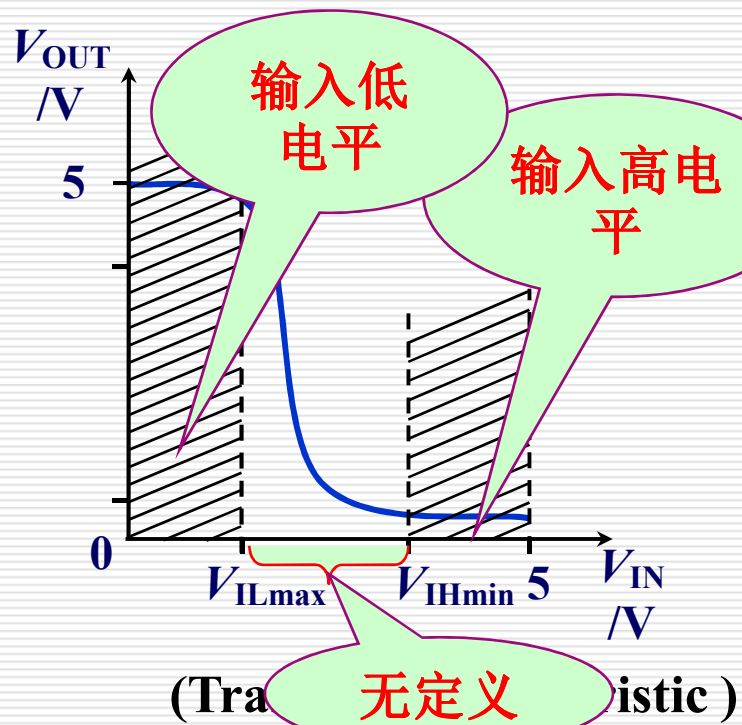
2. 电压传输特性和电流传输特性

电压传输特性 $v_O = f(v_I)$

电流传输特性 $i_D = f(v_I)$



3. 输入逻辑电平和输出逻辑电平

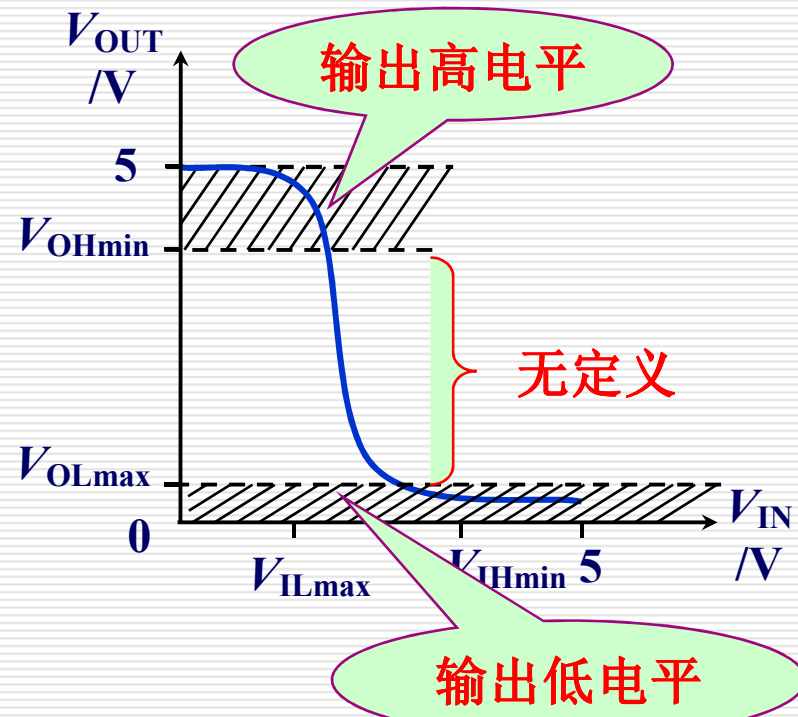


输入低电平的上限值

$$V_{IL(max)}$$

输出高电平的下限值

$$V_{OH(min)}$$



输入低电平的下限值

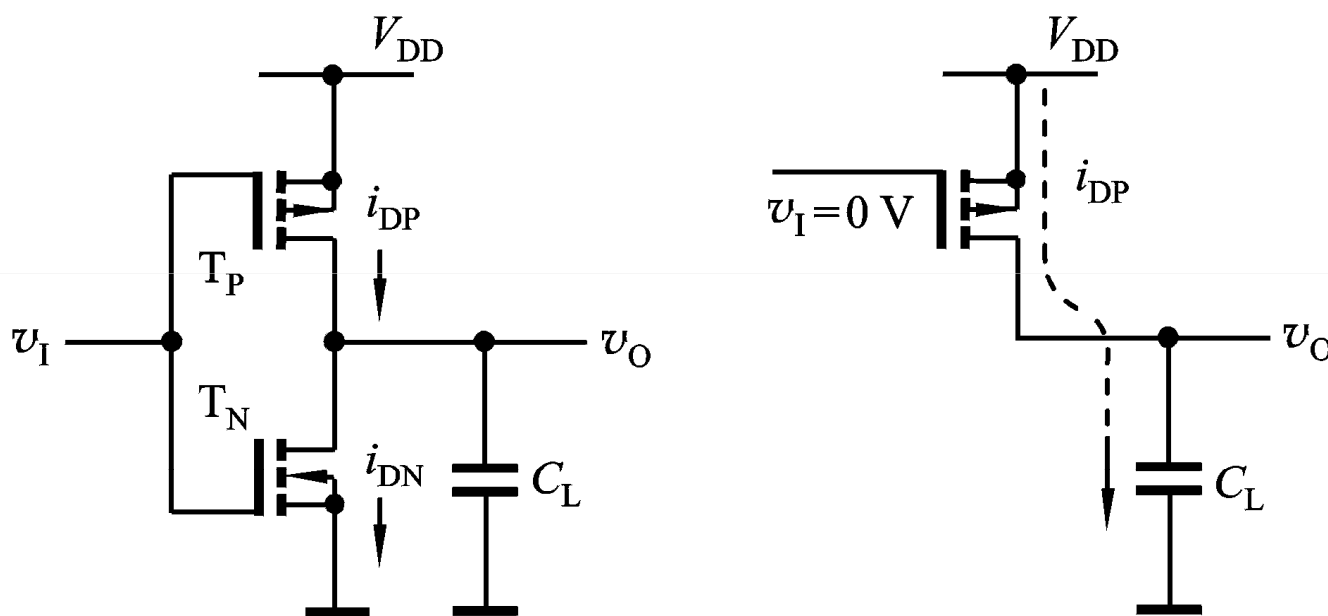
$$V_{IL(min)}$$

输出高电平的上限值

$$V_{OH(max)}$$

4.CMOS反相器的工作速度

带电容负载时的情况



在由于电路具有互补对称的性质，它的开通时间与关闭时间是相等的。平均延迟时间小于10 ns。

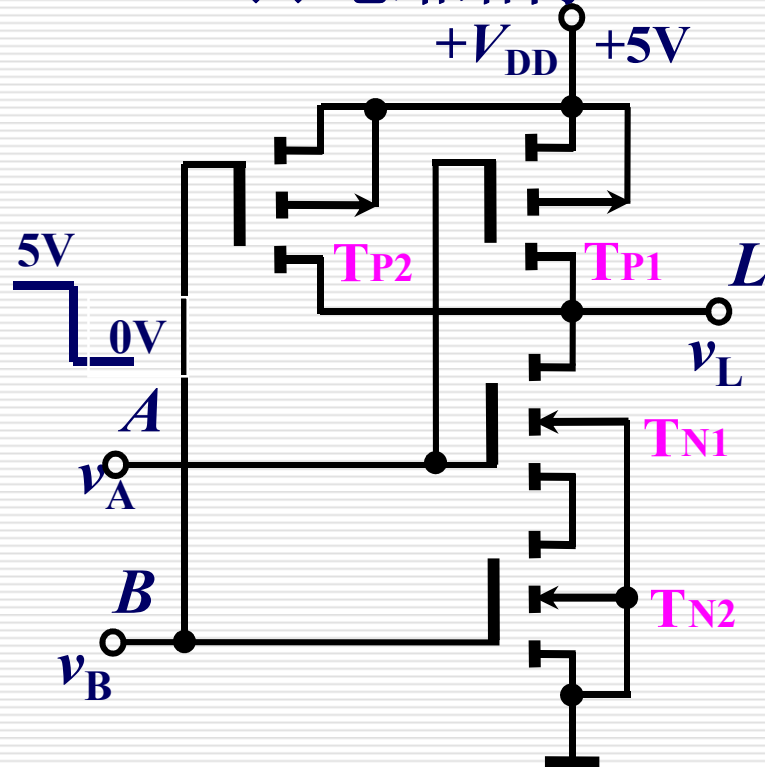
3.2.3 其他基本CMOS 逻辑门电路

1. CMOS 与非门

$$V_{TN} = 2 \text{ V}$$

$$V_{TP} = -2 \text{ V}$$

(a) 电路结构

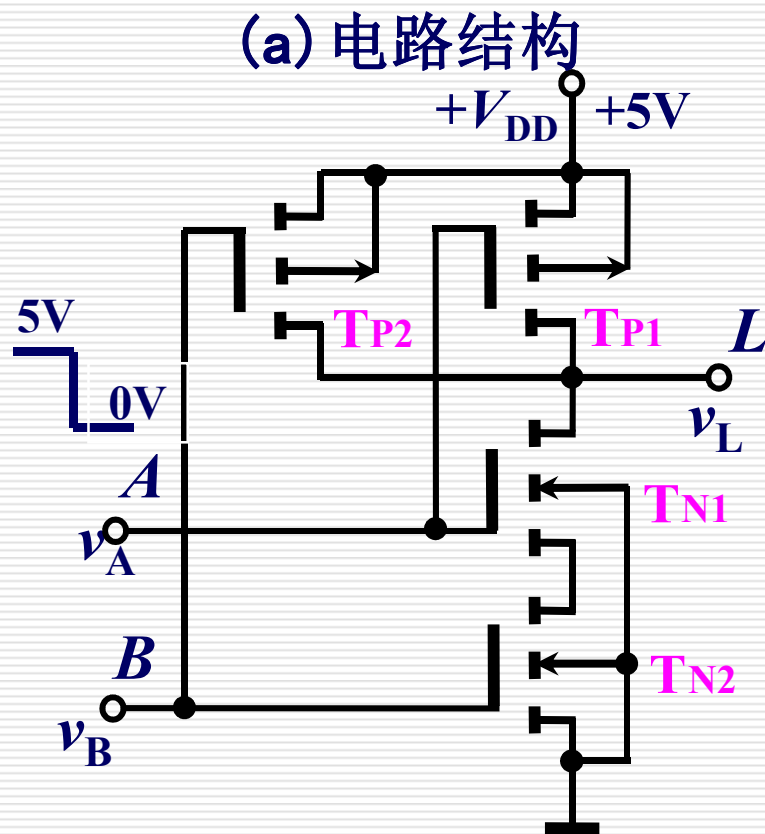


(b) 工作原理

A	B	T_{N1}	T_{P1}	T_{N2}	T_{P2}	L
0	0	截止	导通	截止	导通	1
0	1	截止	导通	导通	截止	1
1	0	导通	截止	截止	导通	1
1	1	导通	截止	导通	截止	0

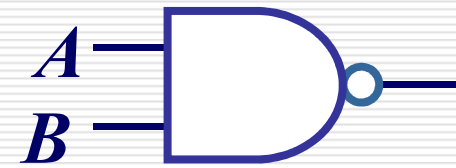
3.2.3 其他基本CMOS 逻辑门电路

1. CMOS 与非门



与非门

$$L = \overline{AB}$$

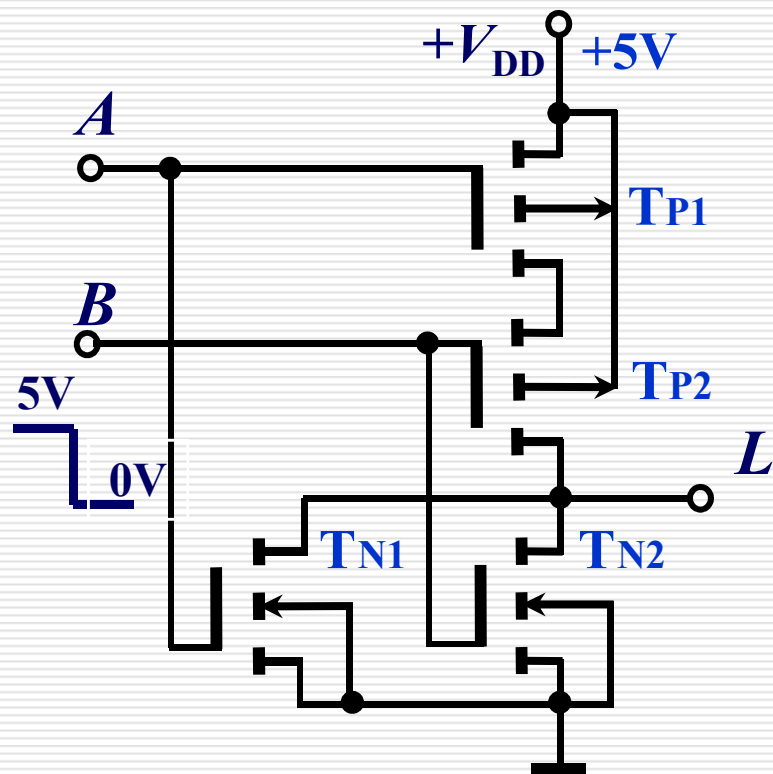


只看PMOS管，并联对应与，
串联对应或，
上下对称（NMOS与PMOS）
加个非。

N输入的与非门的电路？

输入端增加有什么问题？

2. CMOS 或非门

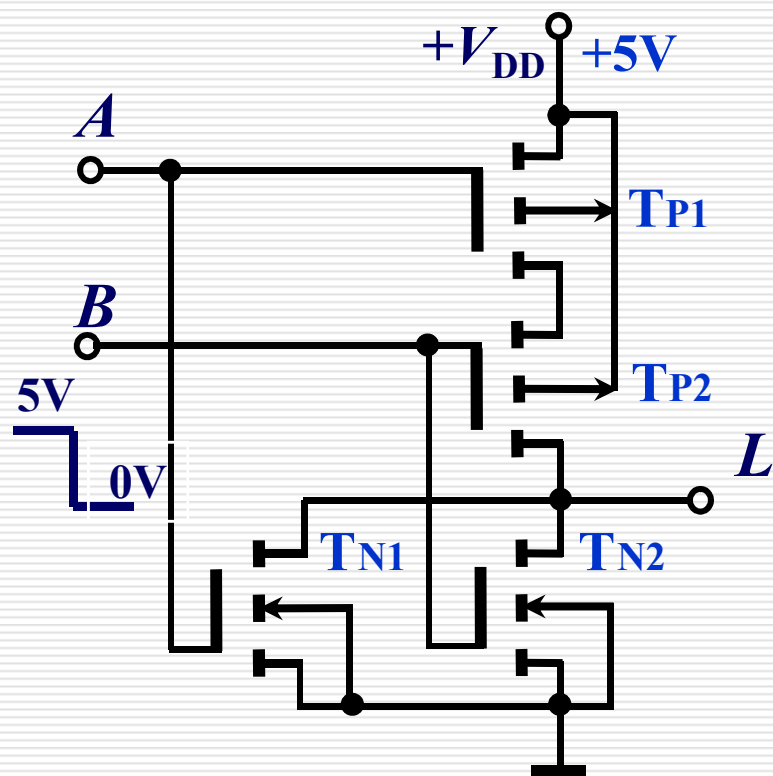


$$V_{TN} = 2 \text{ V}$$

$$V_{TP} = -2 \text{ V}$$

<i>A</i>	<i>B</i>	T_{N1}	T_{P1}	T_{N2}	T_{P2}	<i>L</i>
0	0	截止	导通	截止	导通	1
0	1	截止	导通	导通	截止	0
1	0	导通	截止	截止	导通	0
1	1	导通	截止	导通	截止	0

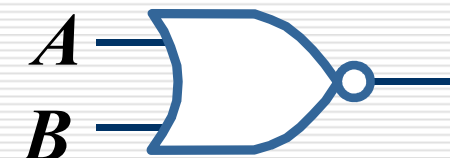
2. CMOS 或非门



N输入的或非门的电路的结构？

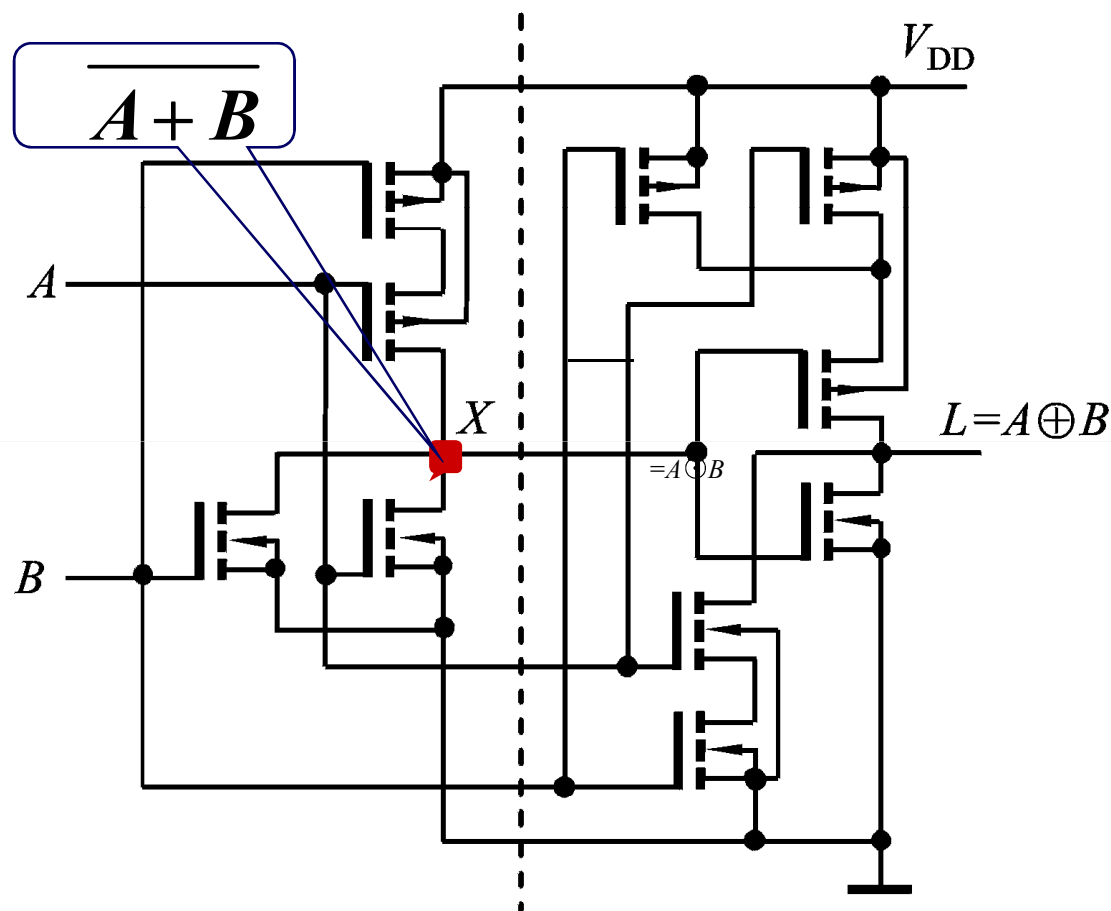
输入端增加有什么问题？

或非门
$$L = \overline{A + B}$$



只看PMOS管，
并联对应与，
串联对应或，
上下对称
(NMOS与
PMOS) 加个非。

例：分析CMOS电路，说明其逻辑功能。



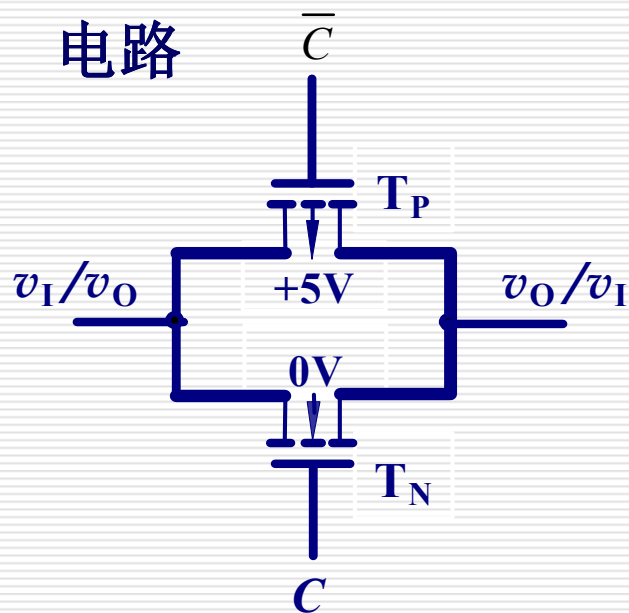
$$\begin{aligned} L &= \overline{A \cdot B + X} \\ &= \overline{A \cdot B + \overline{A + B}} \\ &= \overline{A \cdot B + \overline{A} \cdot \overline{B}} \\ &= A \oplus B \end{aligned}$$

异或门电路

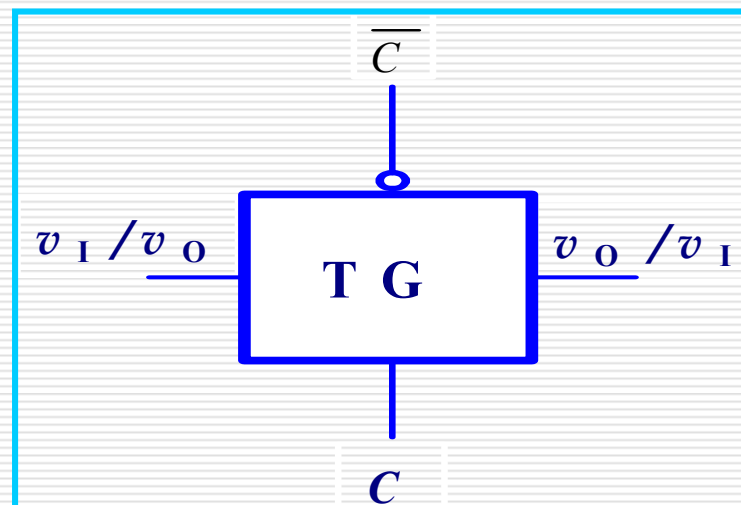
只看PMOS管，并联对应与，串联对应或，
上下对称（NMOS与PMOS）加个非。

3.2.4 CMOS传输门(双向模拟开关)

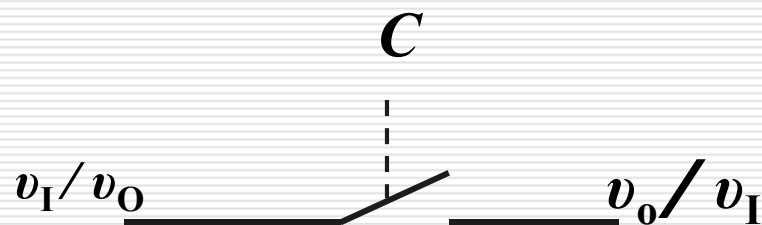
1. 传输门的结构及工作原理



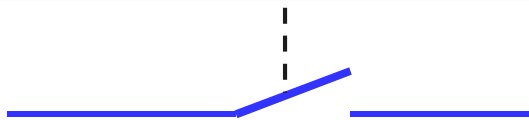
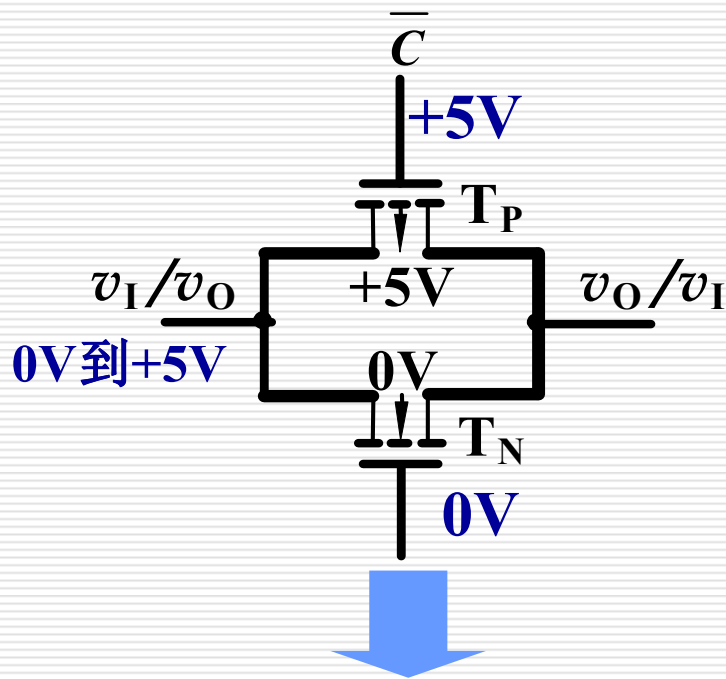
逻辑符号



等效电路



1、传输门的结构及工作原理



设 $T_P: |V_{TP}|=2V$, $T_N: V_{TN}=2V$,
 v_I 的变化范围为0到+5V。

$c=0=0V$, $\bar{c}=1=+5V$

1) 当 $c=0$, $\bar{c}=1$ 时

$$v_{GSN} = 0V - (0V \text{ 到 } +5V) = (0 \text{ 到 } -5)V$$

$v_{GSN} < V_{TN}$, T_N 截止

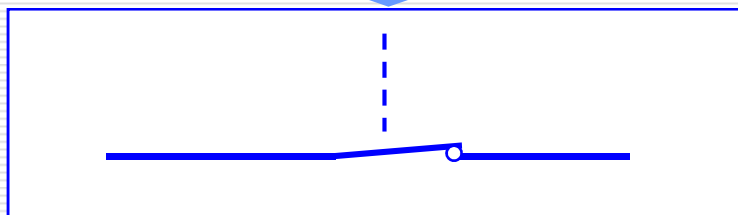
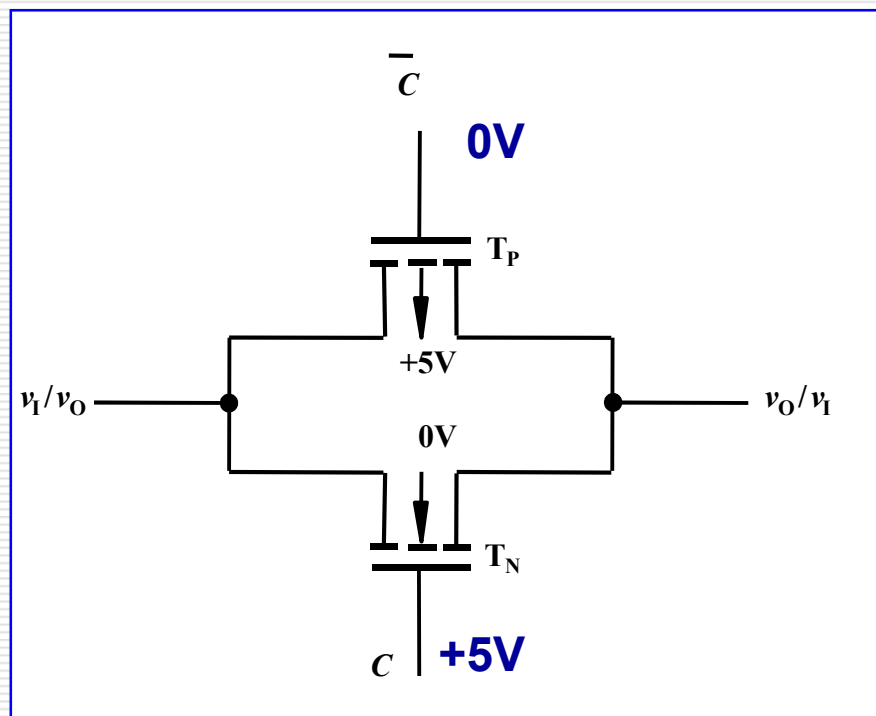
$$v_{GSP} = +5V - (0V \text{ 到 } +5V) = (5 \text{ 到 } 0)V$$

$v_{GSP} > 0$, T_P 截止

开关断开，不能转送信号

高阻状态

2) 当 $c=1$, $\bar{c}=0$ 时



a、 $v_I=0V\sim 3V$

$$v_{GSN}=5V - (0V\sim +3V)=(5\sim 2)V$$

$v_{GSN} > V_{TN}$, T_N 导通

b、 $v_I=2V\sim 5V$

$$v_{GSP}=0V - (2V\sim +5V)=-2V\sim -5V$$

$|v_{GSP}| > |V_T|$, T_P 导通

c、 $v_I=2V\sim 3V$

T_N 导通, T_P 导通

$$v_O = v_I$$

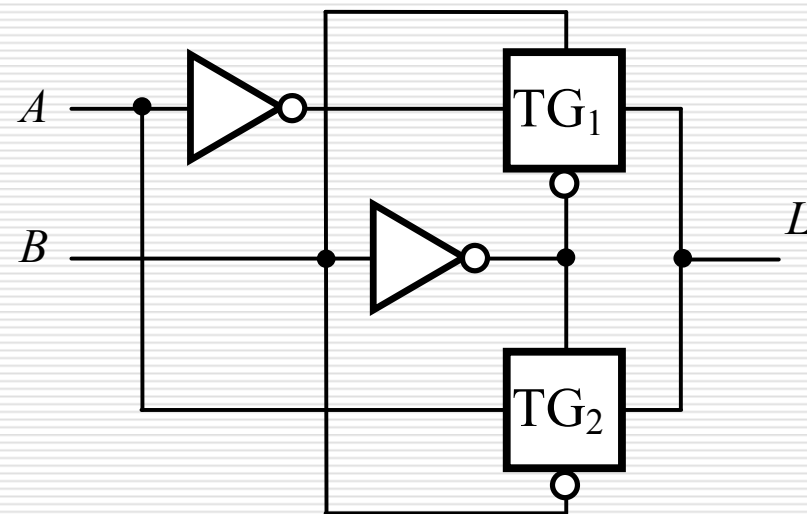
2. 传输门的应用例1

(1) 传输门组成的异或门

B=0

TG1断开, TG2导通

L=A



B=1

TG1导通, TG2断开

L= \bar{A}

2. 传输门的应用例2

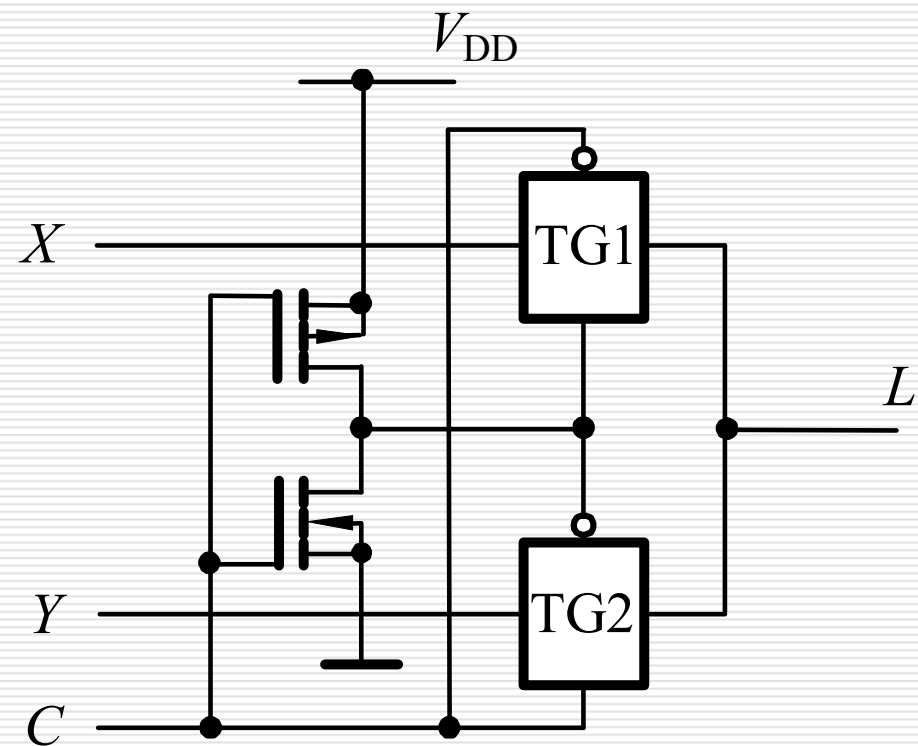
(2) 传输门组成的数据选择器

C=0

TG1导通, TG2断开
L=X

C=1

TG2导通, TG1断开
L=Y



3.3 CMOS逻辑门电路的不同输出结构及参数

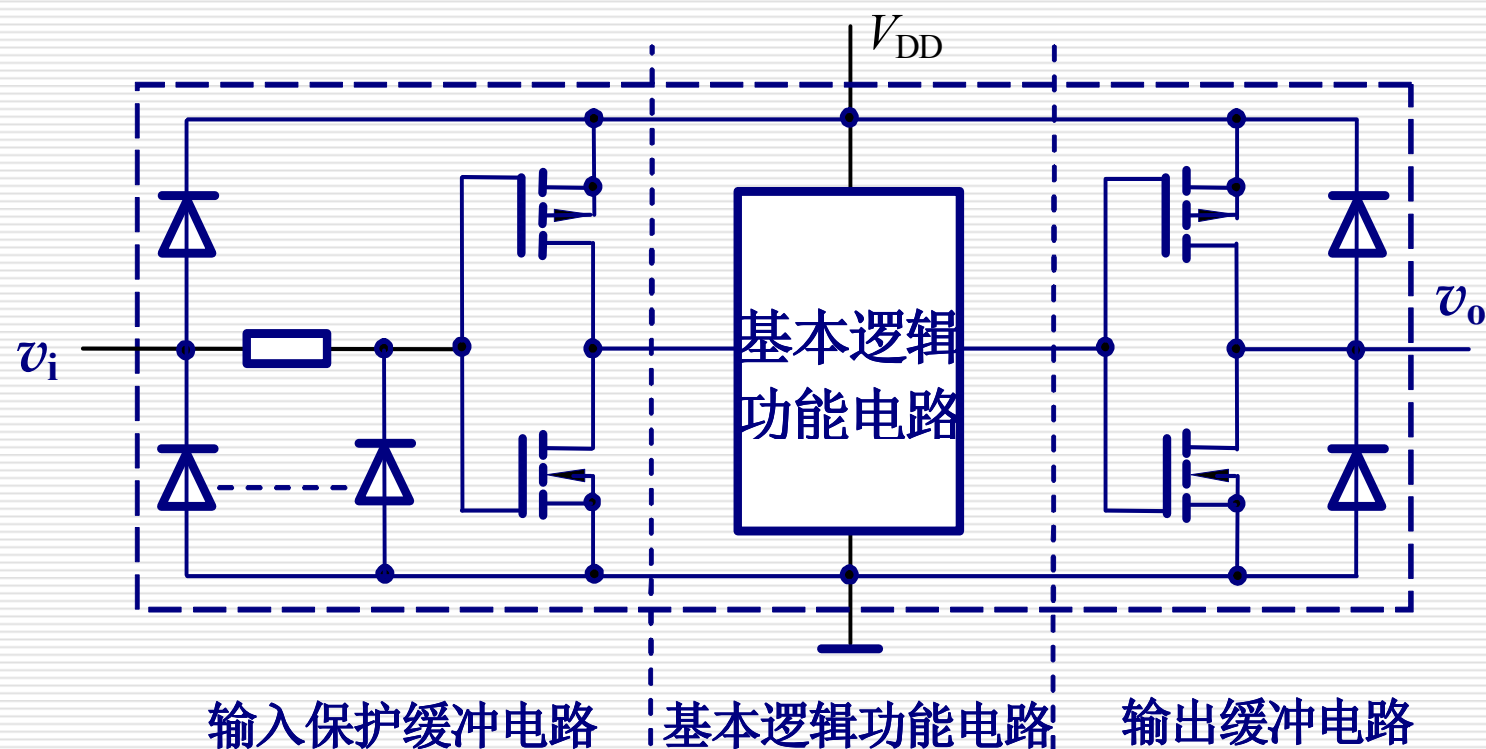
3.3.1 CMOS逻辑门电路的保护和缓冲电路

3.3.2 CMOS漏极开路和三态门电路

3.3.3 CMOS逻辑门电路的重要参数

3.3.1 输入保护电路和缓冲电路

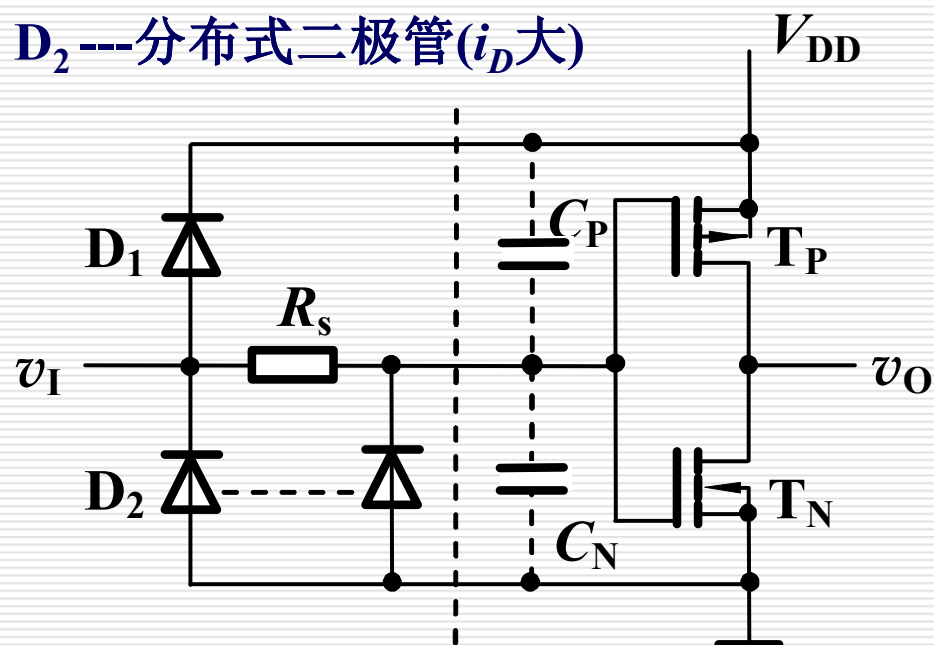
采用缓冲电路能统一参数，使不同内部逻辑集成逻辑门电路具有相同的输入和输出特性。



1. 输入端保护电路:

二极管导通电压: v_{DF}

D_2 --- 分布式二极管 (i_D 大)



$$(1) 0 < v_I < V_{DD} + v_{DF}$$

D_1 、 D_2 截止

$$(2) v_I > V_{DD} + v_{DF}$$

D_1 导通, D_2 截止

$$v_G = V_{DD} + v_{DF}$$

$$(3) v_I < -v_{DF}$$

D_2 导通, D_1 截止 $v_G = -v_{DF}$

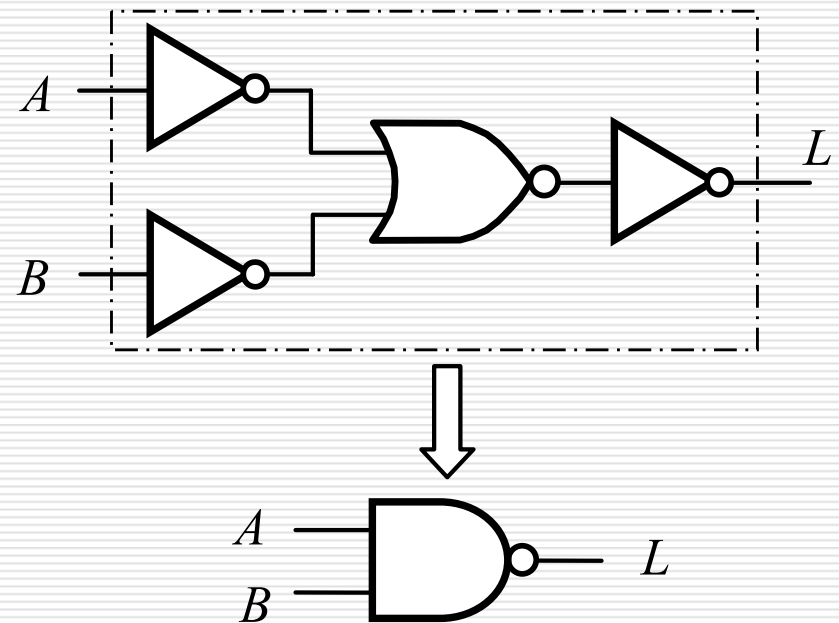
当输入电压不在正常电压范围时, 二极管导通, 限制了电容两端电压的增加, 保护了输入电路。

R_S 和MOS管的栅极电容组成积分网络, 使输入信号的过冲电压延迟且衰减后到栅极。

(2) 增加缓冲器后，有些电路的逻辑功能也随之改变了。

有时候，在输入、输出端加了反相器作为缓冲电路后，电路的逻辑功能随之也发生了变化。例如：下面的电路初始是或非门电路，增加了输入缓冲好输出缓冲器后的逻辑功能变为了与非功能。

$$L = \overline{\overline{A} + \overline{B}} = \overline{A \cdot B}$$

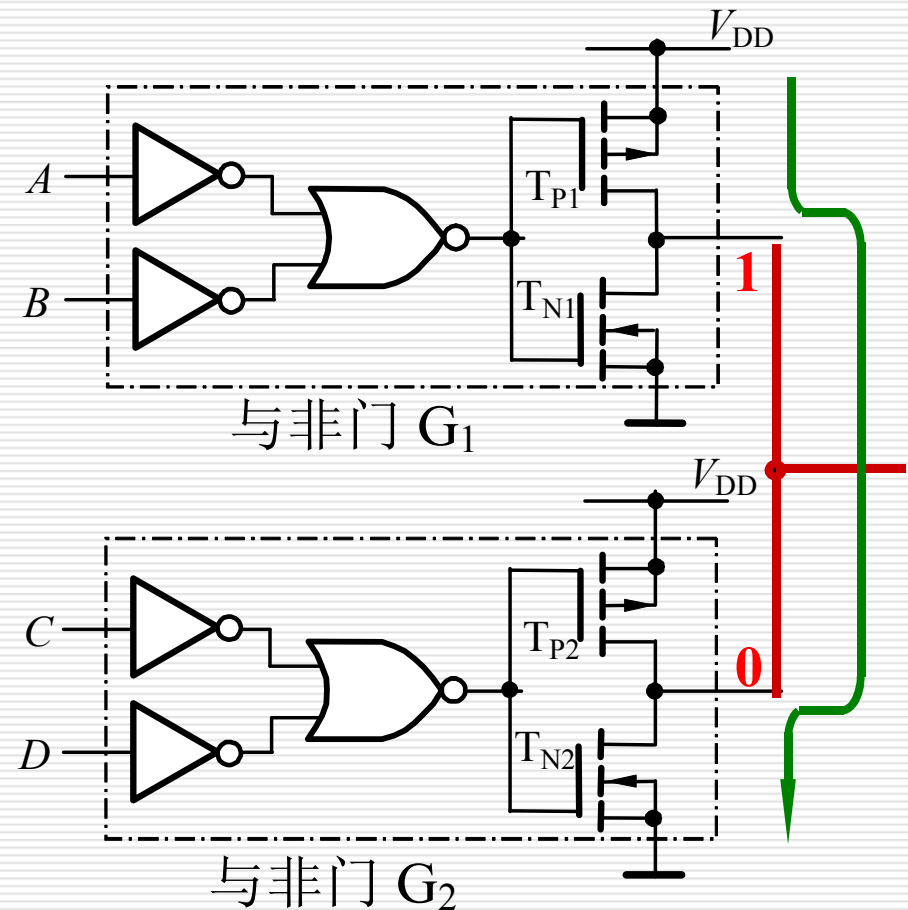


3.3.2 CMOS漏极开路（OD）门和三态输出门电路

1. CMOS漏极开路门

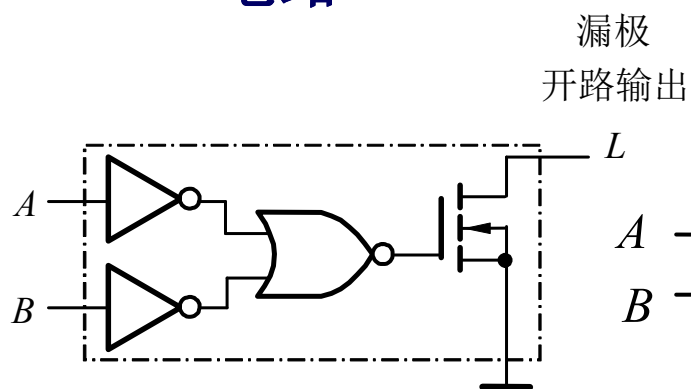
1.) CMOS漏极开路门的提出

输出短接，在一定情况下会产生低阻通路，大电流有可能导致器件的损毁，并且无法确定输出是高电平还是低电平。

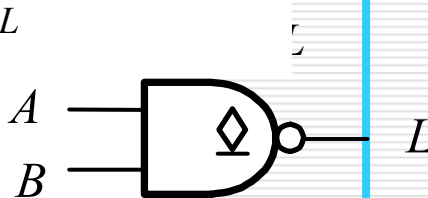


(2) 漏极开路门的结构与逻辑符号

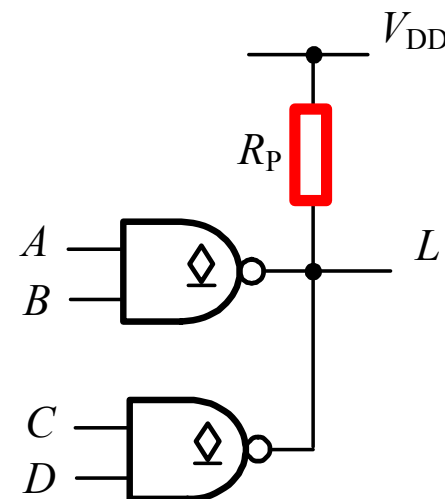
电路



逻辑符号



漏极开路门输出连接



(a) 工作时必须外接电源和电阻；

(b) 与非逻辑不变

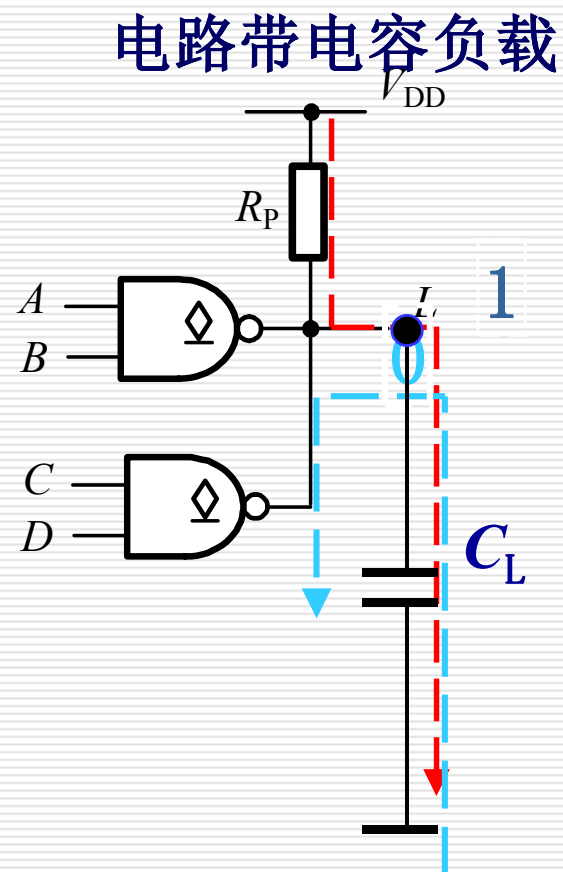
(c) 可以实现线与功能；

$$\begin{aligned} L &= \overline{AB} \cdot \overline{CD} \\ &= \overline{AB + CD} \end{aligned}$$

(2) 上拉电阻对OD门动态性能的影响

R_p 的值愈小，负载电容的充电时间常数亦愈小，因而开关速度愈快。
但功耗大，且可能使输出电流超过允许的最大值 $I_{OL(max)}$ 。

R_p 的值大，可保证输出电流不能超过允许的最大值 $I_{OL(max)}$ 、功耗小。
但负载电容的充电时间常数亦愈大，开关速度因而愈慢。



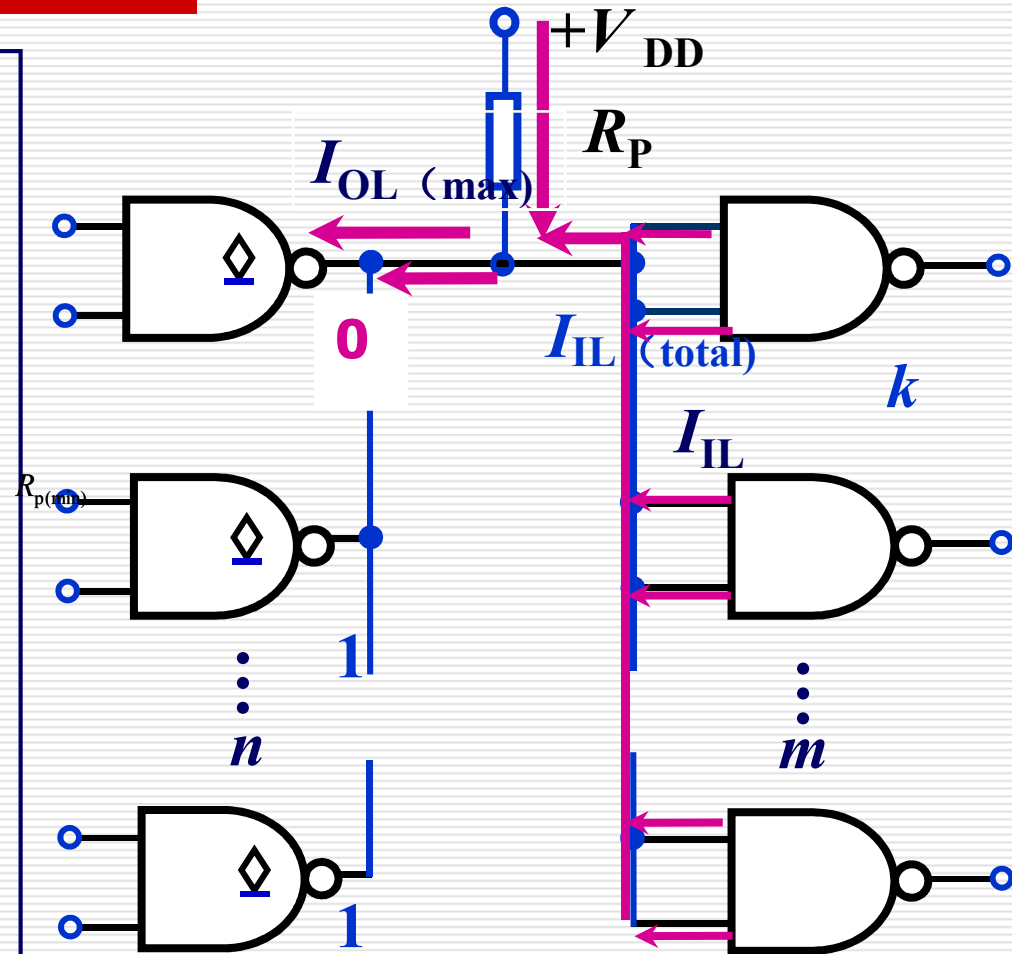
当 $V_O = V_{OL}$

最不利情况：

只有一个 OD 门导通，
为保证低电平输出 OD 门的输出
电流不能超过允许的最大值
 $I_{OL(max)}$ 且 $V_O = V_{OL(max)}$ ， R_P 不
能太小，最小值为 $R_{P(min)}$ 。

$$I_{OL(max)} = \frac{V_{DD} - V_{OL(max)}}{R_{P(min)}} + I_{IL(total)}$$

$$R_{P(min)} = \frac{V_{DD} - V_{OL(max)}}{I_{OL(max)} - I_{IL(total)}}$$

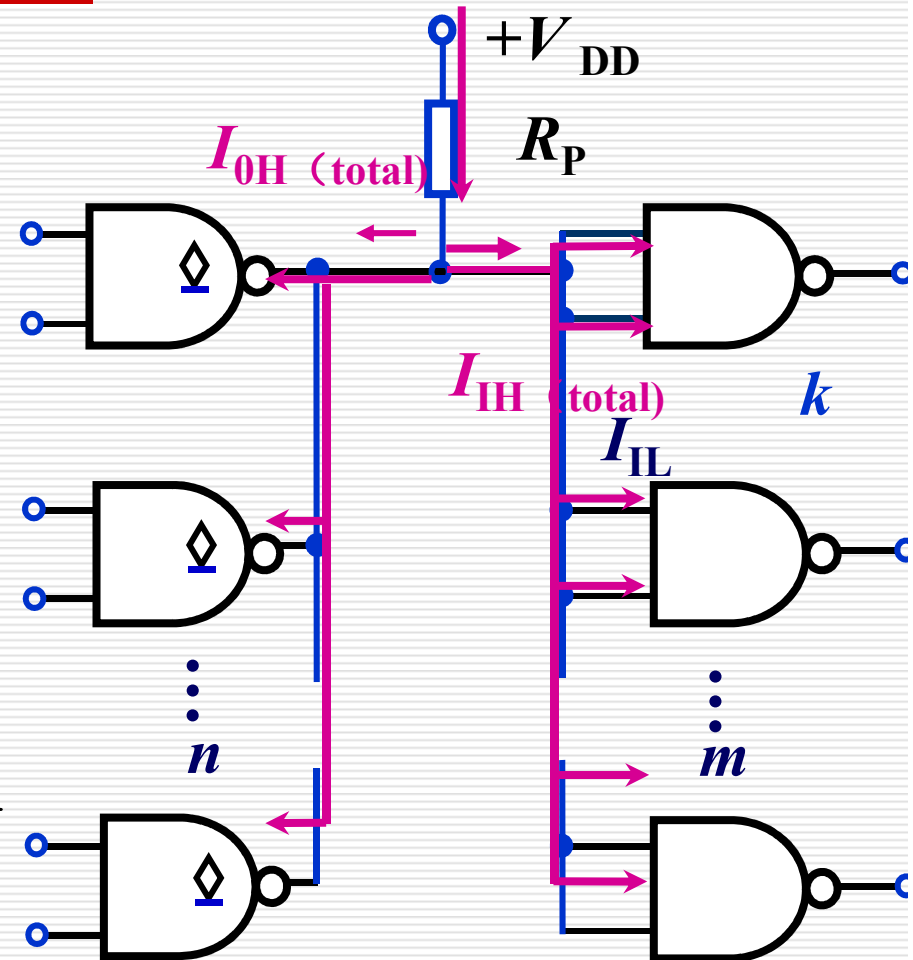


当 $V_O = V_{OH}$

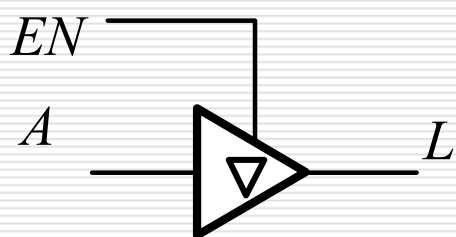
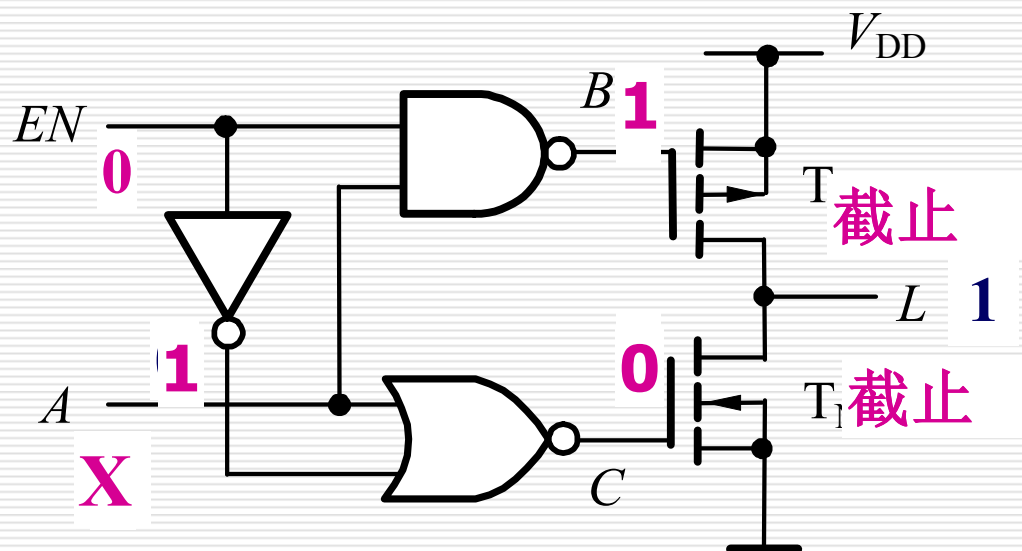
为使得高电平不低于规定的 V_{IH} 的最小值，则 R_p 的选择不能过大。

R_p 的最大值 $R_{p(max)}$:

$$R_{p(max)} = \frac{V_{DD} - V_{IH(min)}}{I_{OH(total)} + I_{IH(total)}}$$



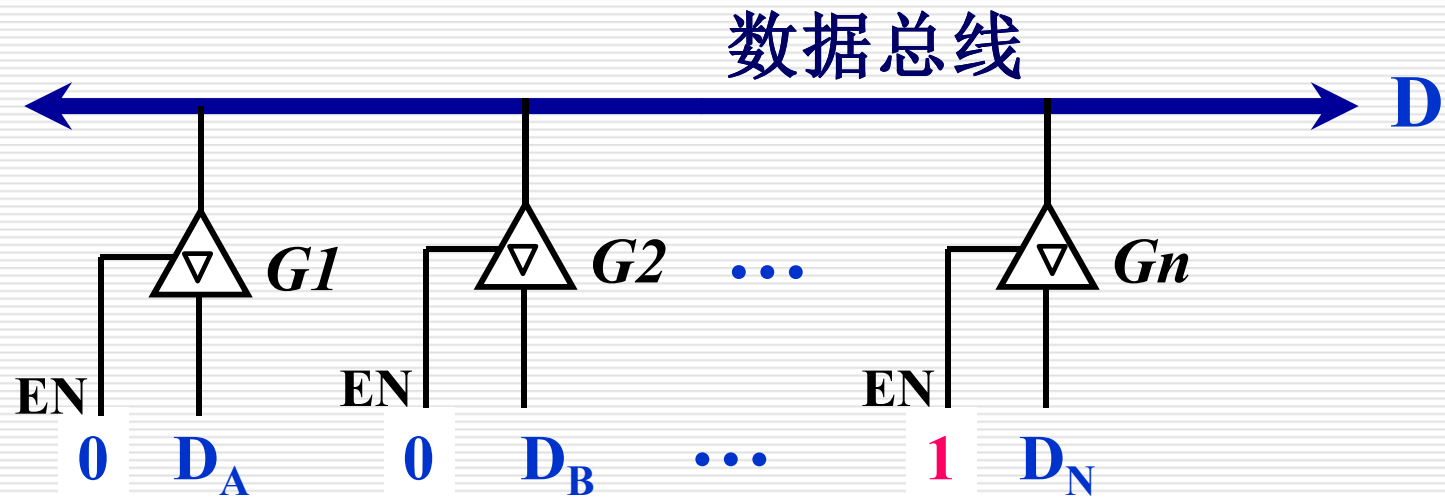
2.三态(TSL)输出门电路



使能 EN	输入 A	输出 L
1	0	0
1	1	1
0	×	高阻

逻辑功能：高电平有效的同相逻辑门

三态门电路的应用



任何时刻只能有一个门的使能端为有效，其他门输出高阻