
数 字 逻 辑

丁 贤 庆

ahhfdxq@163.com

通知

实验安排

数字逻辑电路课程有16个学时的实验，初步安排：
具体安排参见公共邮箱中的word文档。

本周开始进行实验环节，实验结束后16周周日（6月16号）晚23点前，各班学委要提交实验报告的电子版给我的邮箱ahhfdxq@163.com。不用收纸质报告了。

实验地点：综合实验楼306房间

关于实验报告

- 8次实验中，自己选择4次写到实验报告中就可以了。
 - 补充的实验不需要写到实验报告中。
-

第十章 作业布置

1、本周有实验。

第十章

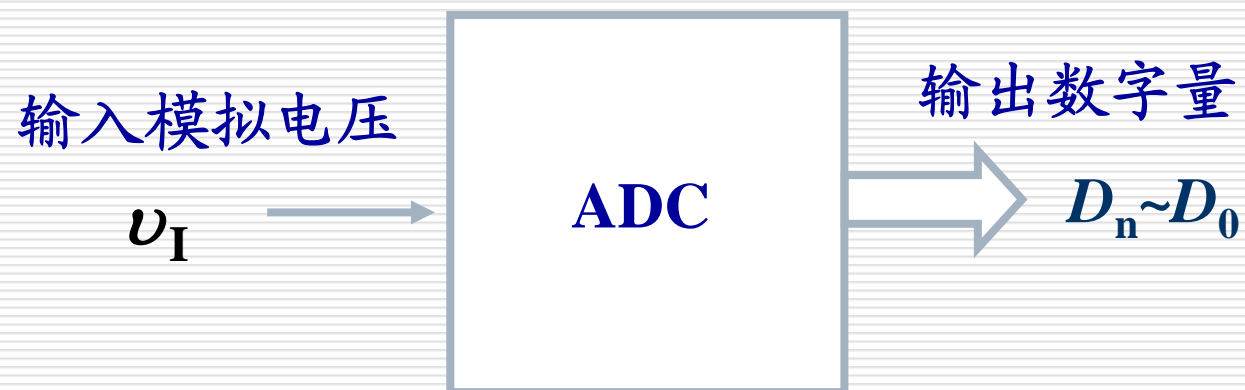
A/D 转换器

10.2 A/D 转换器

概述

1. A/D转换器功能

A/D转换器能将模拟电压成正比地转换成对应的数字量。



2. A/D转换器分类

① 并联比较型

特点: 转换速度快, 转换时间 $10\text{ns} \sim 1\mu\text{s}$, 但电路复杂。

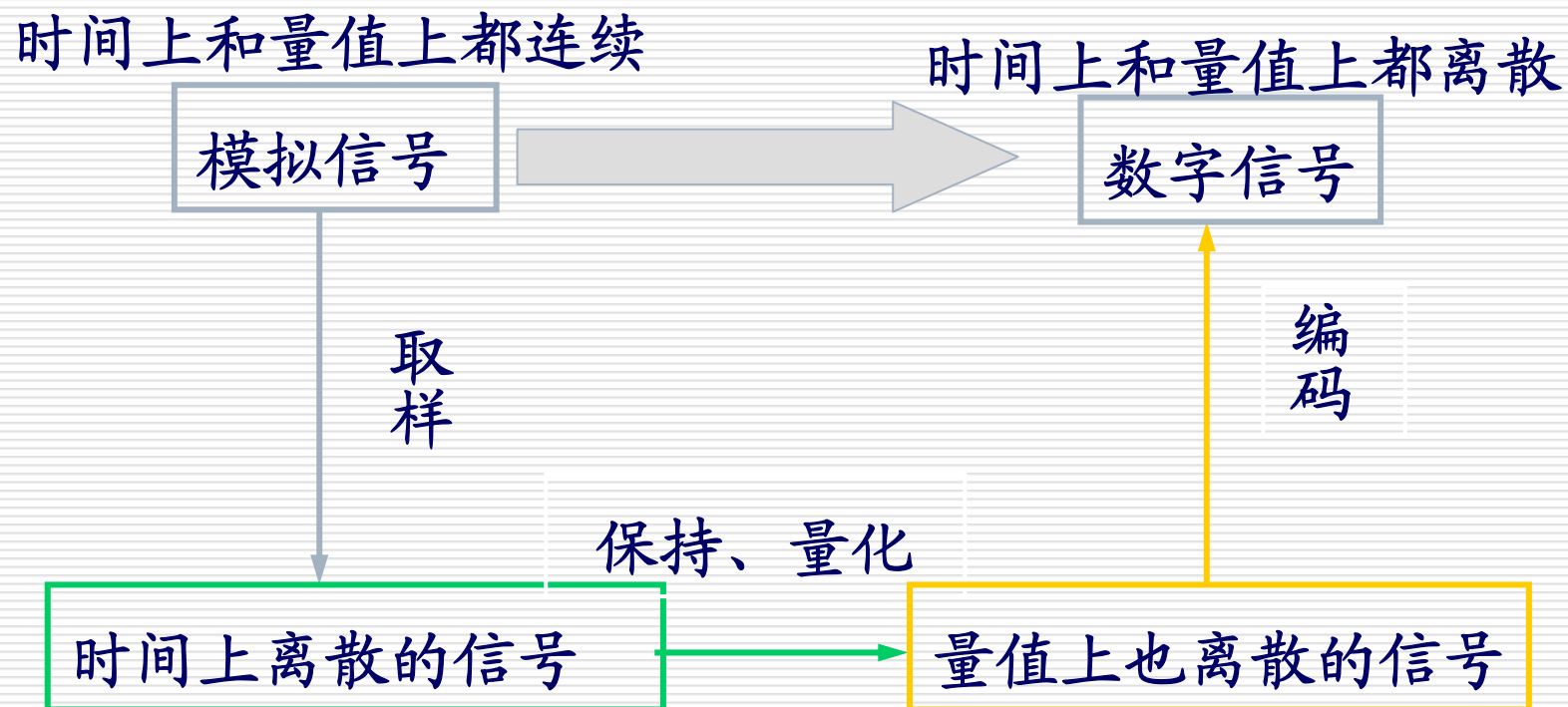
② 逐次逼近型

特点: 转换速度适中, 转换时间为 $\mu\text{s} \sim 100\mu\text{s}$, 转换精度高, 在转换速度和硬件复杂度之间达到一个很好的平衡。

③ 双积分型

特点: 转换速度慢, 转换时间 $\text{几百}\mu\text{s} \sim \text{几ms}$, 但抗干扰能力最强。

10.2.1 A/D转换的一般工作过程



A/D转换器一般要包括取样，保持，量化及编码4个过程。

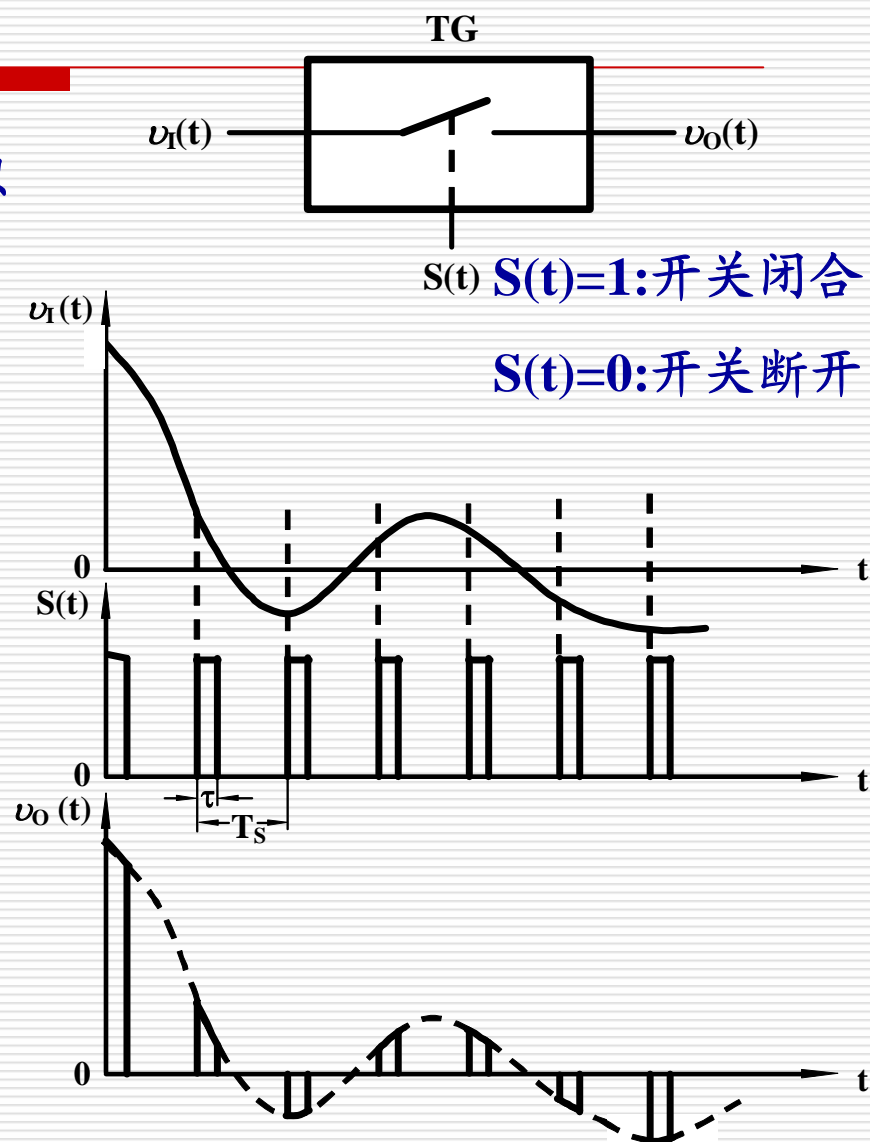
1. 取样与保持

采样是将随时间连续变化的模拟量转换为在时间离散的模拟量。

采样信号 $S(t)$ 的频率愈高，所采得信号经低通滤波器后愈能真实地复现输入信号。**合理的采样频率**由采样定理确定。

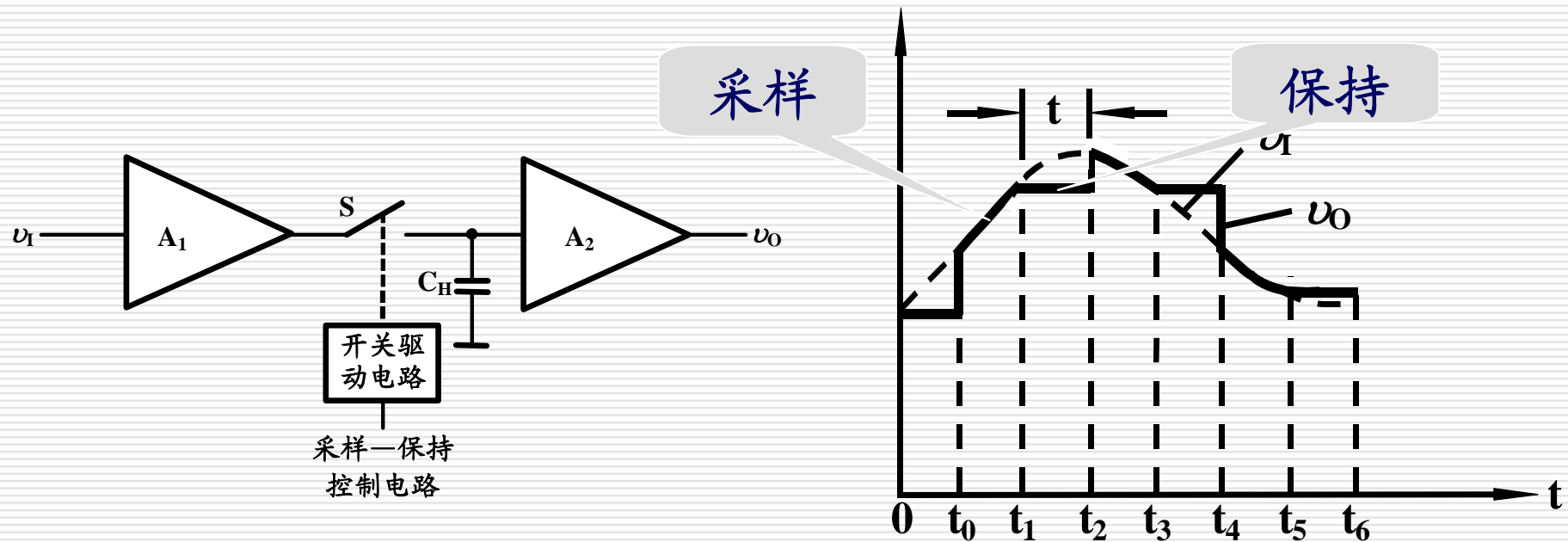
采样定理：设采样信号 $S(t)$ 的频率为 f_s ，输入模拟信号 $v_I(t)$ 的最高频率分量的频率为 f_{imax} ，

则 $f_s \geq 2f_{imax}$



取样与保持电路及工作原理

采得模拟信号转换为数字信号都需要一定时间，为了给后续的量
化编码过程提供一个稳定的值，在取样电路后要求将所采样的模
拟信号保持一段时间。



(b) 波形图

2. 量化与编码

量化

数字信号在数值上是离散的。采样-保持电路的输出电压还需按某种近似方式归化到与之相应的离散电平上，任何数字量只能是某个最小数量单位的整数倍。

编码

量化后的数值最后还需通过编码过程用一个编码表示出来。经编码后得到的代码就是A/D转换器输出的数字量。

3.量化误差：量化前的电压与量化后的电压差

在量化过程中由于所采样电压不一定能被 Δ 整除，所以量化前后一定存在误差，此误差我们称之为量化误差，用 ε 表示。

量化误差属原理误差，它是无法消除的。A/D转换器的位数越多，各离散电平之间的差值越小，量化误差越小。

4.量化方式

- 两种近似量化方式：只舍不入量化方式和四舍五入的量化方式。
-

a) 只舍不入 量化方式: 量化中把不足一个量化单位的部分舍弃;

对于等于或大于一个量化单位部分按一个量化单位处理。

例: 将0~1V电压转换为3位二进制代码

输入信号		量化后 电压	编码
7/32v	1.75/8v	1 7/8 v $7 \Delta = 7/8 \text{ v}$	111
		8 6/8 v $6 \Delta = 6/8 \text{ v}$	110
		5 5/8 v $5 \Delta = 5/8 \text{ v}$	101
		4 4/8 v $4 \Delta = 4/8 \text{ v}$	100
5/32v	1.25/8v	3 3/8 v $3 \Delta = 3/8 \text{ v}$	011
		2 2/8 v $2 \Delta = 2/8 \text{ v}$	010
		1 1/8 v $1 \Delta = 1/8 \text{ v}$	001
		0 0 v $0 \Delta = 0 \text{ v}$	000
0			

最小量化单位

$$\Delta = 1\text{LSB} = 1/8 \text{ V}$$

最大量化误差为:

$$|\varepsilon_{\max}| = 1\text{LSB} = 1/8 \text{ V}$$

b) **四舍五入**量化方式:量化过程将不足半个量化单位部分舍弃,
对于等于或大于半个量化单位部分按一个量化单位处理。

例: 将0~1V电压转换为3位二进制代码

输入信号	模拟 电平	编码
	1	
	$\frac{13}{15} \text{ V}$	$7 \Delta = 14/15 \text{ v}$ 111
	$\frac{15}{11} \text{ V}$	$6 \Delta = 12/15 \text{ v}$ 110
	$\frac{15}{9} \text{ V}$	$5 \Delta = 10/15 \text{ v}$ 101
	$\frac{15}{7} \text{ V}$	$4 \Delta = 8/15 \text{ v}$ 100
$11/60 \text{ v}$ $2.25/15 \text{ v}$	$\frac{15}{5} \text{ V}$	$3 \Delta = 6/15 \text{ v}$ 011
	$\frac{15}{3} \text{ V}$	$2 \Delta = 4/15 \text{ v}$ 010
$5/60 \text{ v}$ $1.25/15 \text{ v}$	$\frac{15}{1} \text{ V}$	$1 \Delta = 2/15 \text{ v}$ 001
	$\frac{1}{15} \text{ V}$	$0 \Delta = 0 \text{ v}$ 000
	0	

最小量化单位:

$$\Delta = 1\text{LSB} = 2/15 \text{ V}$$

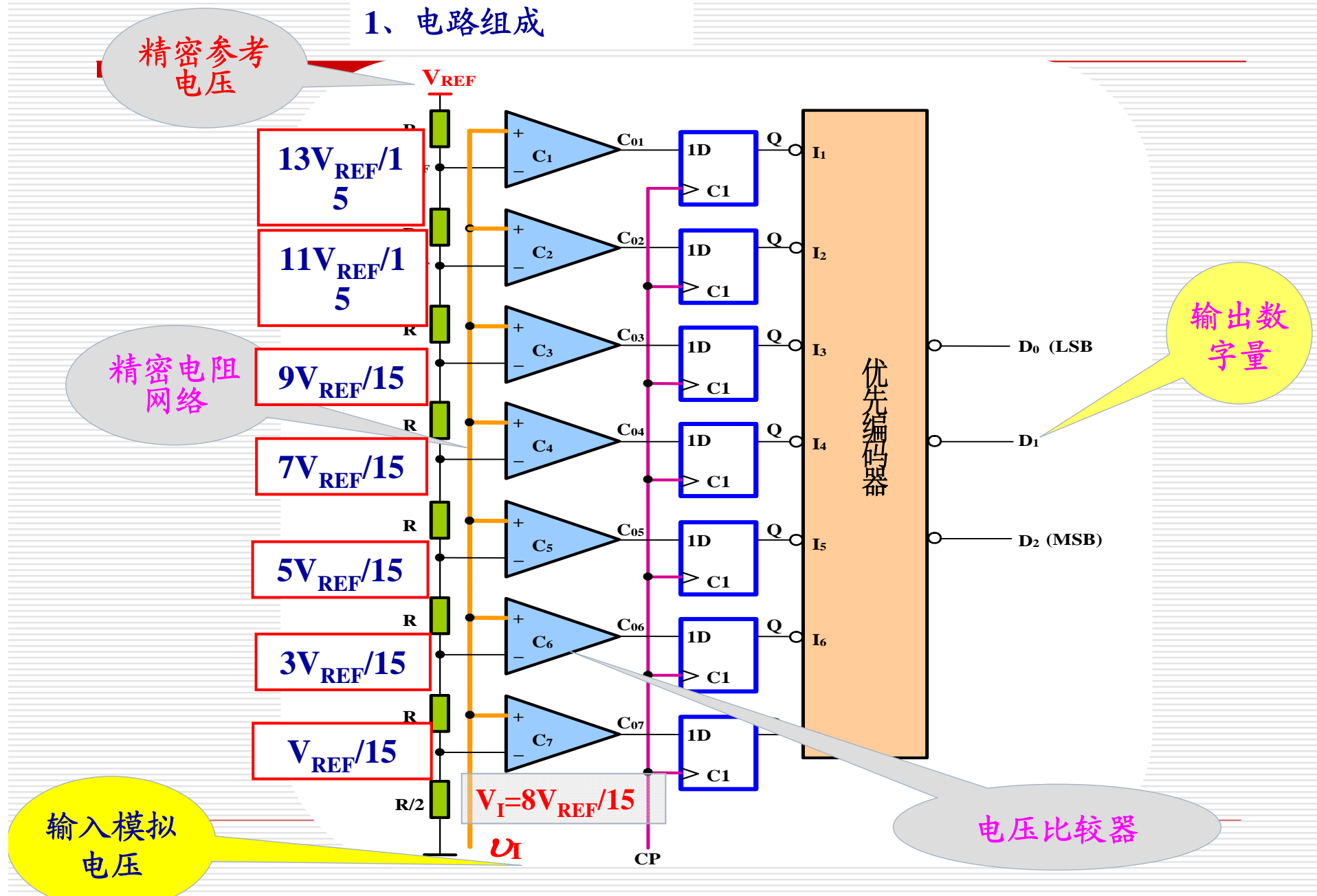
最大量化误差为:

$$|\epsilon_{\max}| = 1/15 \text{ V}$$

$$|\epsilon_{\max}| = \text{LSB}/2$$

10.2.2 并行比较型A/D转换器

1、电路组成



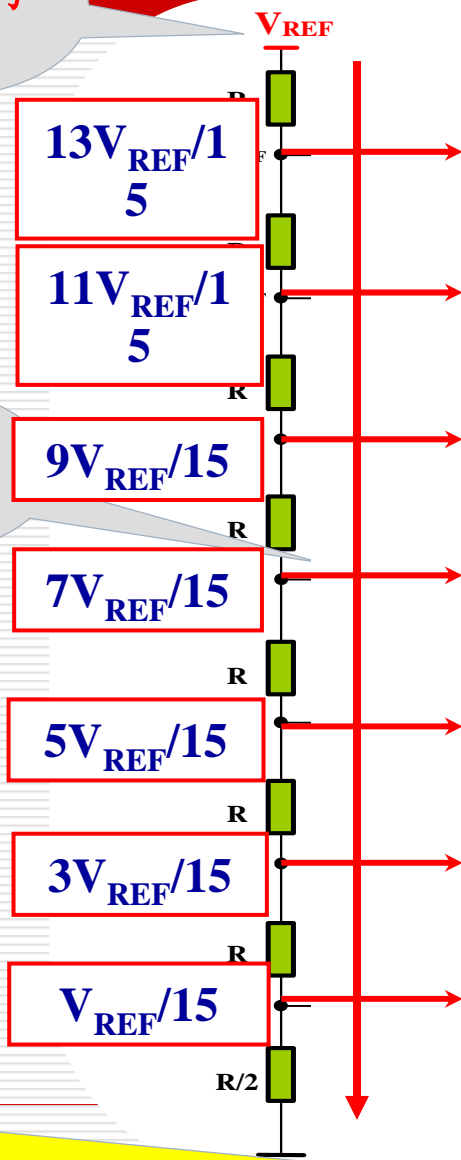
10.2.2 并行比较型A/D转换器

1、电路组成

精密参考电压

精密电阻网络

输入模拟电压



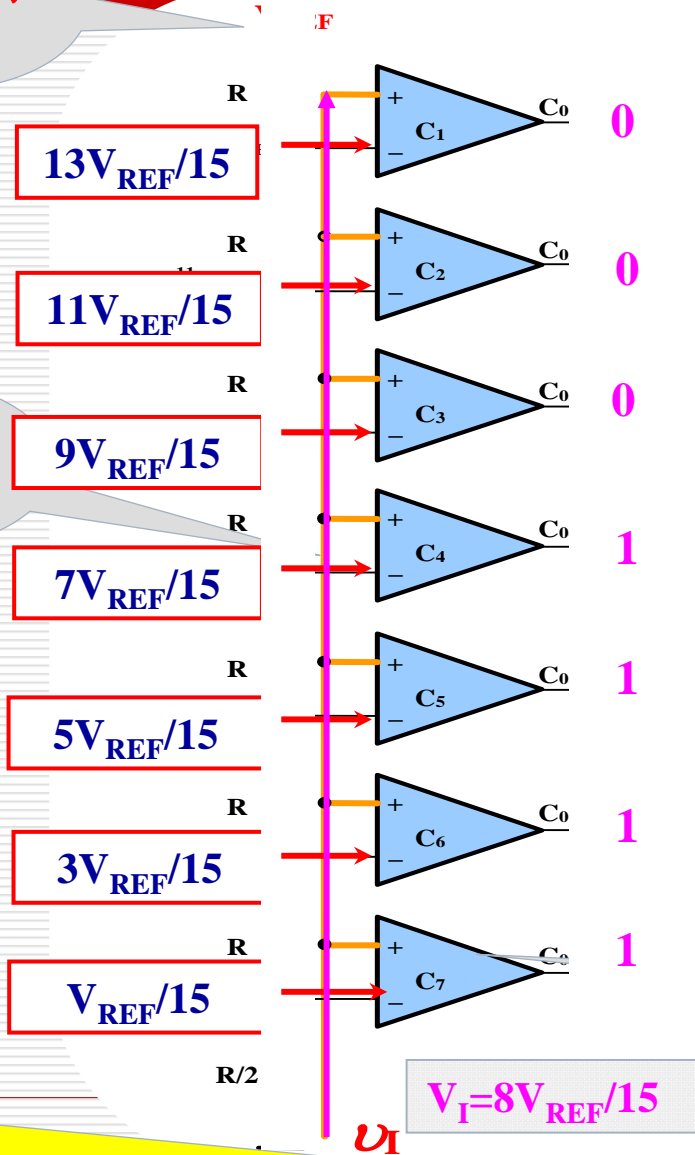
10.2.2 并行比较型A/D转换器

1、电路组成

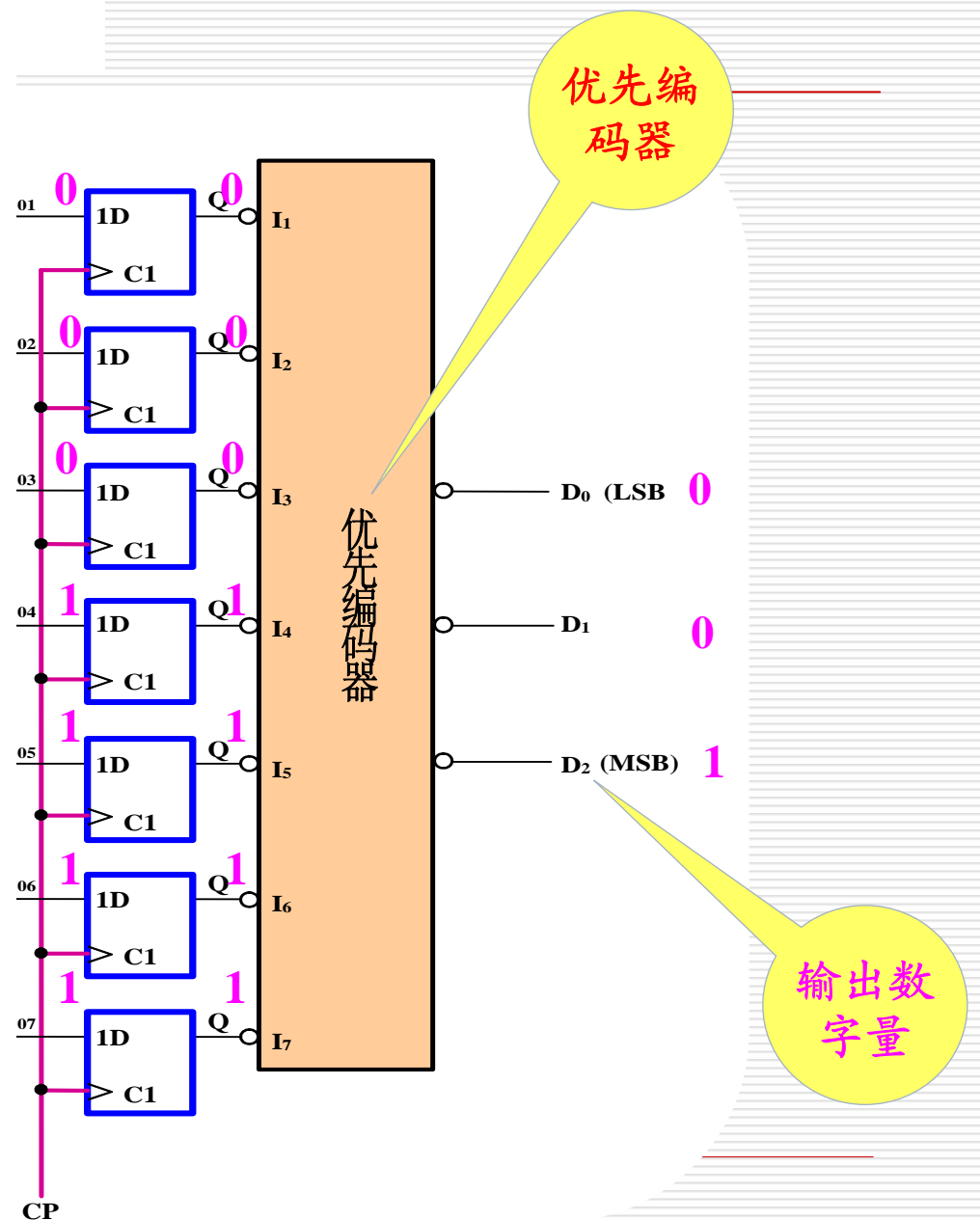
精密参考电压

精密电阻网络

输入模拟电压

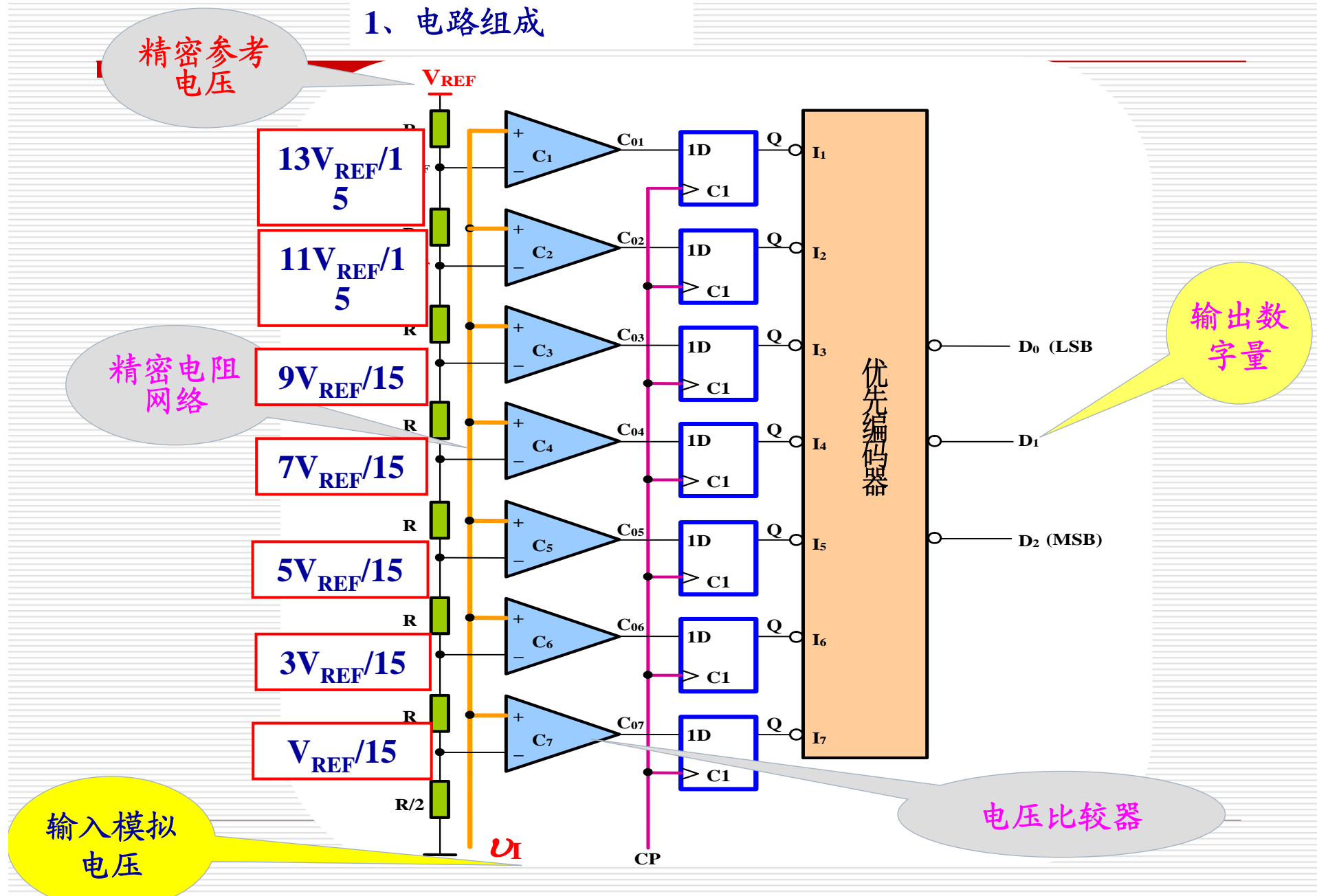


10.2.2 并行比较型A/D转换器



10.2.2 并行比较型A/D转换器

1、电路组成



根据各比较器的参考电压值，可以确定输入模拟电压值与各比较器输出状态的关系。比较器的输出状态由D触发器存储，经优先编码器编码，得到数字量输出。

V_I	C_{01} C_{02} C_{03} C_{04} C_{05} C_{06} C_{07}	D_2 D_1 D_0
$0 \leq V_I < V_{REF}/15$		0 0 0
$V_{REF}/15 \leq V_I < 3V_{REF}/15$		0 0 1
$3V_{REF}/15 \leq V_I < 5V_{REF}/15$		0 1 0
$5V_{REF}/15 \leq V_I < 7V_{REF}/15$		0 1 1
$7V_{REF}/15 \leq V_I < 9V_{REF}/15$		1 0 0
$9V_{REF}/15 \leq V_I < 11V_{REF}/15$		1 0 1
$11V_{REF}/15 \leq V_I < 13V_{REF}/15$		1 1 0
$13V_{REF}/15 \leq V_I < 15V_{REF}/15$		1 1 1

2、电路特点:

- 单片集成并行比较型A/D转换器的产品很多，如AD公司的AD9012 (TTL工艺8位)、AD9002 (ECL工艺，8位)、AD9020 (TTL工艺，10位)等。
 - 在并行A/D转换器中，输入电压 u_I 同时加到所有比较器的输入端。如不考虑各器件的延迟，可认为三位数字量是与 u_I 输入时刻同时获得的。所以它的转换时间最短。
 - 缺点是电路复杂，如三位ADC需7个比较器、7个触发器、8个电阻。位数越多，电路越复杂。
 - 为了解决提高分辨率和增加元件数的矛盾，可以采取分级并行转换的方法。
-

10.2.5 A/D转换器的主要技术指标

1. 转换精度

单片集成A/D转换器的转换精度是用分辨率和转换误差来描述的。

- 分辨率:

说明A/D转换器对输入信号的分辨能力。通常以输出二进制(或十进制)数的位数表示。

- 转换误差:

表示A/D转换器实际输出的数字量和理论上的输出数字量之间的差别。

2. 转换时间

指A/D转换器从转换控制信号到来开始，到输出端得到稳定的数字信号所经过的时间。A/D转换器的转换时间与转换电路的类型有关

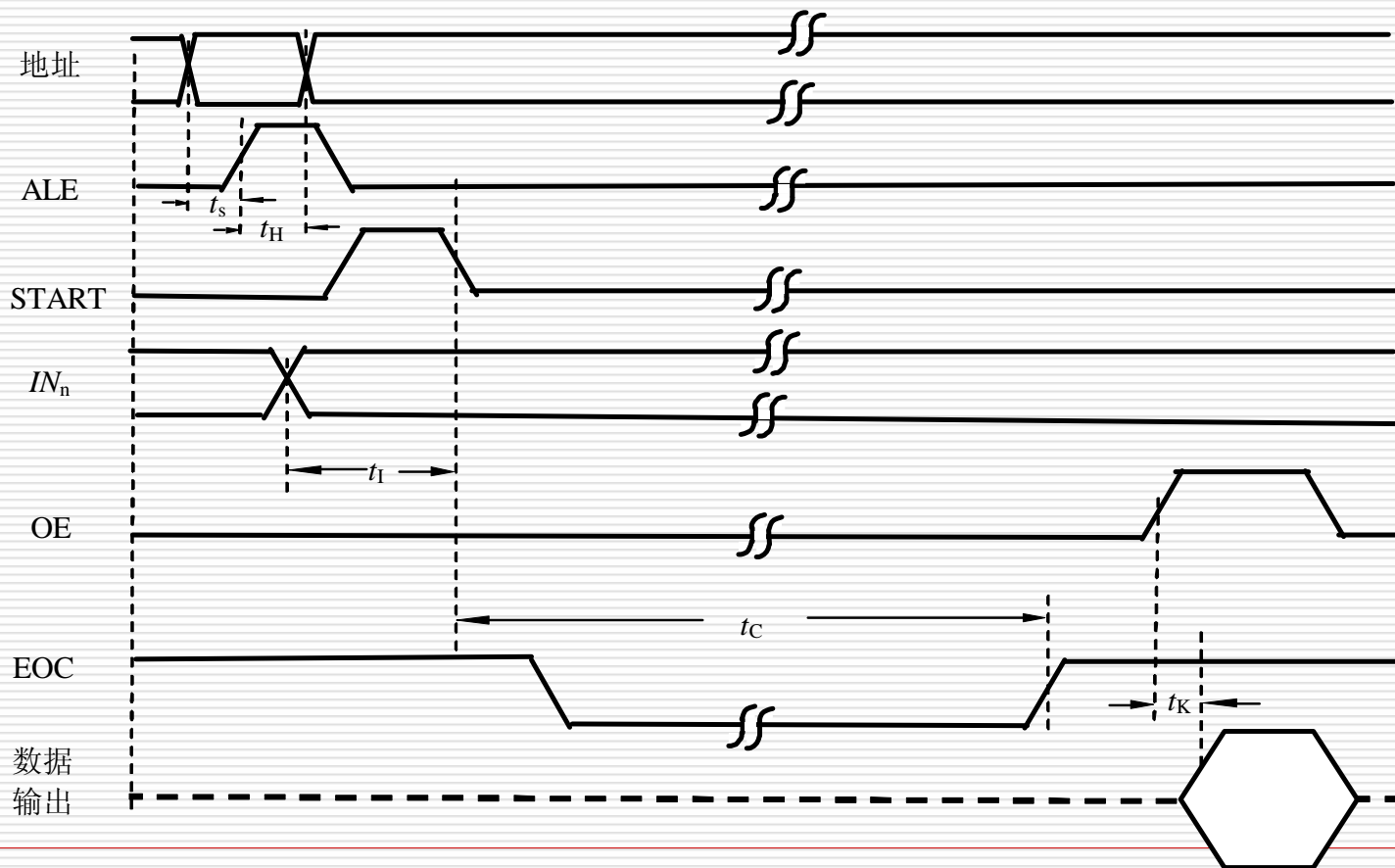
并行比较A/D转换器(8位)	<50ns
逐次比较型A/D转换器	10~50 μ s
间接A/D转换器	10ms~1000ms

- 并行比较A/D转换器的转换速度最高，
- 逐次比较型A/D转换器次之，
- 间接A/D转换器(如双积分A/D)的速度最慢。

10.2.6 集成A/D转换器及其应用

1. 使用A/D转换器时应注意以下几点:

(1) 转换过程各信号的时序配合

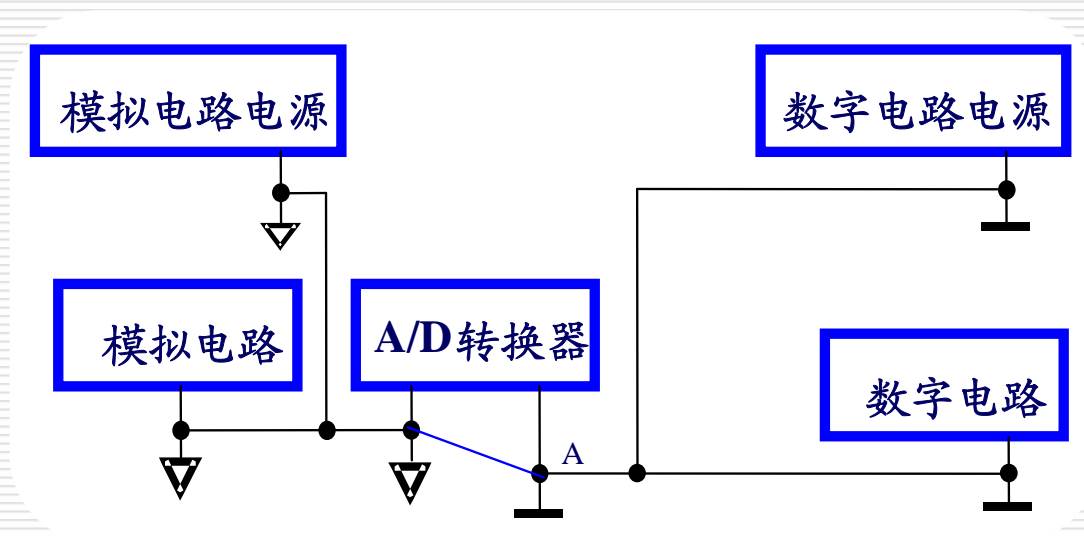


(2) 零点和满刻度调节

(3) 参考电压的调节

(4) 接地

- 模数、数模转换电路中要特别注意到地线的正确连接，否则干扰很严重，以致影响转换结果的准确性。



- A/D、D/A及采样保持芯片上都提供了独立的模拟地(AGND)和数字地(DGND)的引脚。
- 在线路设计中，必须将所有器件的模拟地和数字地分别相连，然后将模拟地与数字地仅在一点上相连接。

第十一章

数字系统设计基础

算法状态机和ASM图

11.2 算法状态机图（ASM图）

ASM : Algorithmic State Machine

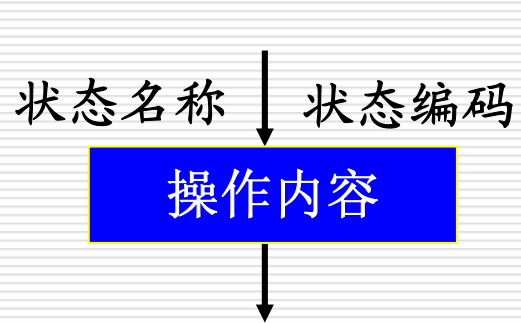
算法状态机ASM是设计数字系统的常用工具，主要用于同步系统的逻辑设计阶段，可以准确地描述控制器的功能和状态变化条件。此外，ASM可以精确地表示出状态转换的时间关系，而一般的算法语言只能表达事件的先后顺序，无法表示其所经历的时间。

ASM图 —— 是描述数字系统硬件算法的流程图。

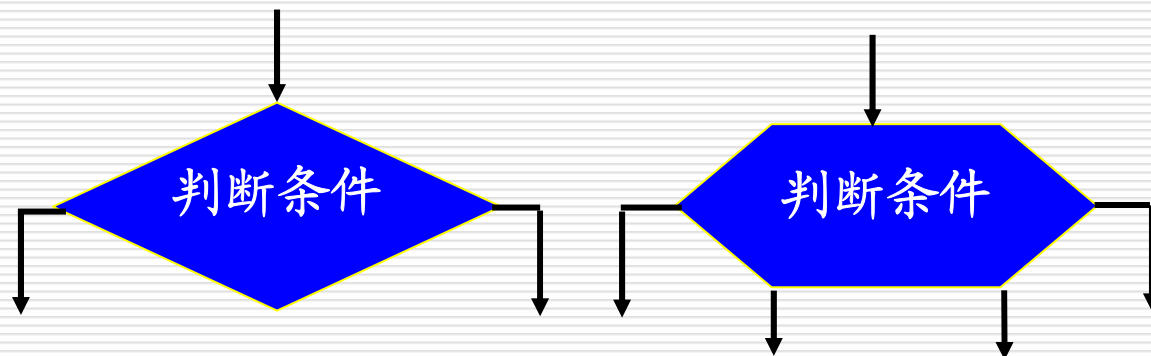
—— 可以反映控制条件、控制器状态转换、控制器输出，以及处理器执行的操作，从而精确地描述整个系统的工作过程；另外，根据ASM图可以很容易地得到状态函数和输出函数，从而得出相应的硬件电路。

1. ASM图符号

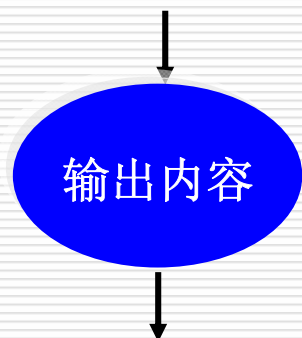
ASM图由三个基本图形符号组成：**状态框**、**判断框**和**条件输出框**，如下图所示。



(a) **状态框**



(b) **判断框**

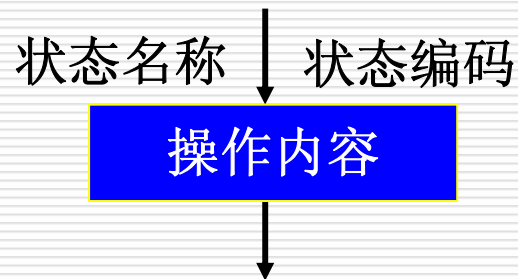


(c) **条件输出框**

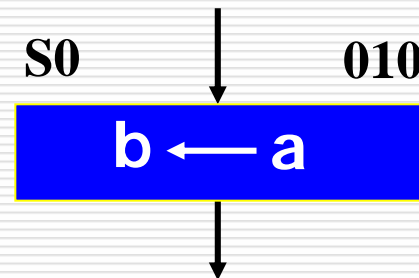
ASM的基本图形符号

2、状态框

- 状态框用**矩形框**表示，一个矩形框，代表了数字系统控制器的**时序状态图中的一个状态**。其表示方式为：在**框内**列出该状态下数据子系统应该进行的**操作**及为实现这种操作而产生的**控制信号**输出；**框的左上方**表明**状态名称**；**右上方**写上**状态编码**。



(a) 状态框

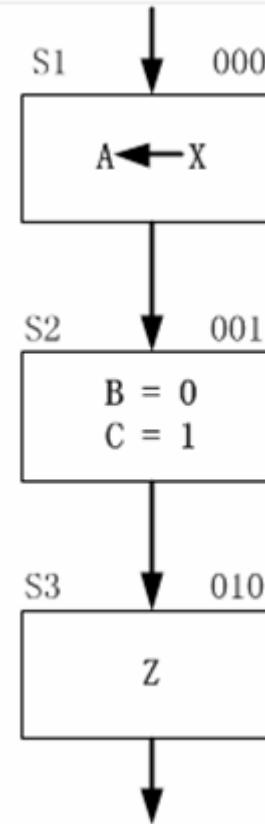


状态框实例

一个状态框占用一个cp(时钟)

□ 状态框 the state box

一个状态框占用一个cp(时钟)



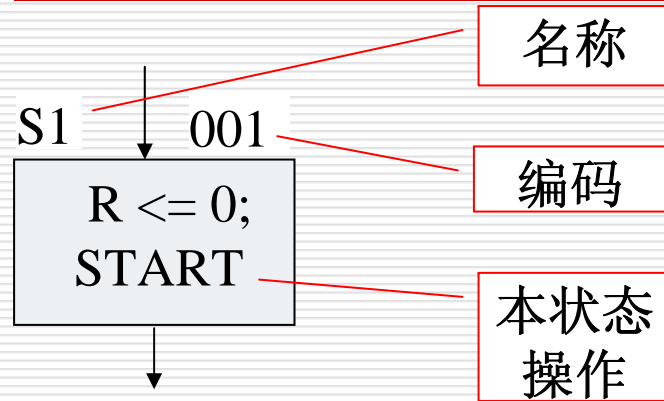
CLK

状态S1操作:
 $A = X;$

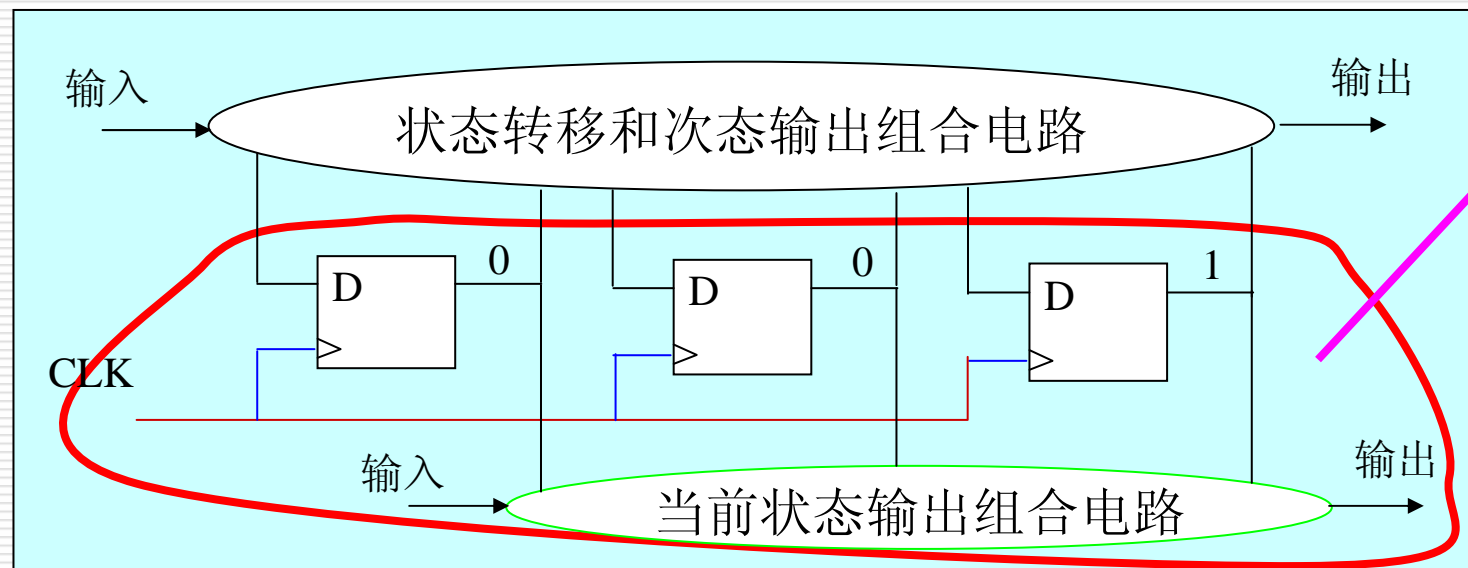
状态S2操作:
 $B = 0;$
 $C = 1;$

状态S3操作:
 $Z;$

□ 状态框描述了在某一个状态下状态机的操作和输出。

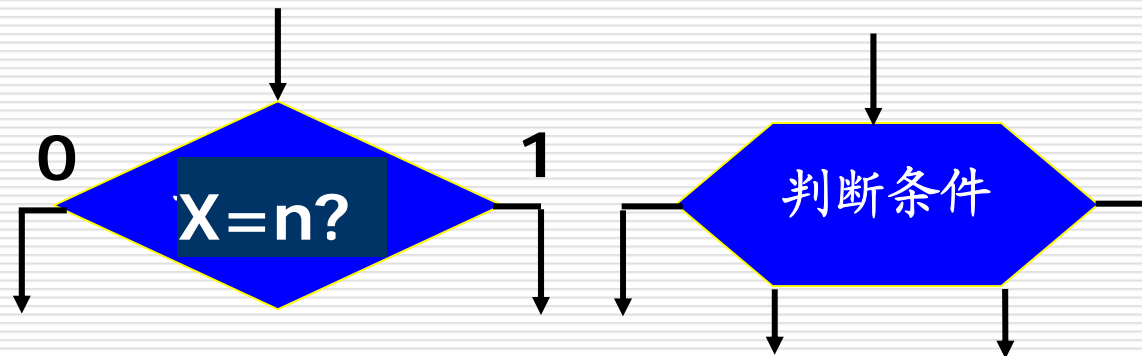


根据状态框的数量就知道需要几个触发器来对应这些状态



3、判断框

- 判断框用菱形表示，表示ASM图的状态分支。控制器可根据判断条件的取值，决定在下一个CLK有效边沿到来时状态的转换方向，或决定数据处理器执行相应的操作。

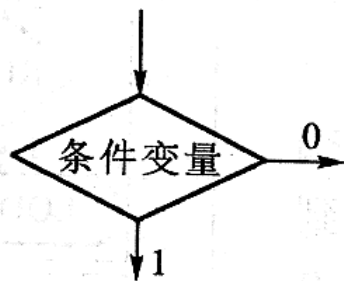


(b) 判断框

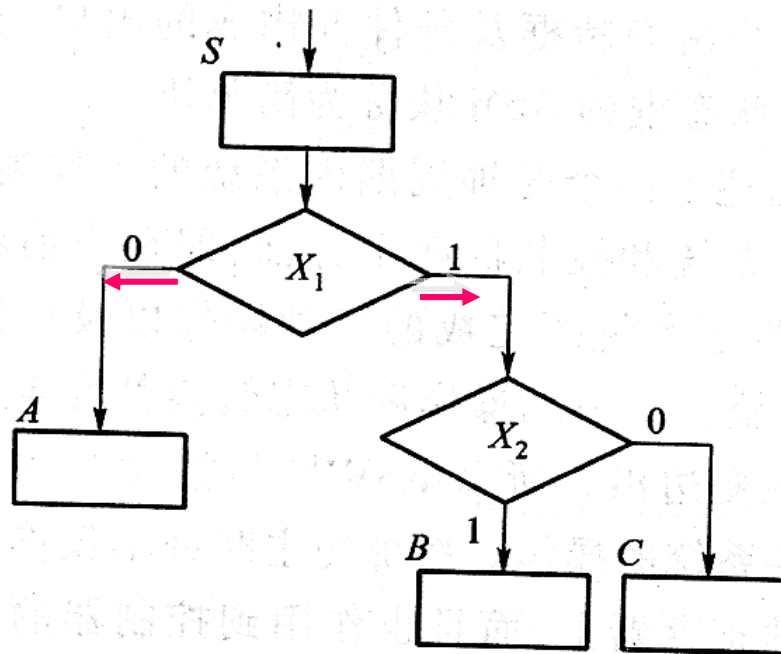
- 判断框的入口来自某一个状态框，在该状态占用一个时钟周期内，根据判断条件，以决定下一个时钟脉冲到来时，状态的走向，故判断框不占用新的cp。

判断框 (the decision box)

- ❑ 菱形框内填写条件变量的判断条件，经判断框后状态转移出现两个或多个分支，如图中(a)所示。
- ❑ 若条件是真，选定一个分支，若条件是假，选定另一个分支。图 (b)是由两个判断框构成ASM图的实例。



图(a)

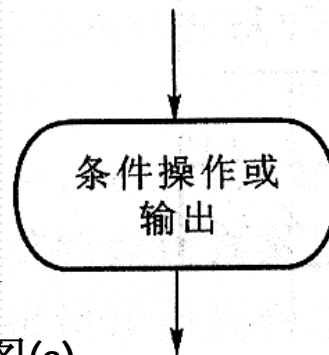


图(b)

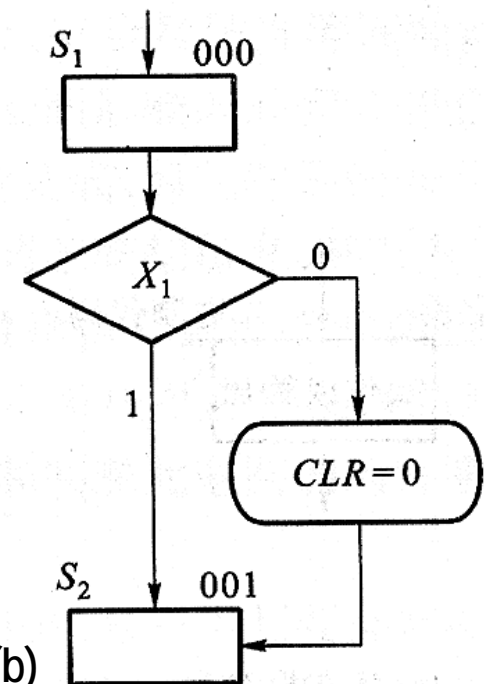
判断框不占用新的cp。和上个状态合用一个时钟周期。

4. 条件输出框 (chart conditional box)

- 条件框(the conditional box)的形状为椭圆形，框内填写数据子系统进行的条件操作，框外填写必需的条件输出，条件框的输入通道必定来自判断框的分支，即条件框的操作或输出必须是在同时满足状态与条件的情况下才进行。
- 如图(b)所示。当系统处于状态S1时，如果条件X1=0，那么CLR被清“0”，否则CLR保持不变，同时不论X1为何值，系统的下一状态都是S2。



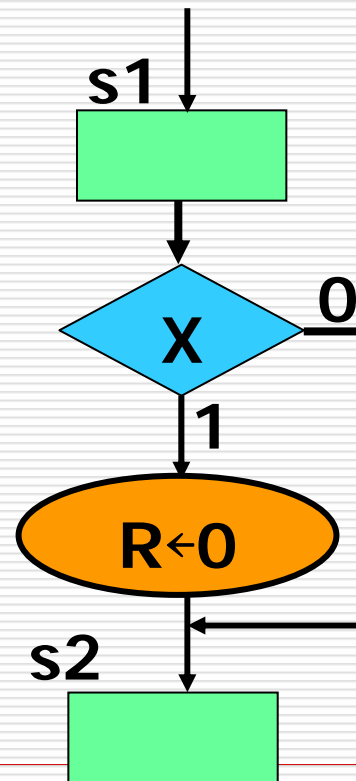
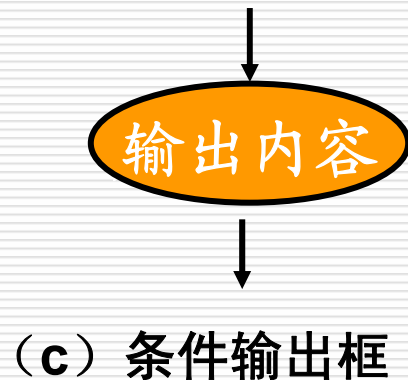
图(a)



图(b)

条件框

- 条件框的入口**必定与判断框的输出**相连。
- 当判断框内的判断条件满足时，立即执行条件输出框内所规定的操作。**注意：条件输出框不是控制器的一个状态。**



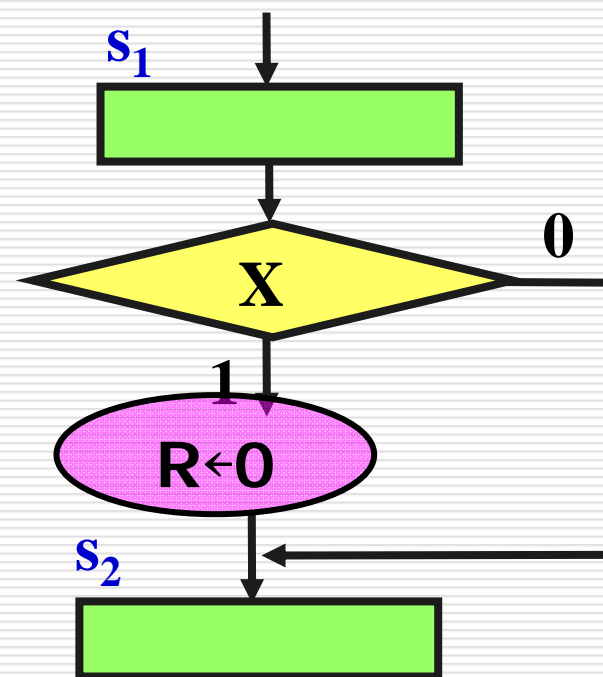
条件框也不占用新的cp。
和上个状态合用一个时钟周期。

5、各种逻辑框之间的时间关系

■ASM图具有时间序列：ASM图中的**每一个ASM块**都对应了一个**时钟脉冲周期**应实现的操作。

❖一个ASM块表示一个时钟周期内的系统状态，对应的是控制器的状态图中的一个状态及输出。

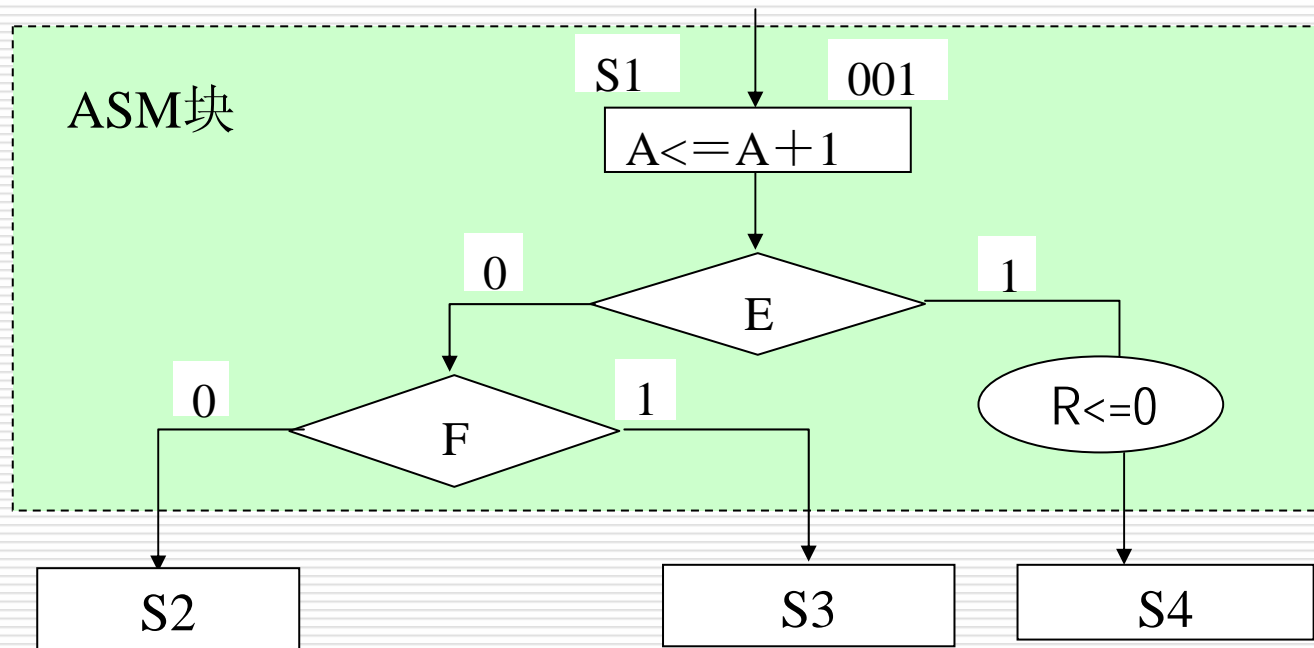
❖每个ASM块必定包含一个状态框且只允许包含一个状态框，与此状态框相连的若干个判断框和条件输出框也属于该ASM块。



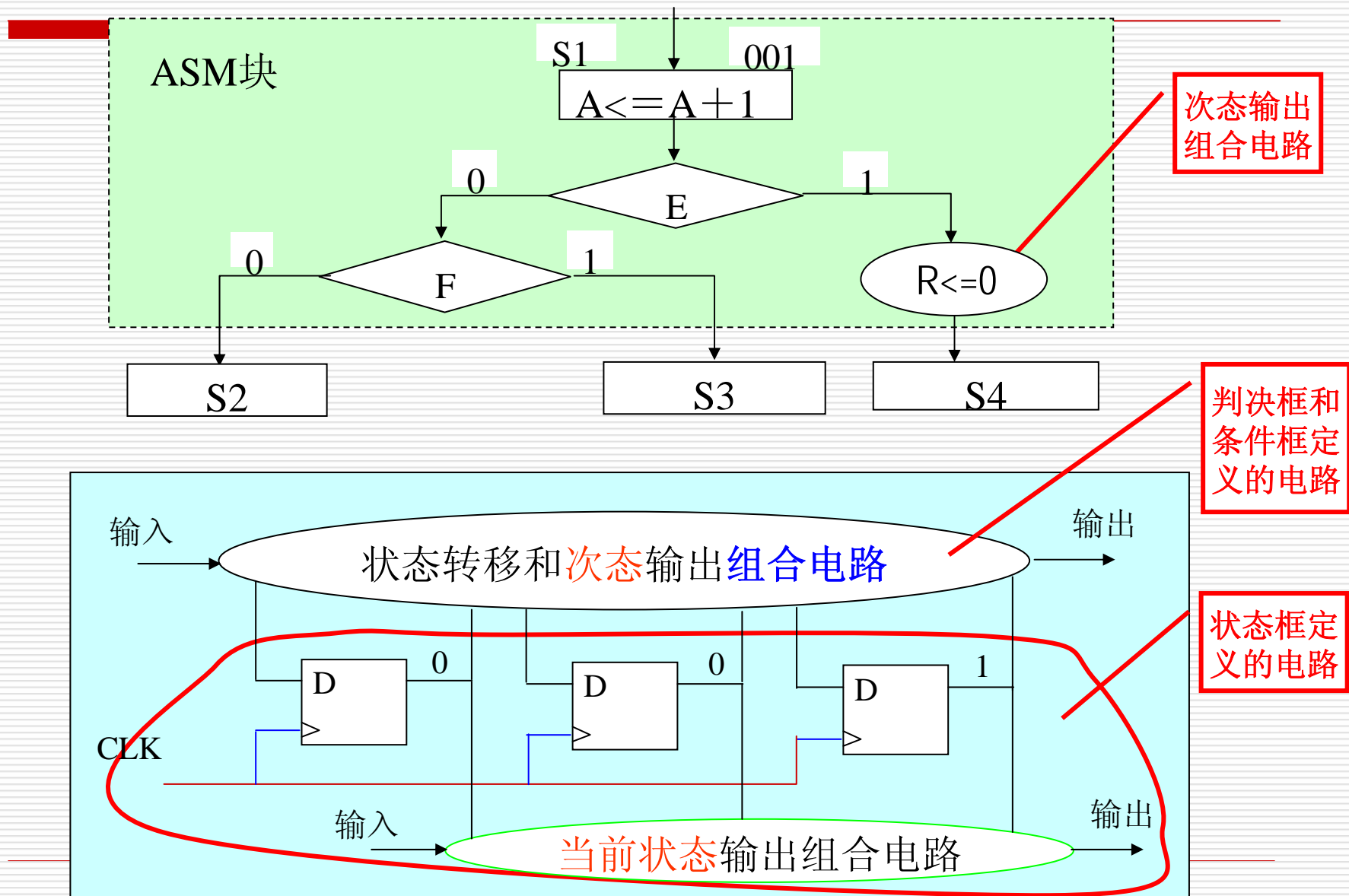
ASM块实例

ASM块

- **ASM块**包括一个状态框和连接到它输出的所有判决框和条件框。每一个ASM块描述了一个时钟周期的系统状态和操作。如图，当系统处于S1状态时，在ASM块内的所有操作会在同一个时钟周期内同时执行，同时系统从S1状态将转移到另一个状态（S2、S3或S4），具体转移路径由E、F值决定。



ASM块与状态机关系



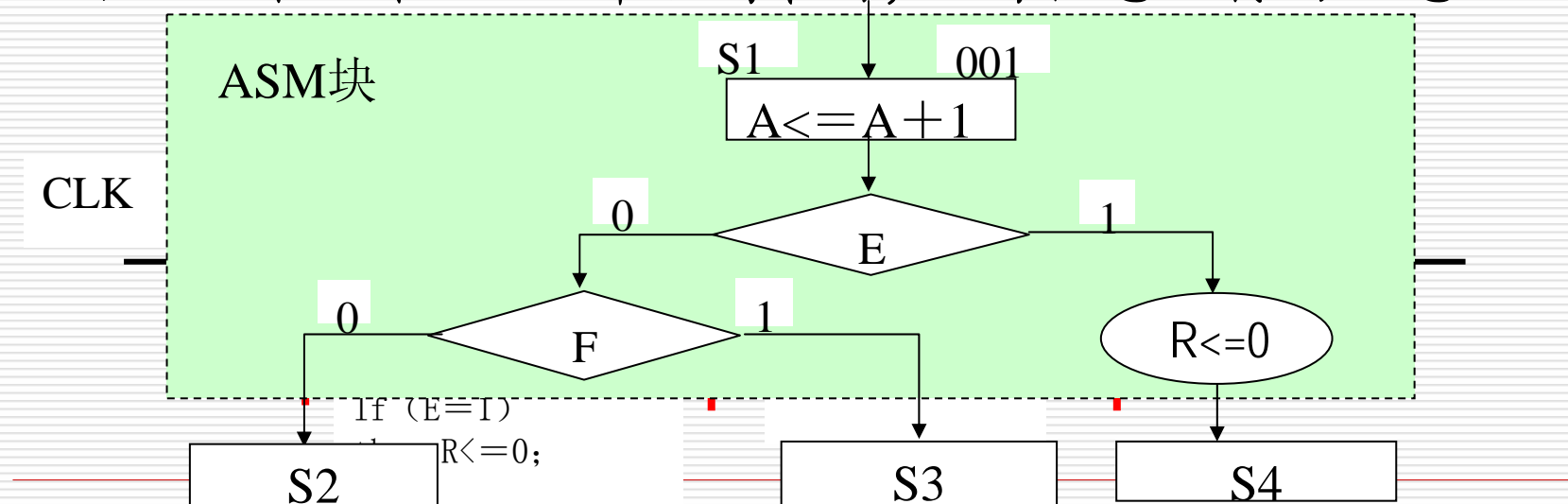
ASM的时序

□ 同步数字系统中所有寄存器的**时序**是由一个**时钟控制**的。时钟不仅加在数据路径上，也加在控制逻辑（控制状态机）上。当CLK上升沿到来时，系统转向状态S1，**下列操作在同一个时钟期间并行进行**：

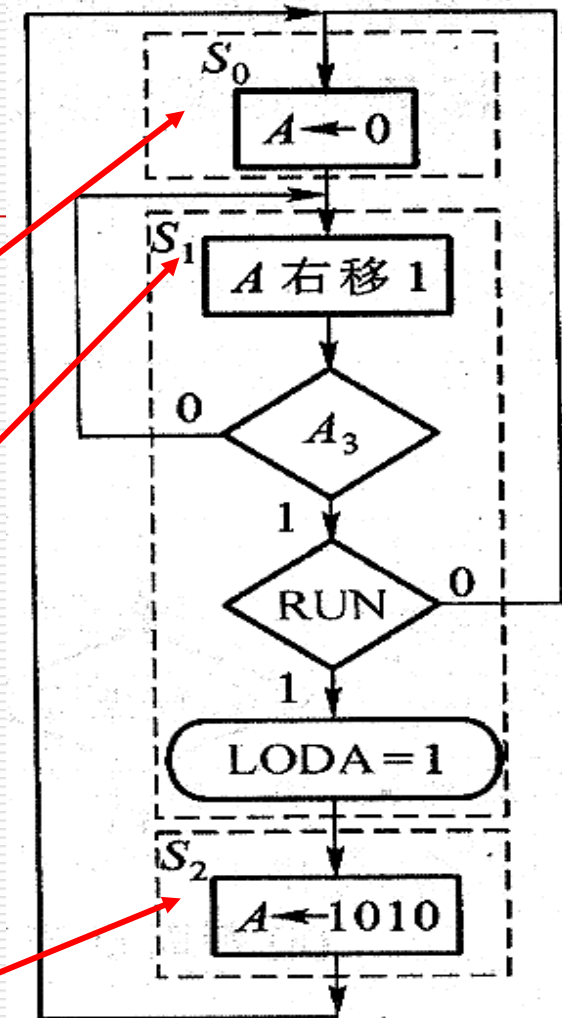
□ a) $A \leq A + 1$

□ b) 如果 $E = 1$ ，则 $R \leq 0$

□ c) 当下一个CLK上升沿到来时，当前状态S1转向次态。



- **ASM块**描述了一个时钟周期内系统的工作情况，它包括数据子系统和控制器两个方面，即在当前状态及条件下，数据子系统所完成的各种操作以及控制器转换的后续状态。
- ASM图是按时钟的节拍描述整个数字系统的操作。系统的主时钟不仅作用到数据子系统的寄存器上，而且也作用到控制器的触发器上。



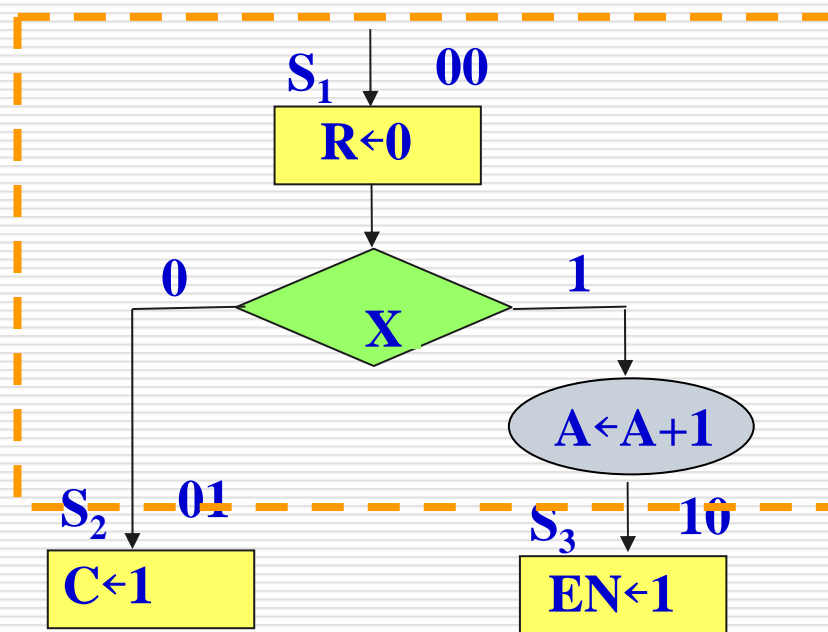
CLK

状态S0操作

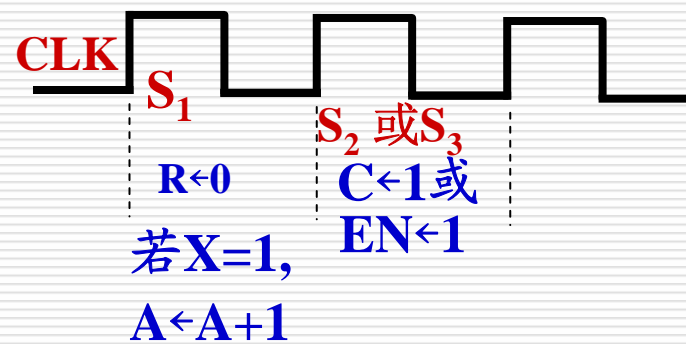
状态S1操作

状态S2操作

【例1】描述图中ASM图表的含义。



(a) ASM图表

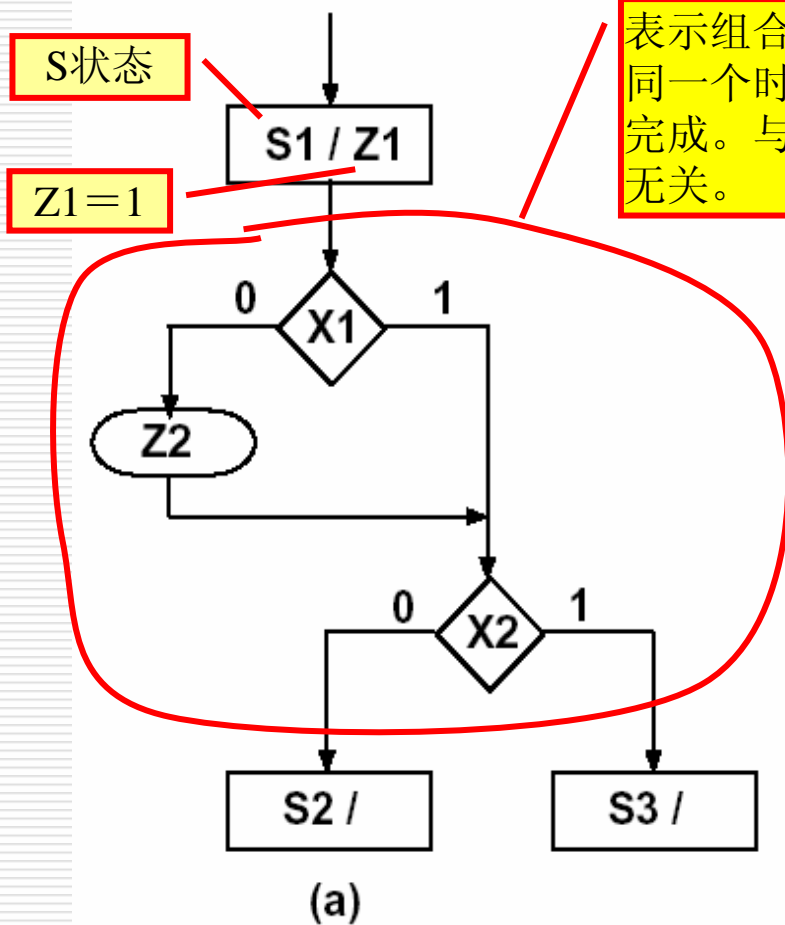


(b)操作时间表

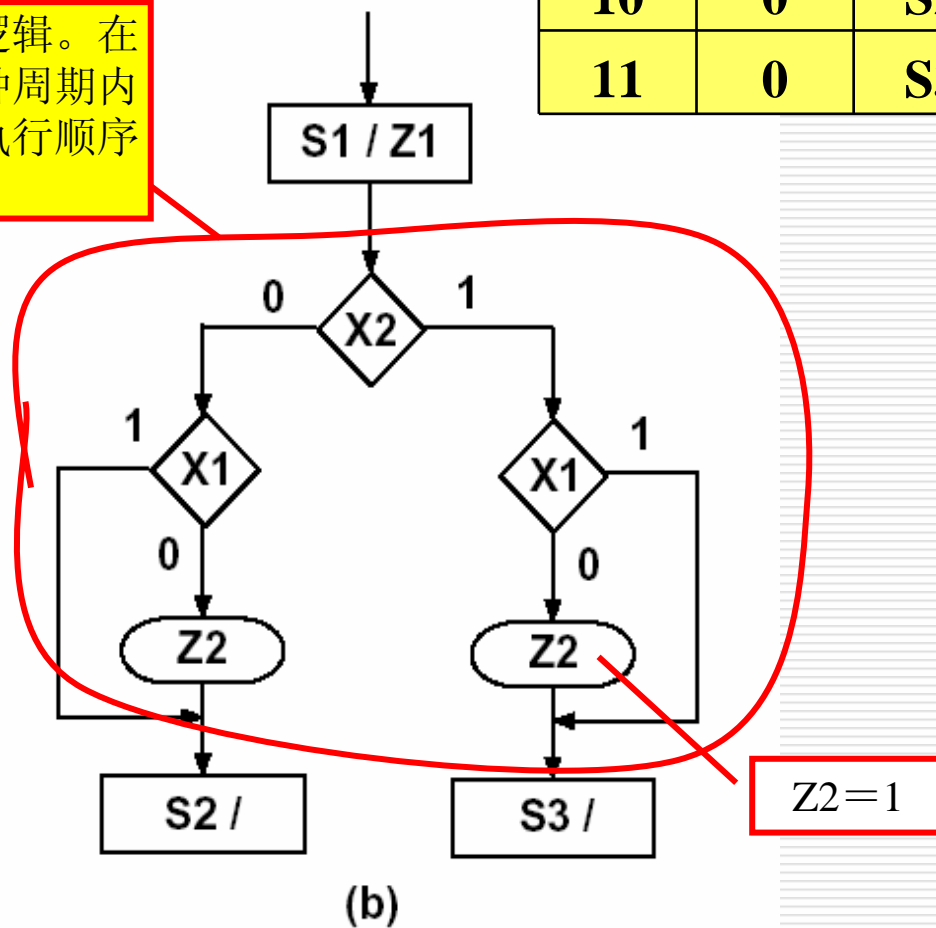
ASM例子

等效的ASM块

x1x2	Z2	Sn
00	1	S2
01	1	S3
10	0	S2
11	0	S3



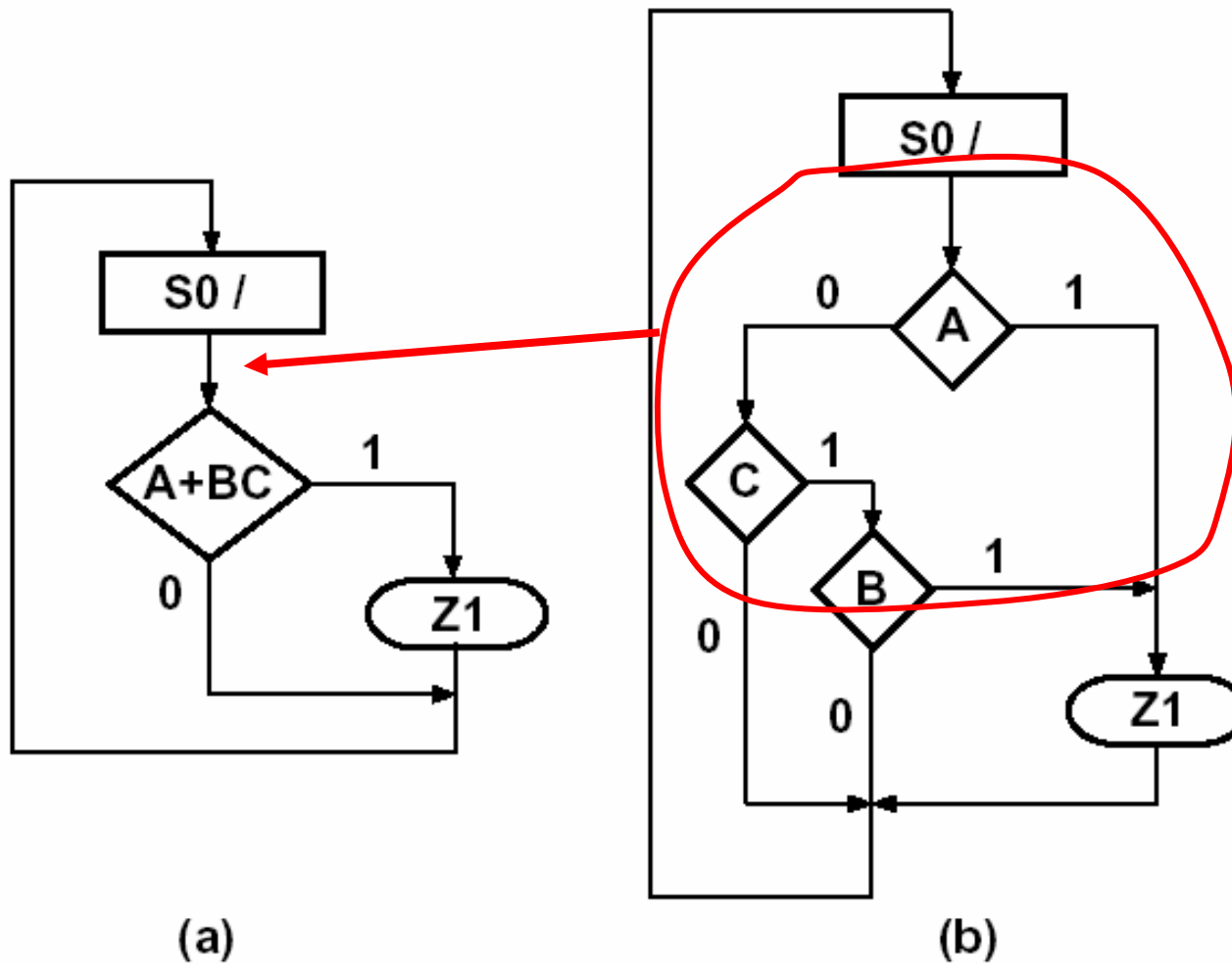
表示组合逻辑。在同一个时钟周期内完成。与执行顺序无关。



Z2=1

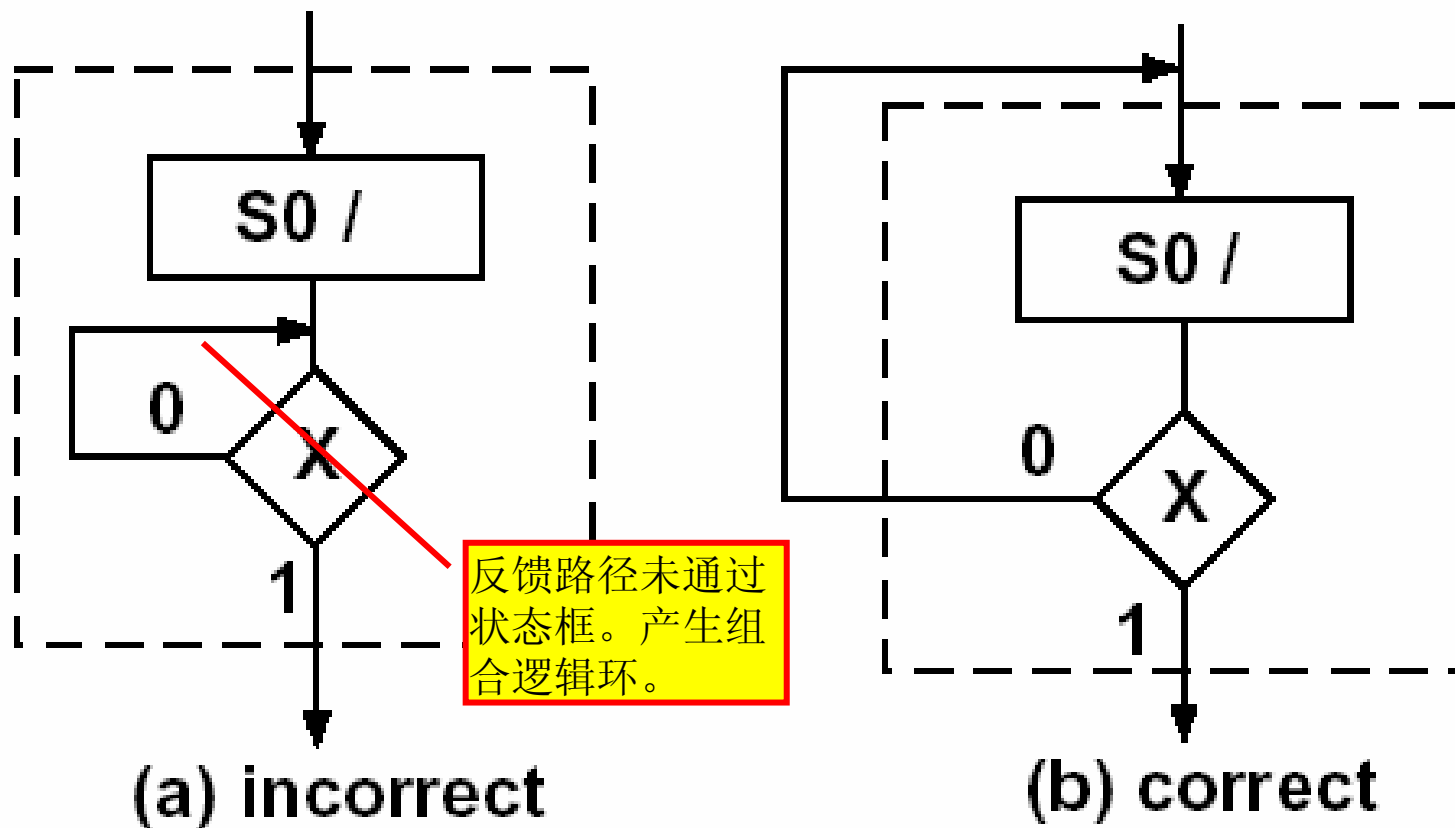
ASM例子

□ 等效的判决框



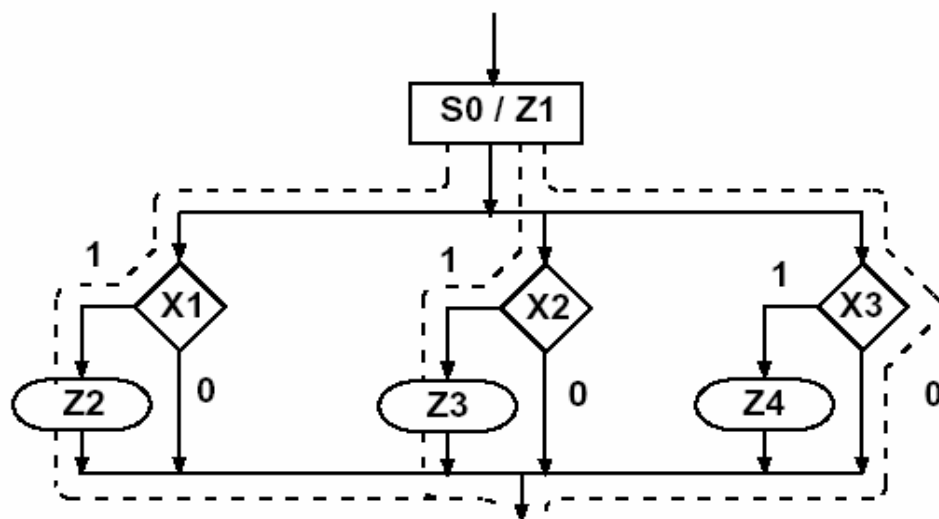
ASM例子

❑ 错误反馈信号的ASM块

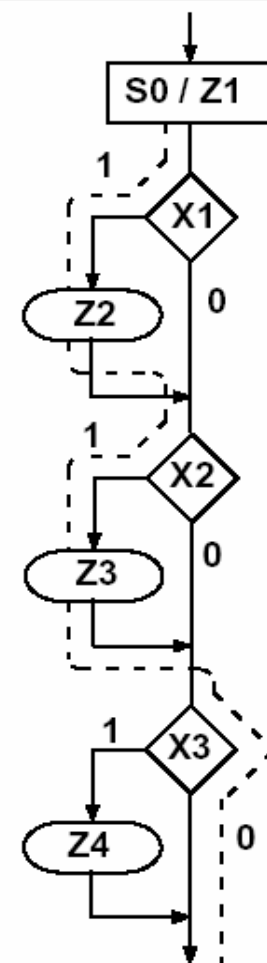


ASM例子

□ 功能等效的并行判决框和串行判决框。

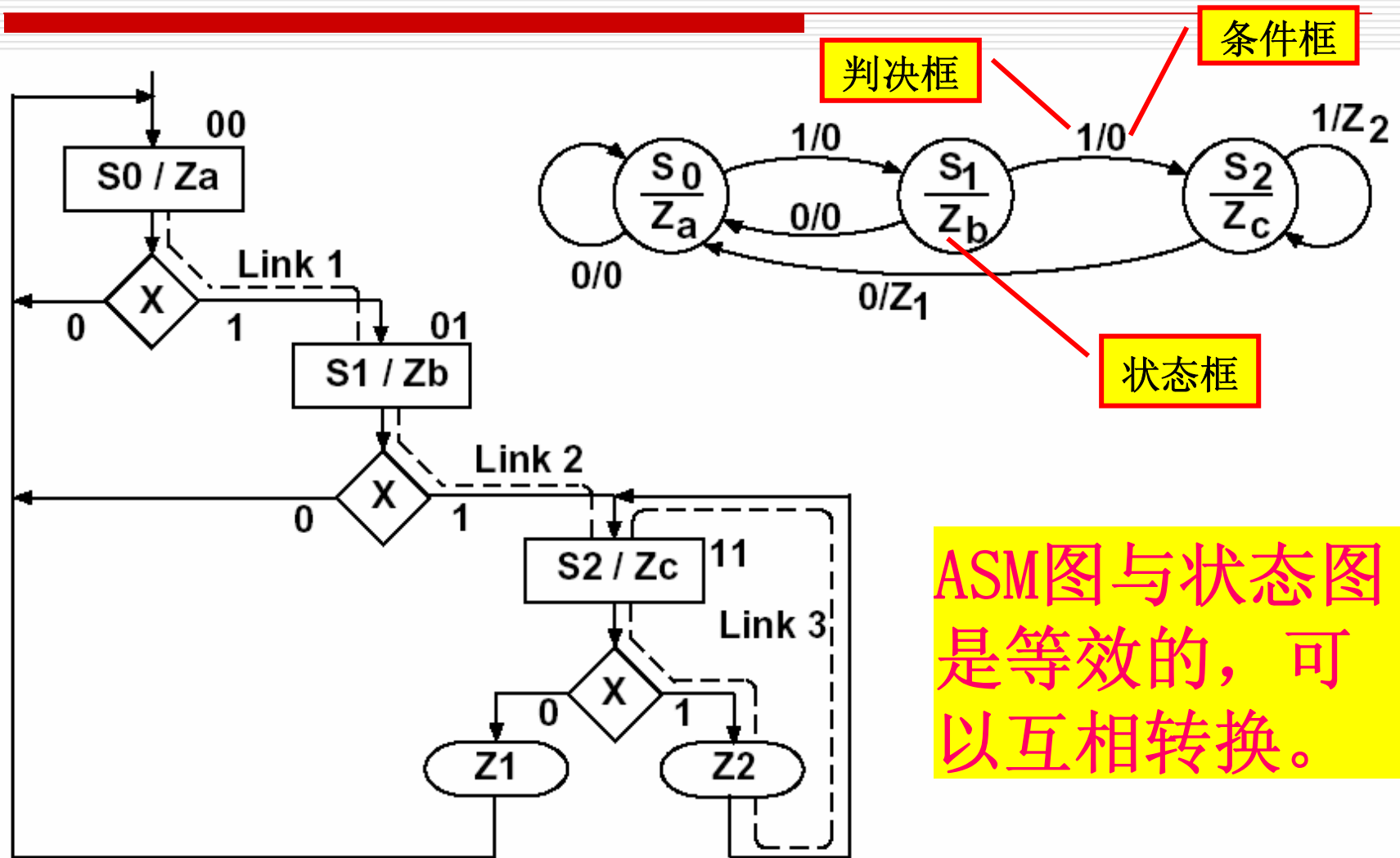


(a) Parallel form



(b) Serial form

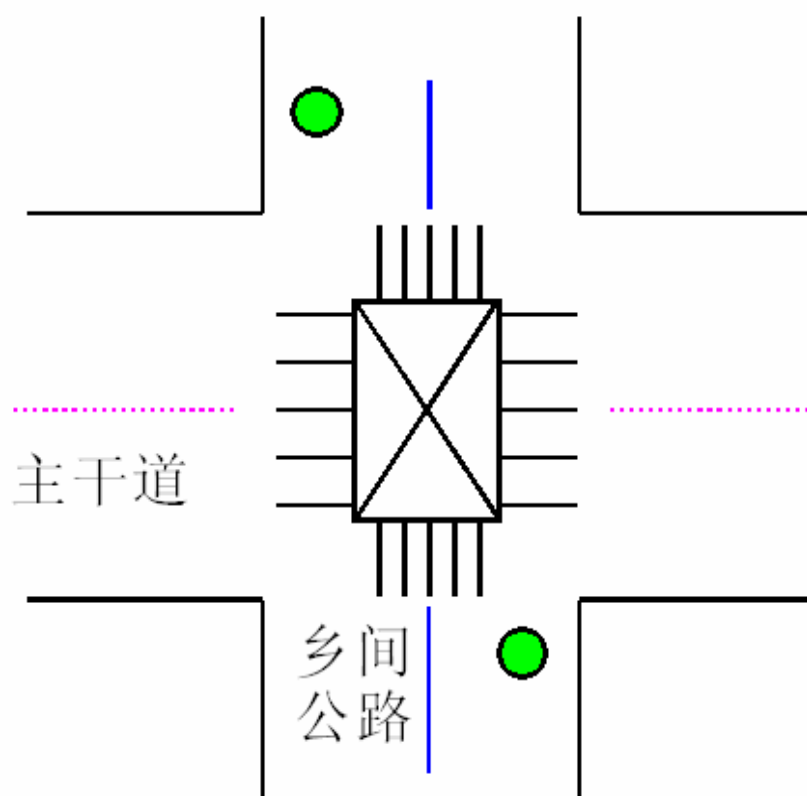
ASM图与状态图转换



实例：交通灯控制装置的设计

在一个
装置。要求

- (1) 当主干道
通，亮绿灯
- (2) 如果主干
灯，支干道
- (3) 如果主干
求主干道每
- (4) 每次绿灯



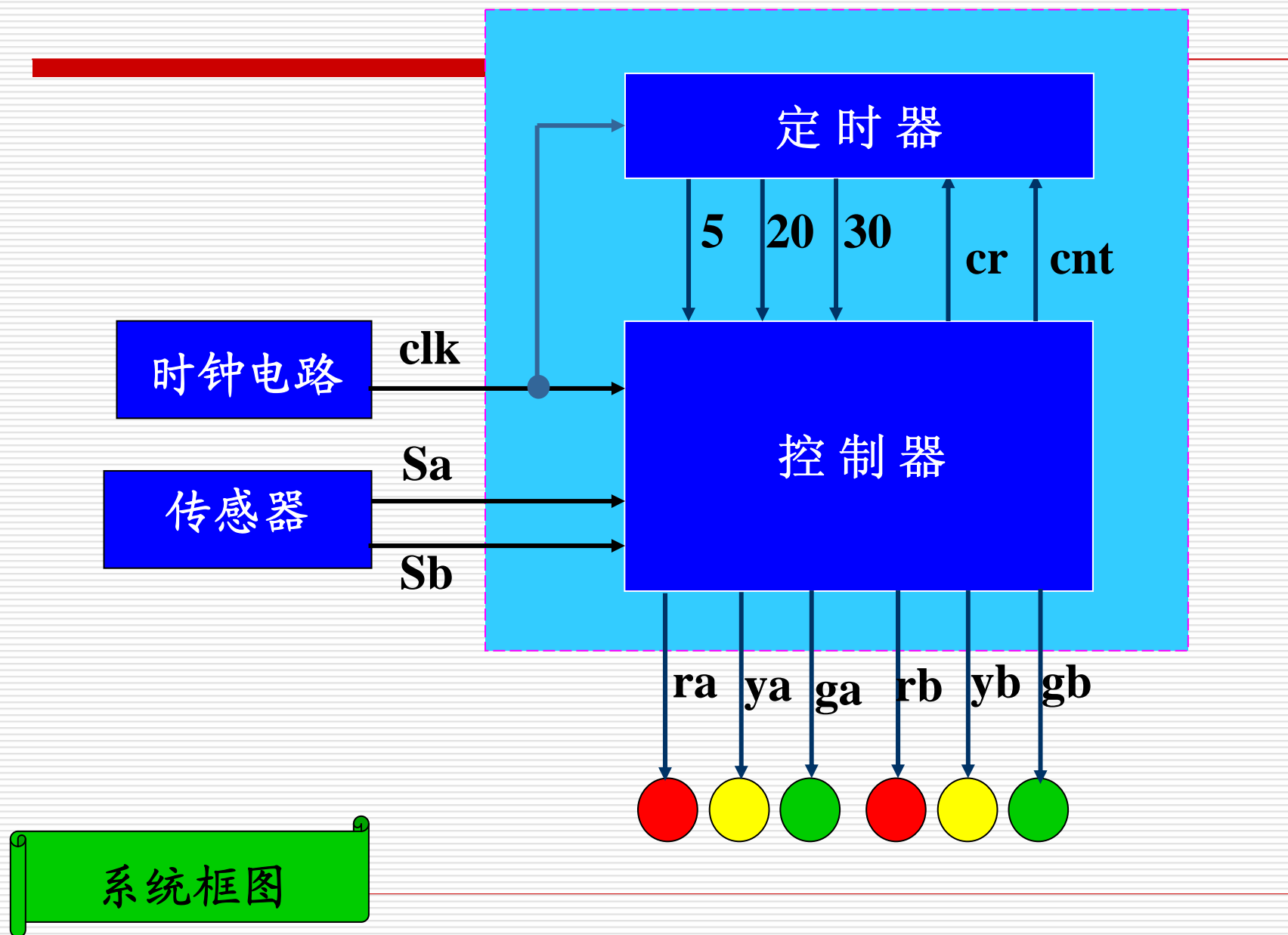
交通灯自动控制

应保 持畅

行，主干道亮红

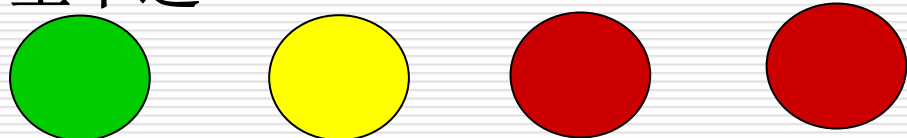
交替通行，并要

十字路口交通灯和传感器示意图

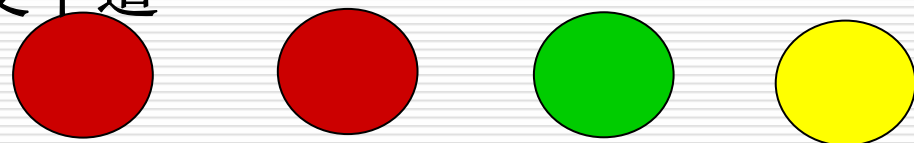


■ 控制器设计

■ 主干道



■ 支干道

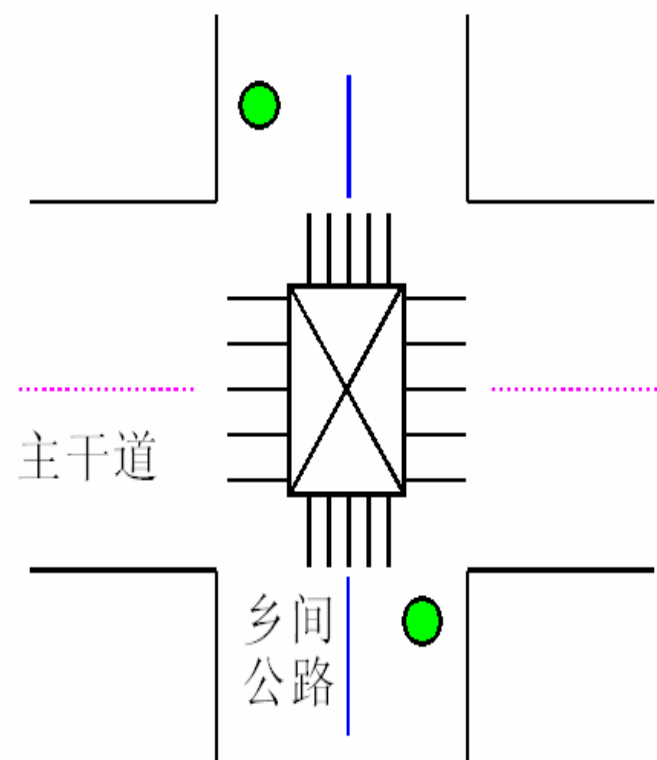


■ S0: 主干道绿灯亮，支干道红灯亮；

■ S1: 主干道黄灯亮，支干道红灯亮；

■ S2: 主干道红灯亮，支干道绿灯亮；

■ S3: 主干道红灯亮，支干道黄灯亮；



十字路口交通灯和传感器示意图

■ASM图

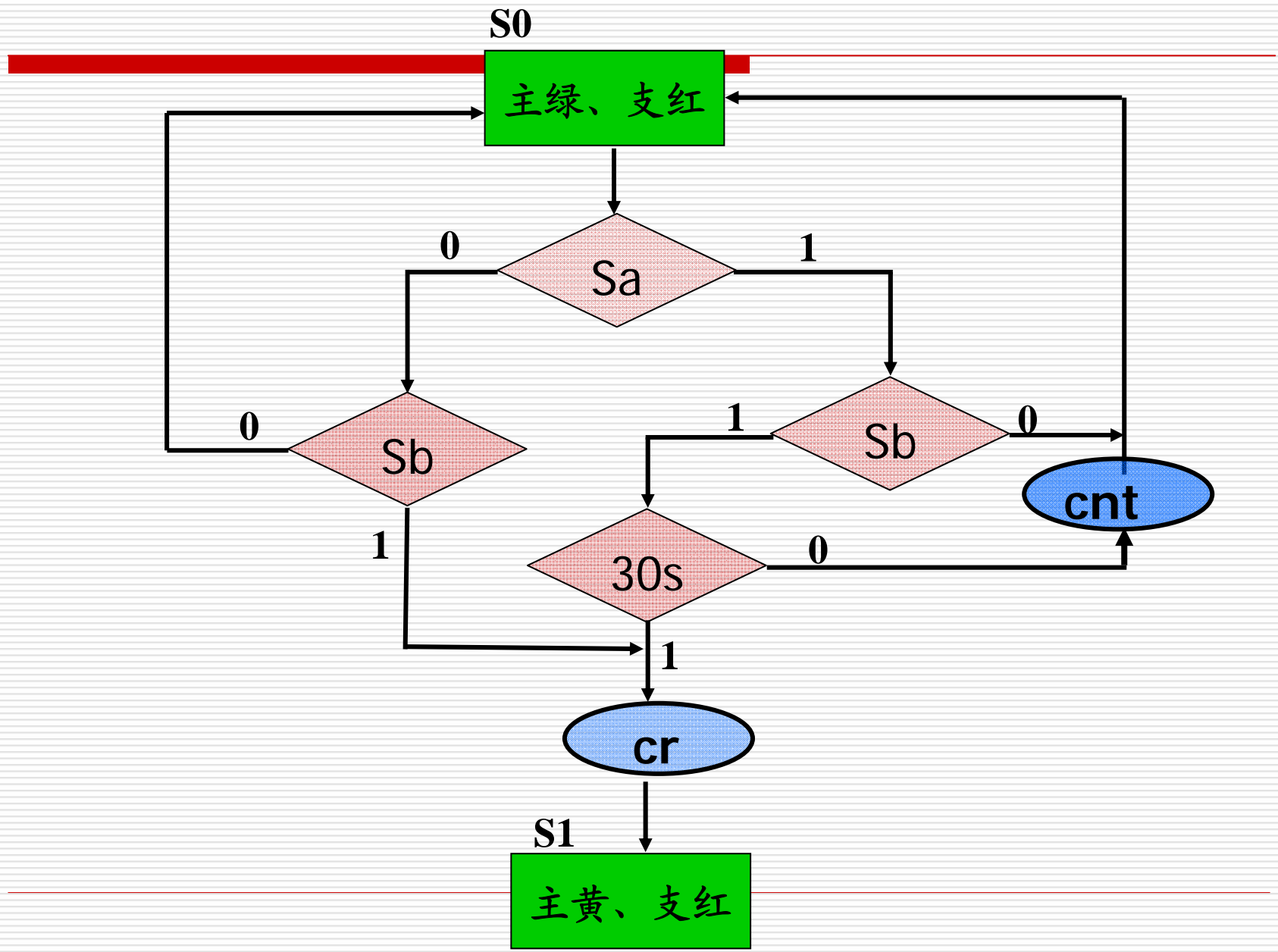
一般情况下，如果主干道和支干道均无车辆要求通行，应该保证主干道绿灯亮，支干道红灯亮。

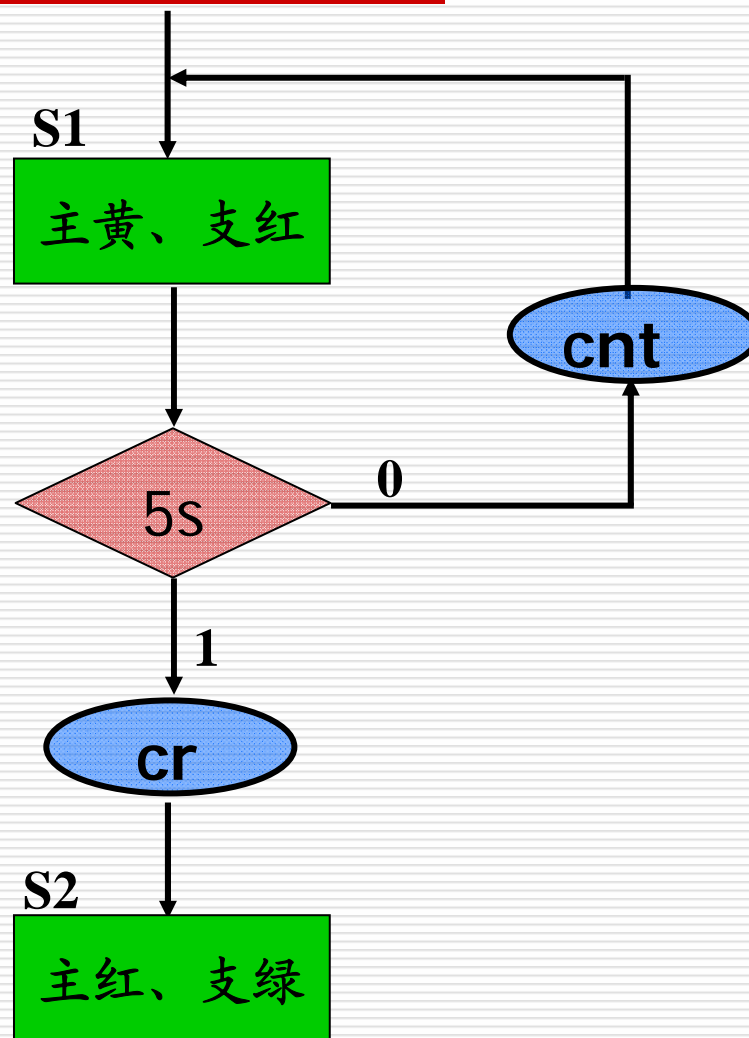
若支干道有车辆要求通行，则应允许支干道车辆通行；

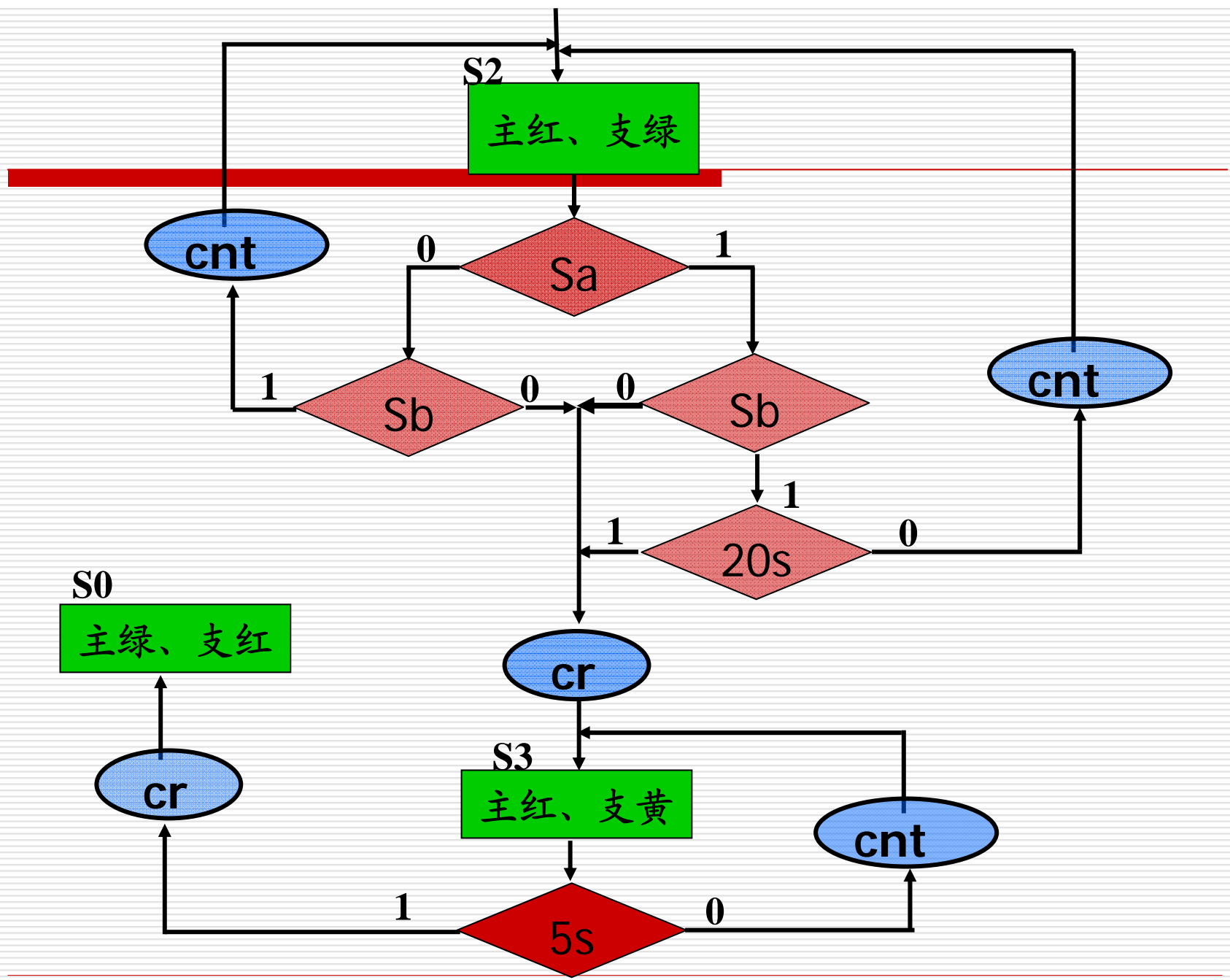
若主干道、支干道均有车辆要求通行，则应先保证主干道通行30秒钟后，允许支干道通行。

在允许支干道车辆通行前，应先使主干道黄灯亮5秒钟，支干道红灯保持；5秒钟后，变成主干道红灯亮，支干道绿灯亮。在支干道保持畅通时，若主干道无车辆要求通行，则支干道始终保持畅通；如果此时支干道无车辆要求通行，则应立刻准备使主干道通车，支干道禁止通行；若此时主干道有车辆要求通行，并且支干道通行时间已超过20秒钟，则应该准备使主干道通行。

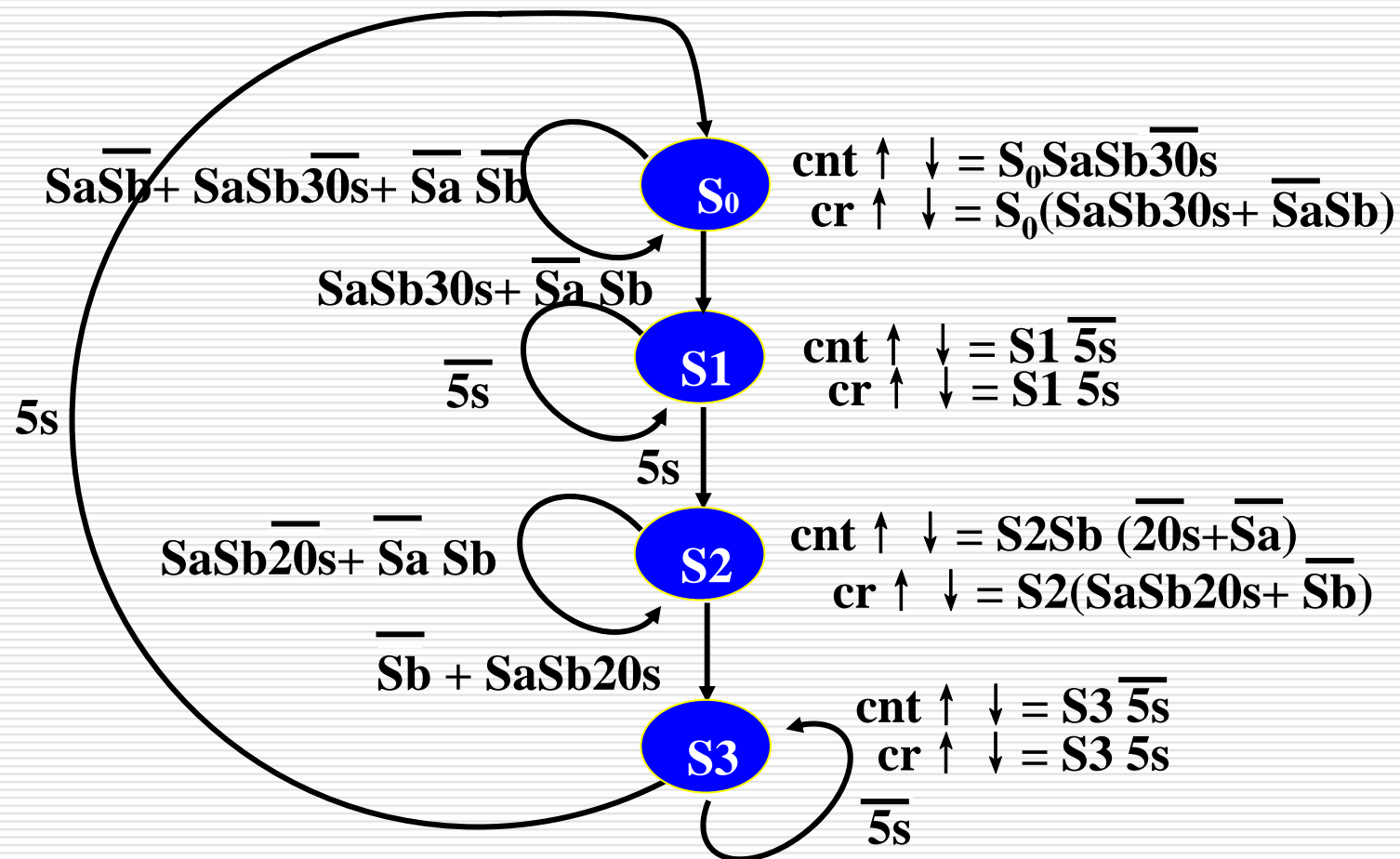
在允许主干道通行前，应先使支干道的黄灯亮5秒钟，主干道红灯保持；5秒钟后，变成主干道绿灯亮，支干道红灯亮。





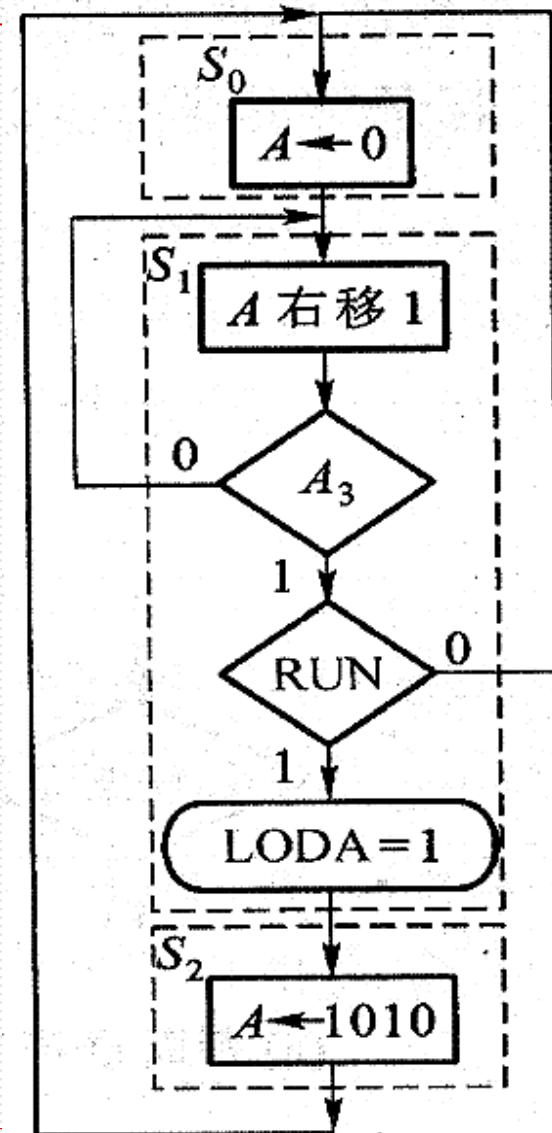


■ 设计实现



实例：4位移位寄存器的ASM

- 图中A是一个四位移位寄存器，同步清零和移位置数，其中A3为A的最高位，RUN为外部输入的异步变量，LODA为移位置数变量，它为条件输出即 $LODA = S1 \cdot A3 \cdot RUN$ 。



4位移位寄存器状态转换表

状态机 现态	条件变量		移位寄存器内容				状态机 次态
	A ₃	RUN	A ₀	A ₁	A ₂	A ₃	
S ₀	∅	∅	0	0	0	0	S ₁
S ₁	0	∅	1	0	0	0	S ₁
S ₁	0	∅	1	1	0	0	S ₁
S ₁	0	∅	1	1	1	0	S ₁
S ₁	0	∅	1	1	1	1	S ₁
S ₁	1	0	1	1	1	1	S ₀
S ₀	∅	∅	0	0	0	0	S ₁
...							
S ₁	1	1	1	1	1	1	S ₂
S ₂	∅	∅	1	0	1	0	S ₀

控制单元和数据路径的硬件设计

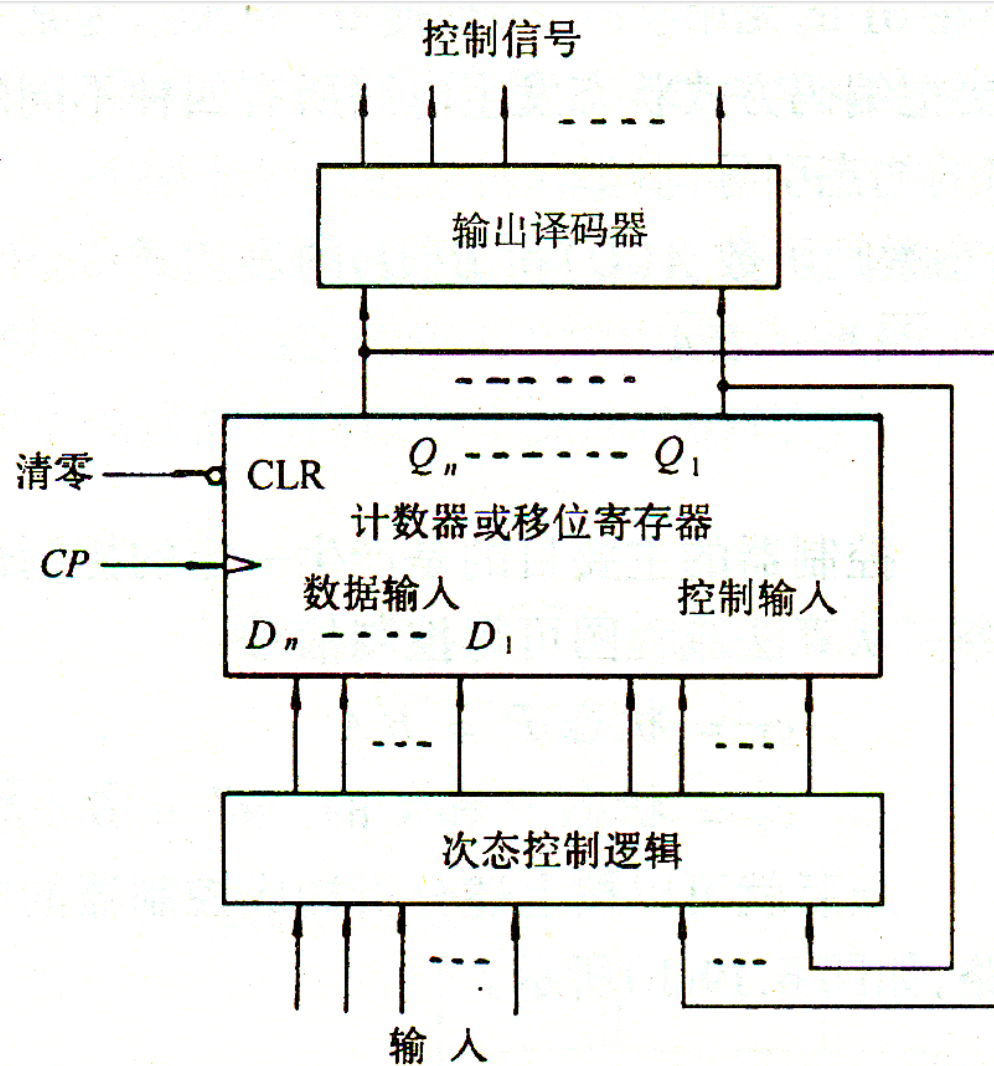
- ASM图给出了设计数字系统（控制电路和数据路径）需要的所有信息。控制电路硬件与数据路径的硬件划分。
 - 数据路径包含了与其操作和逻辑所关联的硬件，这些逻辑用于产生提供给控制电路的状态信号。
 - 数据路径的设计要求在ASM图的状态框和条件框中给出，由在数据路径上标注操作来确定。
 - 控制单元包含了所有数据路径中操作控制信号逻辑。
 - 控制逻辑有判决框和所需状态转移决定。
-

控制逻辑

- 数字系统的设计过程可分成两个部分：
 - 数据路径中的寄存器传输设计和控制单元中的控制逻辑设计。控制逻辑是一个有限状态机，其米里型和摩尔型输出控制着数据路径中的操作。
 - 控制单元的输入是外部输入，内部状态信号从数据路径反馈到控制电路。
 - 控制电路是时序电路，可以采用时序逻辑设计步骤进行设计。我们本章的方法是对时序电路设计方法的补充。
 - 设计方法
 - 采用序列寄存器-计数器和译码器
 - 采用数据选择器来设计
 - 采用一位热位设计（每个状态一个触发器）
-

计数器型控制器

- 将所要求的控制状态按一定原则进行编码分配，就可设计出一种状态计数器型控制器。
- 图中计数器含有 n 个触发器，触发器的状态作为状态变量以二进制编码的形式赋于ASM流图中的每一个状态框，而条件输出框不予赋值。
- 使用寄存器产生控制状态，使用译码器产生与每个状态对应的输出信号。若使用一位热位编码，就不需要使用译码器。



计数型控制器

现态			次态		条件输出	
Q_2	Q_1	X	Q_2^{n+1}	Q_1^{n+1}	Z_2	Z_1
0	0	0	1	0	1	1
0	0	1	1	1	0	1
0	1	Ø	0	0	0	0
1	0	Ø	0	0	0	0
1	1	Ø	0	0	0	0

该表为简化状态转换表，因为10和11状态与输入X无关，所以对应用于该两行输入值可作为任意项Ø处理。

触发器的驱动方程：

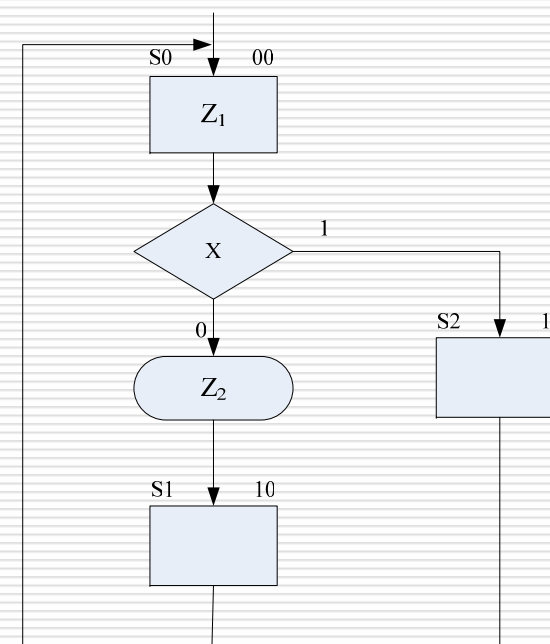
$$Q_2^{n+1} = \overline{Q_2} \overline{Q_1}$$

$$Q_1^{n+1} = \overline{Q_2} \overline{Q_1} X$$

输出方程：

$$Z_2 = \overline{Q_2} \overline{Q_1} \overline{X}$$

$$Z_1 = \overline{Q_2} \overline{Q_1}$$



设01的次态为00，以保证一旦出现01状态后（电路自启动），经过一个时钟周期可以自动回到有用状态循环。