

通知 实验安排

数字逻辑电路课程有16个学时的实验，初步安排如下：

计算机1班 第8,10周 周三上午 1-4 (8:00-11:40)
计算机2班 第9,11周 周三上午 1-4 (8:00-11:40)
计算机3班 第9-12周 周二的下午5-6节
计算机4班 第10-13周 周一晚上 9-10 (19:00-20:50)
计算机5班 第9-12周 周三晚上9-10 (19:00-20:50)
物联网1班 第8,10周 周三下午5-8 (14:00-17:40)
物联网2班 第9,11周 周三下午5-8 (14:00-17:40)

计算机1班 第13, 14周 周二上午4节 (8:00-11:40)
计算机2班 第13, 14周 周二下午4节 (14:00-17:40)
计算机3班 第13, 14周 周二晚上4节 (18:30-22:10)
计算机4班 第13, 14周 周四上午4节 (8:00-11:40)
计算机5班 第13, 14周 周四下午4节 (14:00-17:40)
物联网1班 第13, 14周 周三下午4节 (14:00-17:40)
物联网2班 第13, 14周 周三晚上4节(18:30-22:10)
实验设备台套数有限，所以一次只能安排一个班实验。

实验地点：综合实验楼305房间

第五章 作业布置

1、明天晚上19:30-20:30在新安学堂230教室答疑。

2、本次（4月2号）作业要求：

每个同学自己从第五章的课后习题中选2题做到作业本中，至于做哪2题，每个同学自己选择。不作硬性规定。我在检查作业时，只看是否做了2题。（从你购买的课本上选题做就可以了。）

数 字 逻 辑

丁 贤 庆

ahhfdxq@163.com

第五章

锁存器和触发器

时序逻辑电路概述

1、时序逻辑电路与锁存器、触发器：

时序逻辑电路的工作特征和结构特征如下。

工作特征：时序逻辑电路的工作特点是任意时刻的输出状态不仅与该当前的输入信号有关，而且与此前电路的状态有关。

结构特征：由组合逻辑电路和存储电路组成, 电路中存在反馈。

锁存器和触发器是构成时序逻辑电路的基本逻辑单元 。

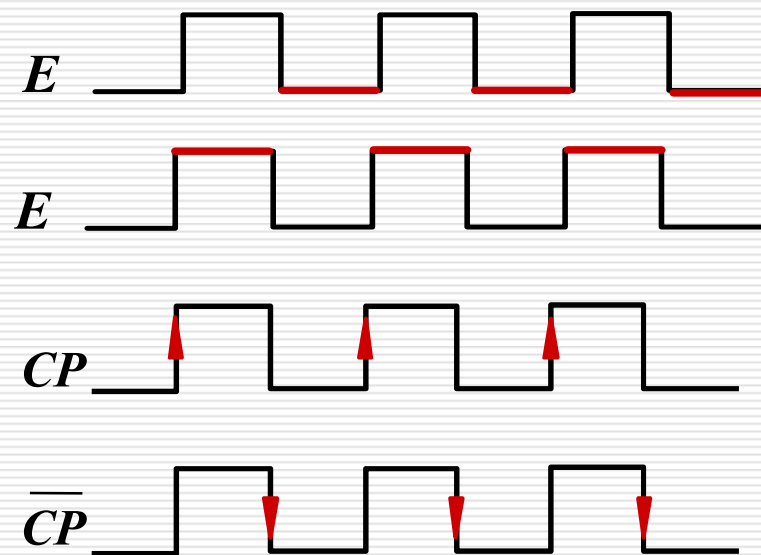
2、锁存器与触发器

共同点：具有0和1两个稳定状态，一旦状态被确定，就能自行保持。一个锁存器或触发器能存储一位二进制码。

不同点：

锁存器---对脉冲电平敏感的存储电路，在特定输入脉冲电平作用下改变状态。

触发器---对脉冲边沿敏感的存储电路，在时钟脉冲的上升沿或下降沿的变化瞬间改变状态。



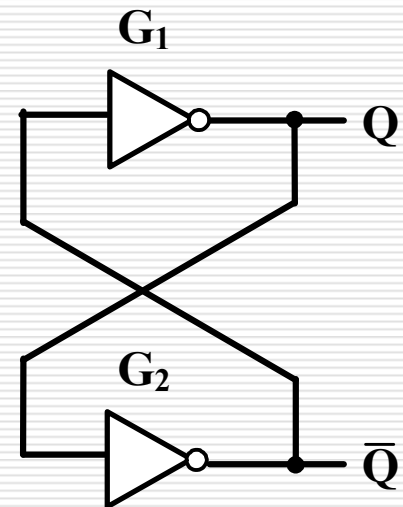
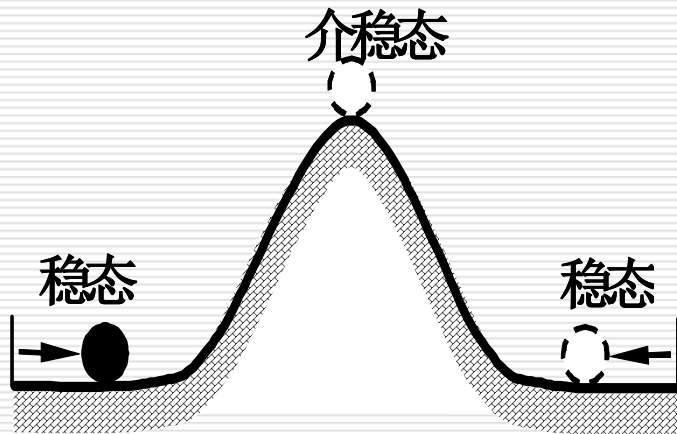
5.1 双稳态电路

5.1.1 双稳态的概念

5.1.2 最基本的双稳态电路

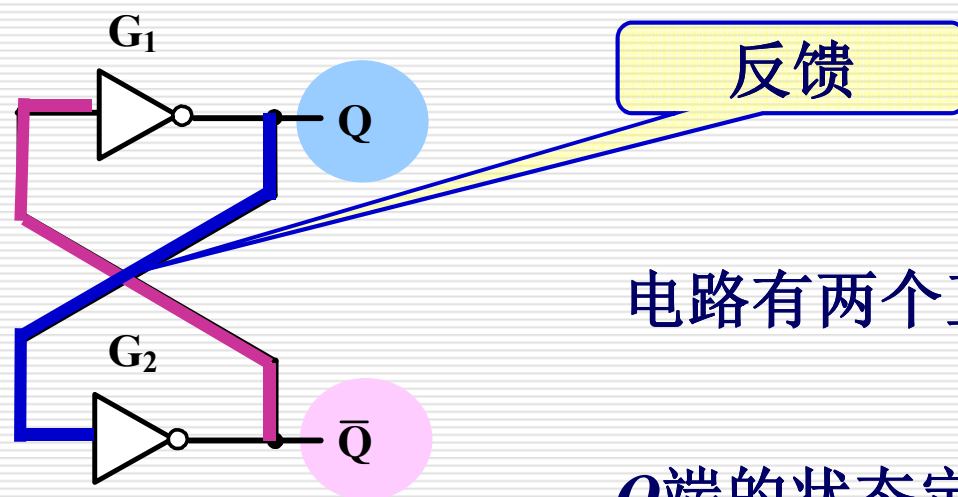
5.1 双稳态电路

5.1.1 双稳态的概念



5.1.2 最基本的双稳态电路

1. 电路结构



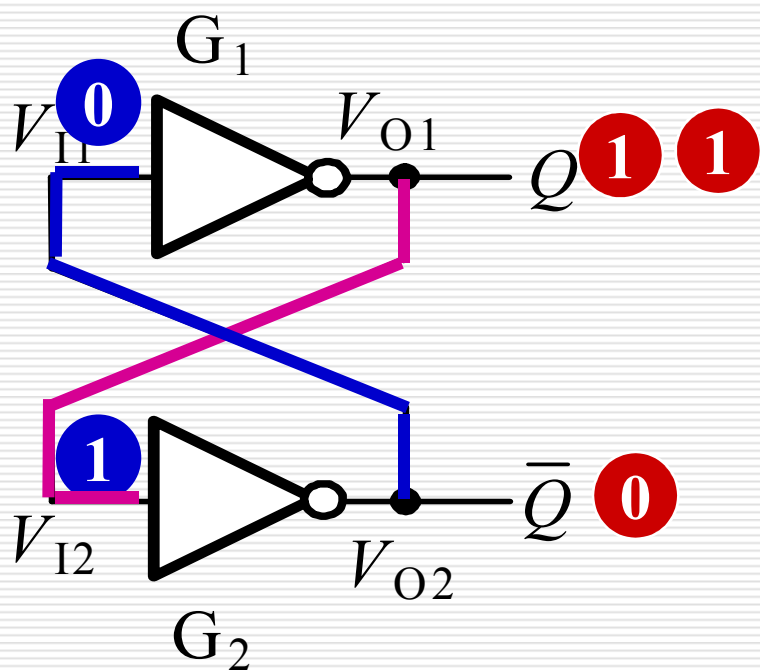
电路有两个互补的输出端

Q 端的状态定义为电路输出状态。

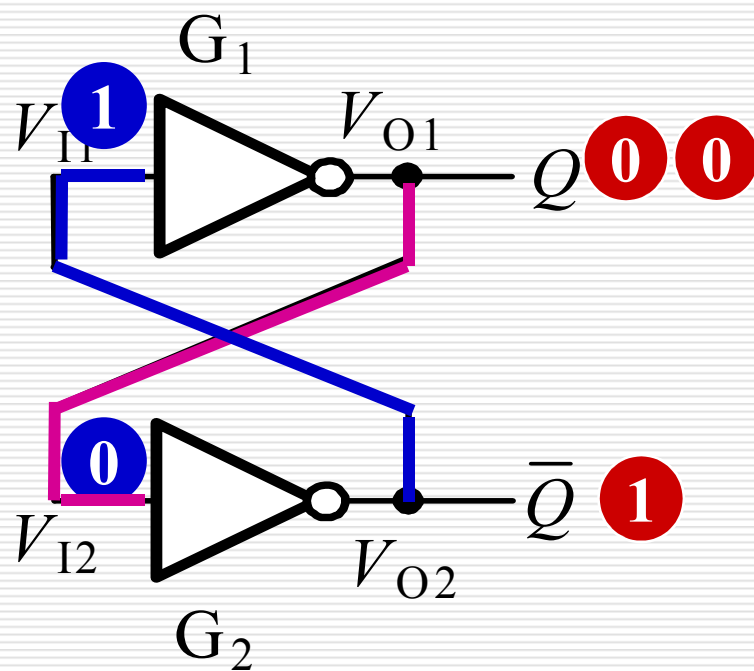
2、数字逻辑分析

——电路具有记忆1位二进制数据的功能。

如 $Q = 1$

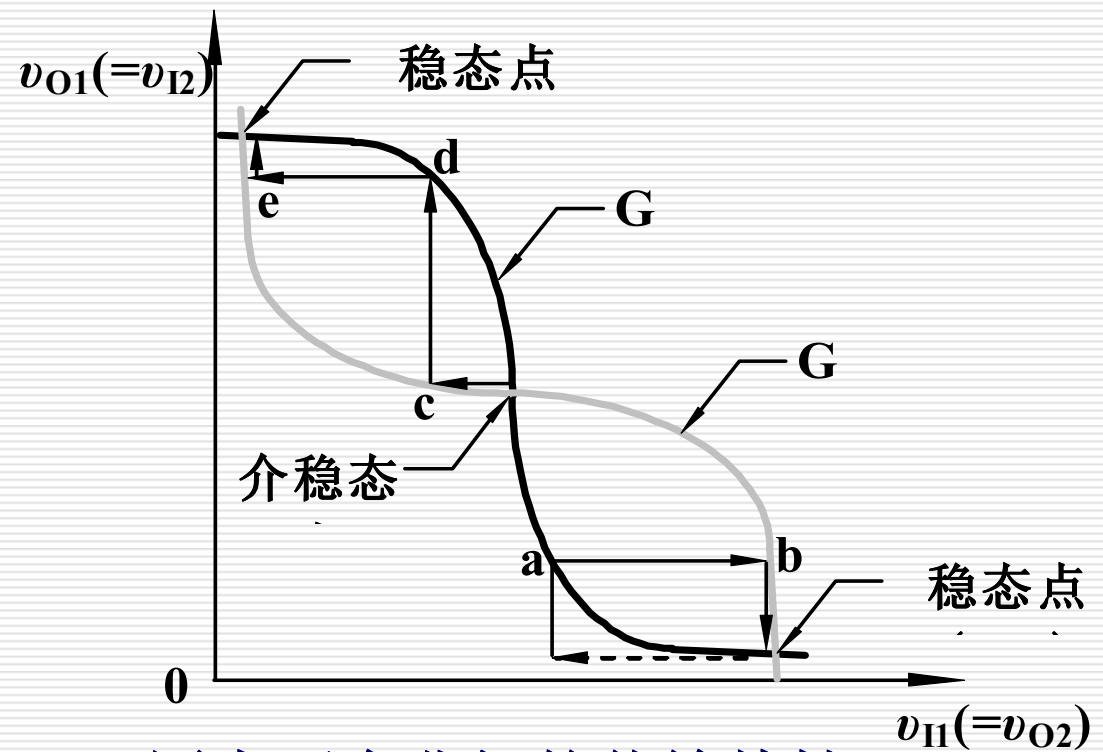
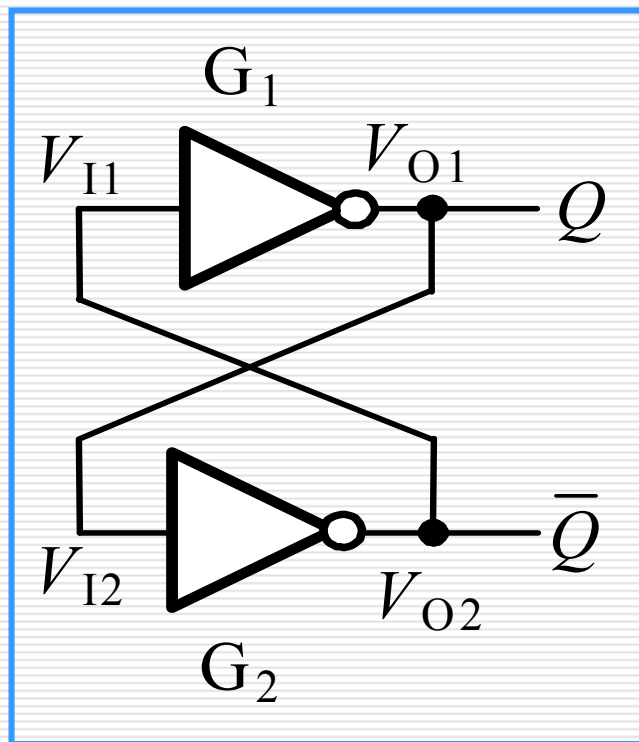


如 $Q = 0$



3. 模拟特性分析

$$v_{O1} = v_{I2} \quad v_{I1} = v_{O2}$$



图中两个非门的传输特性

5.2 SR锁存器

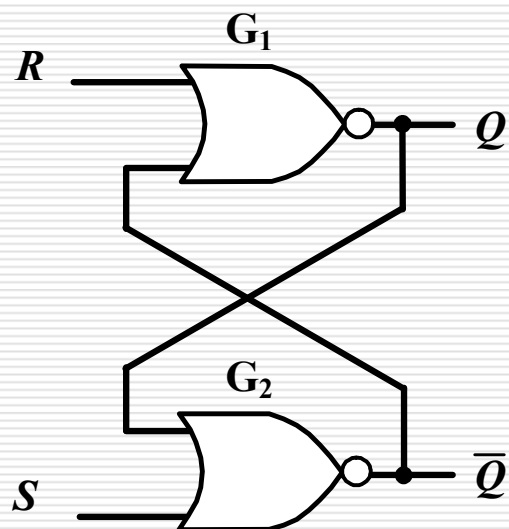
5.2.1 基本SR 锁存器

5.2.2 门控SR锁存器

5.2 SR锁存器

5.2.1基本SR 锁存器（或非门）

1. 工作原理



输 入			输 出		备注
R	S	Q^n	Q^{n+1}	\overline{Q}^{n+1}	
0	0	0	0	1	保持
0	0	1	0	1	
0	1	0	1	0	置1
0	1	1	1	0	
1	0	0	0	1	置0
1	0	1	0	1	
1	1	0	0	0	禁止
1	1	1	0	0	

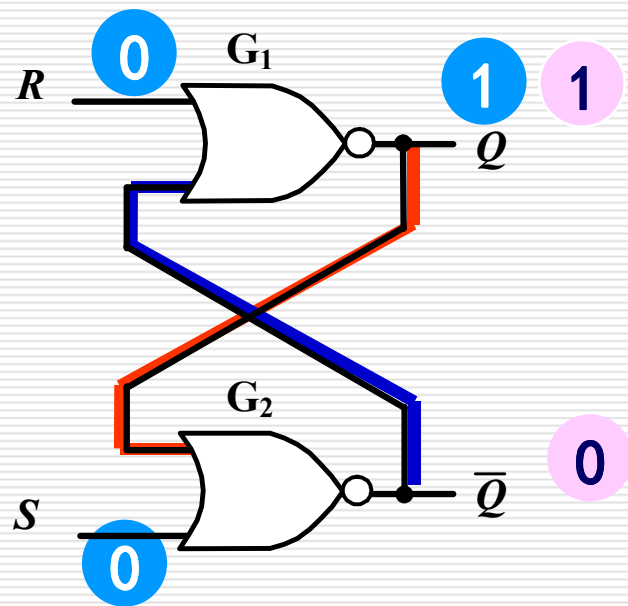
现态：R、S信号作用前Q端的状态，现态用 Q^n 表示。

次态：R、S信号作用后Q端的状态，次态用 Q^{n+1} 表示。

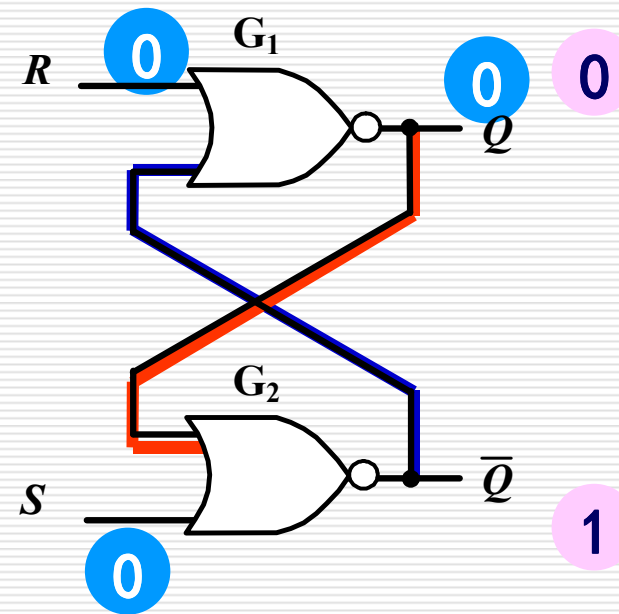
1. 工作原理

$R=0$ 、 $S=0$

状态不变



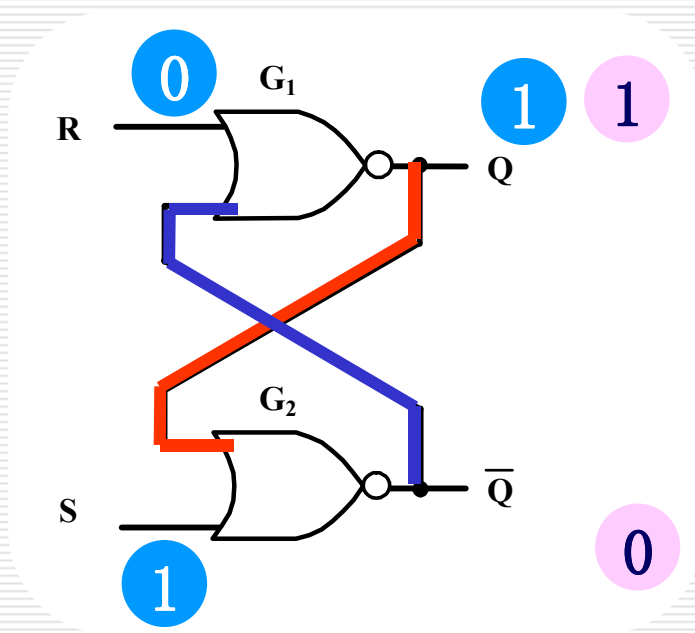
若现态 $Q^n = 1$



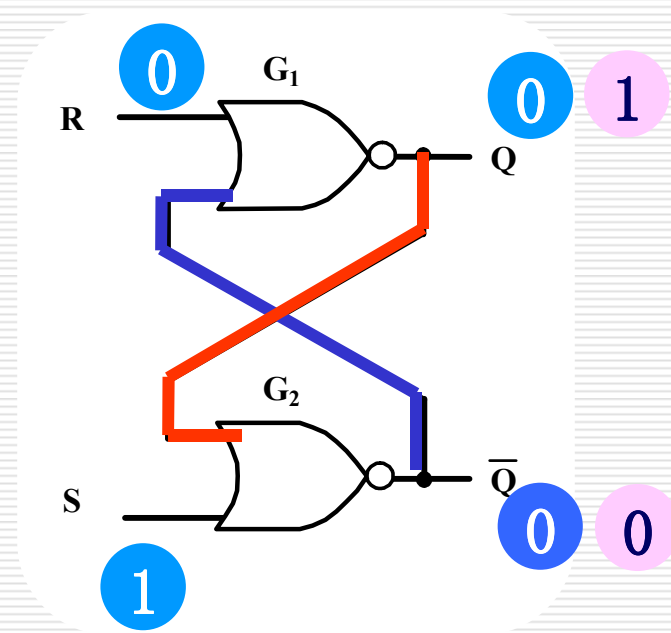
若现态 $Q^n = 0$

$R=0$ 、 $S=1$ 置1

无论现态 Q^n 为0或1，锁存器的次态为1态。信号消失后新的状态将被记忆下来。



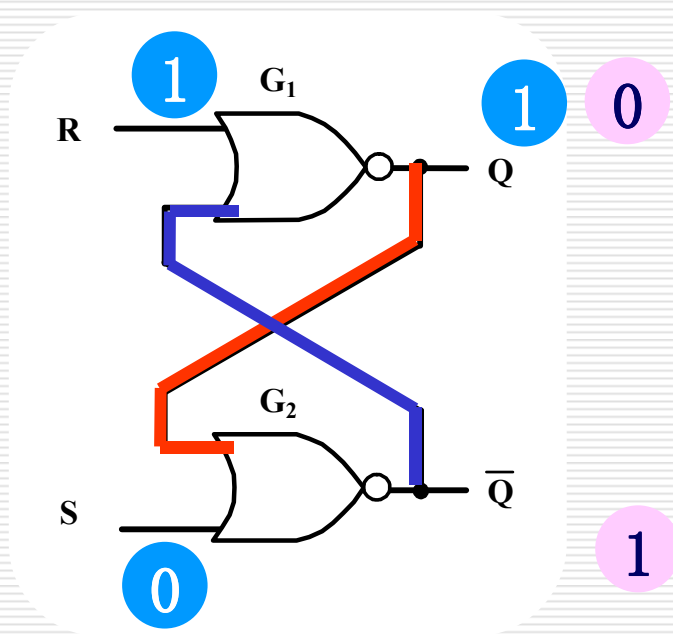
若现态 $Q^n = 1$



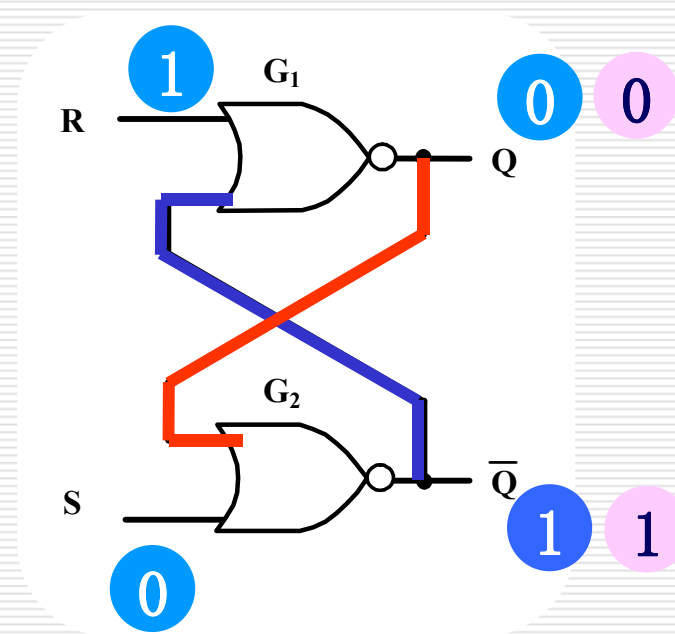
若现态 $Q^n = 0$

$R=1$ 、 $S=0$ 置0

无论现态 Q^n 为0或1，锁存器的次态为0态。信号消失后新的状态将被记忆下来。



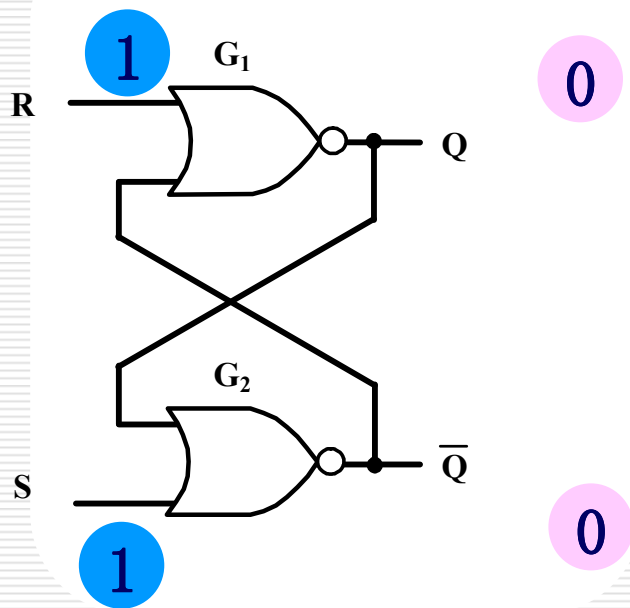
若现态 $Q^n = 1$



若现态 $Q^n = 0$

$S=1$ 、 $R=1$ 状态不确定

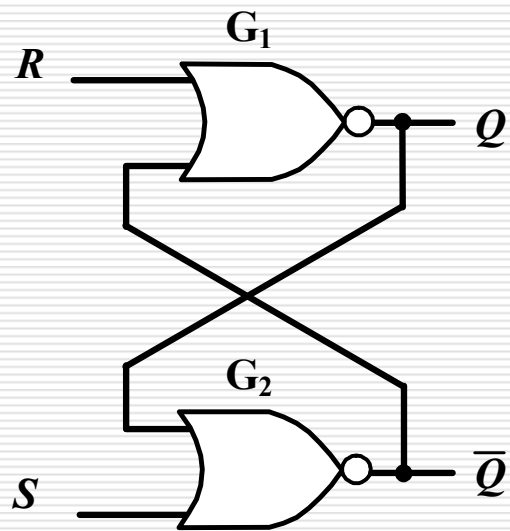
无论现态 Q^n 为0或1，触发器的次态 Q^{n+1} 、 \overline{Q}^{n+1} 都为0。



触发器的输出既不是0态，也不是1态

当 S 、 R 同时回到0时，由于两个与非门的延迟时间无法确定，使得触发器最终稳定状态也不能确定。

约束条件: $SR = 0$

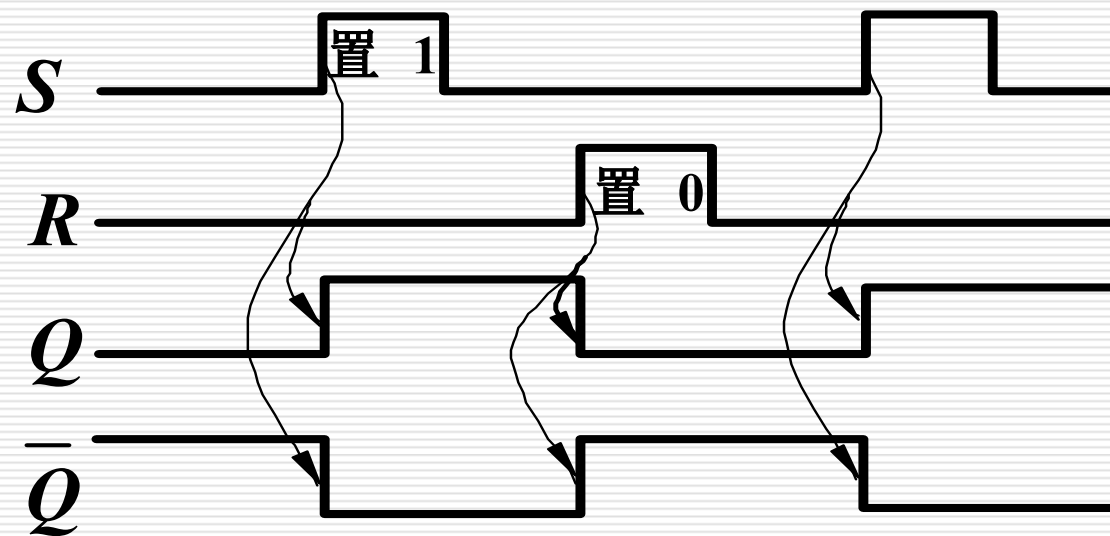


现态用 Q^n 表示 次态用 Q^{n+1} 表示

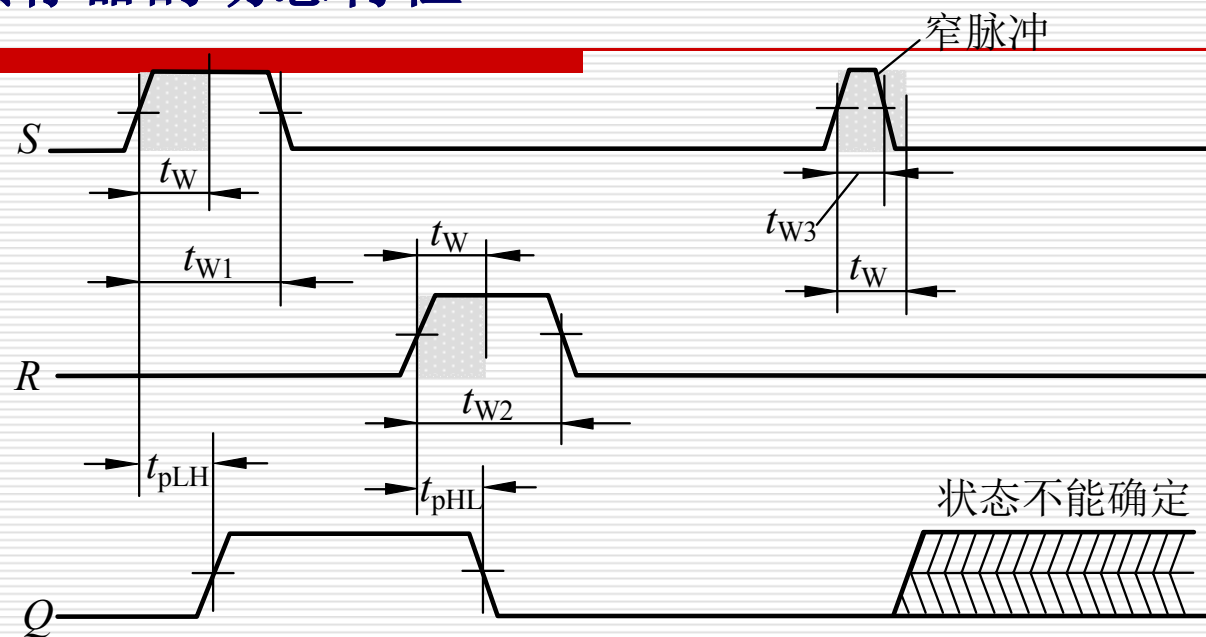
输 入			输 出		备注
R	S	Q^n	Q^{n+1}	$\overline{Q^{n+1}}$	
0	0	0	0	1	保持
0	0	1	1	0	
0	1	0	1	0	置1
0	1	1	1	0	
1	0	0	0	1	置0
1	0	1	0	1	
1	1	0	0	0	禁止
1	1	1	0	0	

$$Q^{n+1} = \overline{R} \overline{S} Q^n + \overline{R} S \overline{Q}^n + \overline{R} S Q^n + \text{无关项}$$

工作波形



2. 基本SR锁存器的动态特性

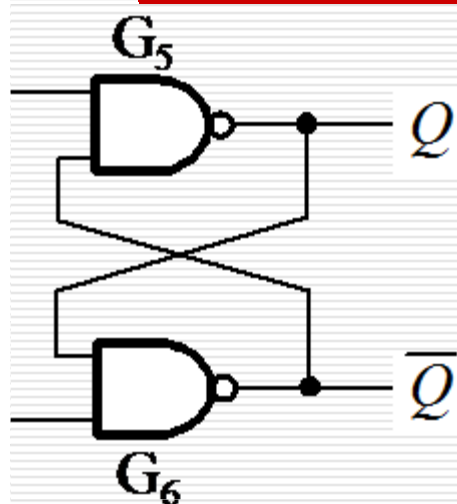


定时图

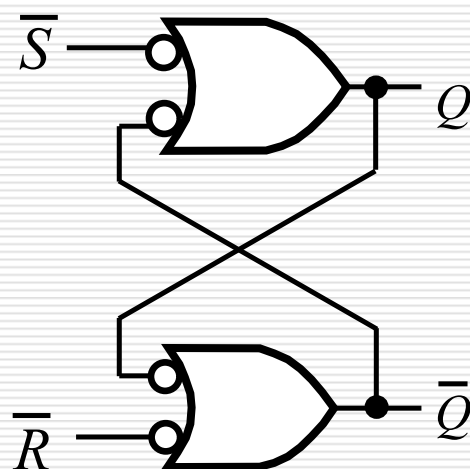
t_{pLH} 和 t_{pHL} 分别为输出由高到低和由低到高时，相对于输入的延迟时间。

脉冲宽度 t_W ：如果输入脉冲宽度 $< t_W$ ，Q未越过介稳态点，S端信号撤出，会使输出状态不稳定。图中 t_{W1} 和 t_{W2} 均 $> t_W$ 。

3. 用与非门构成的基本SR锁存器



a. 电路图



约束条件:

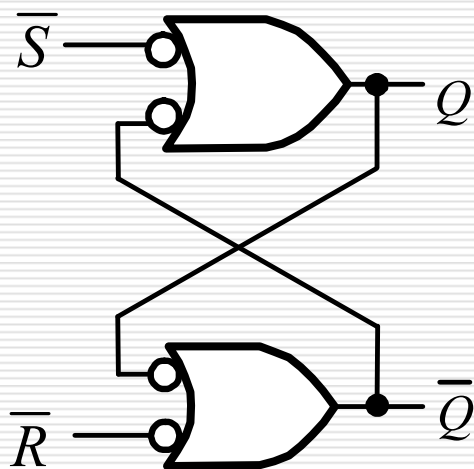
$$\bar{S} + \bar{R} = 1$$

b. 功能表

输 入			输 出		备注
R	S	Q^n	Q^{n+1}	$\overline{Q^{n+1}}$	
0	0	0	1	1	禁止
0	0	1	1	1	
0	1	0	0	1	置0
0	1	1	0	1	
1	0	0	1	0	置1
1	0	1	1	0	
1	1	0	0	1	保持
1	1	1	1	0	

3. 用与非门构成的基本SR锁存器

a. 电路图

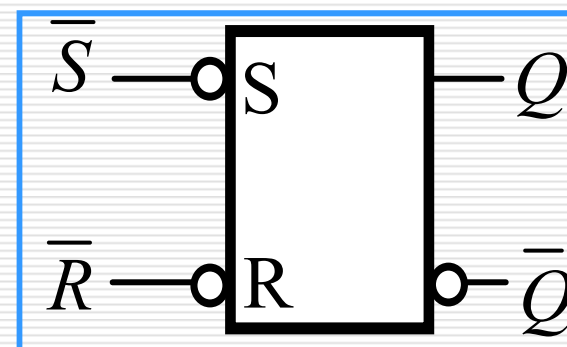


b. 简化功能表

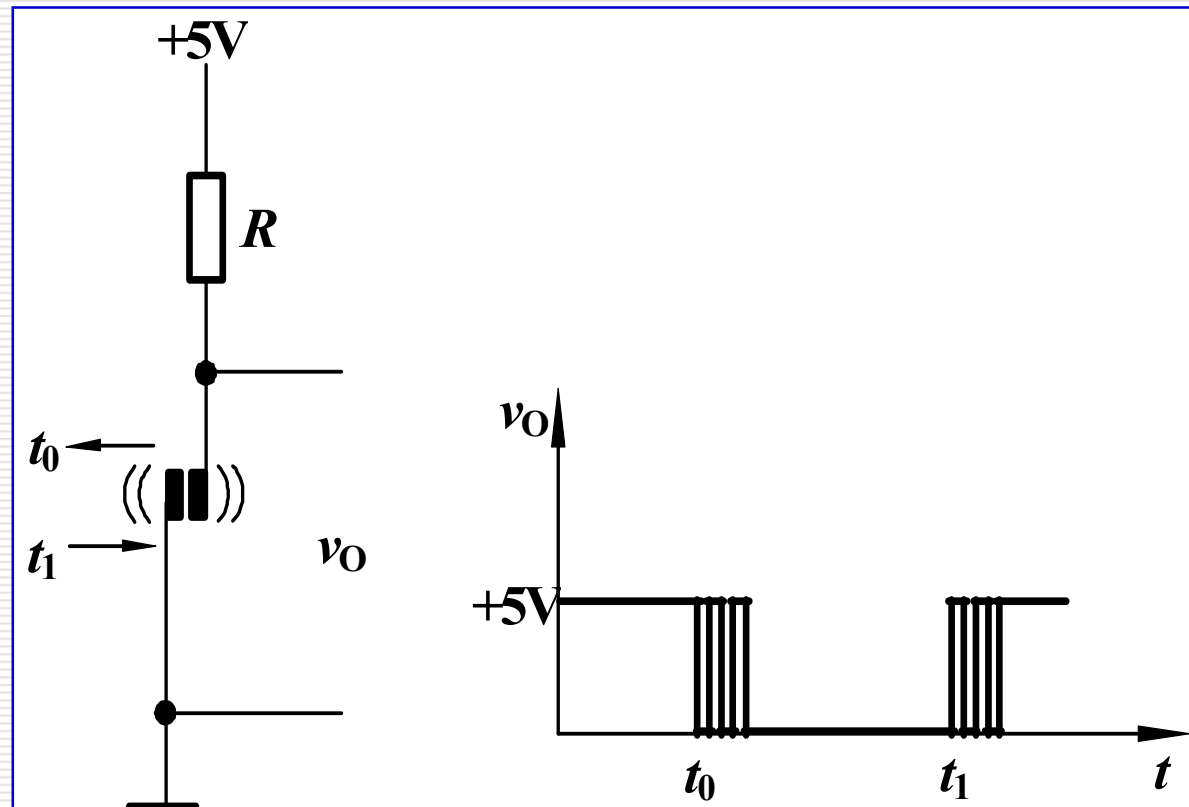
\overline{R}	\overline{S}	Q	\overline{Q}
1	1	不变	不变
1	0	1	0
0	1	0	1
0	0	1	1

约束条件: $\overline{S} + \overline{R} = 1$

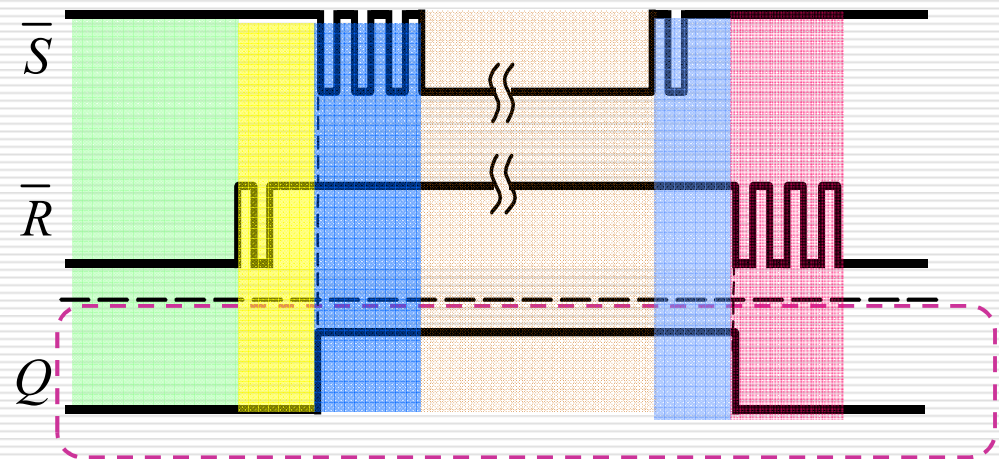
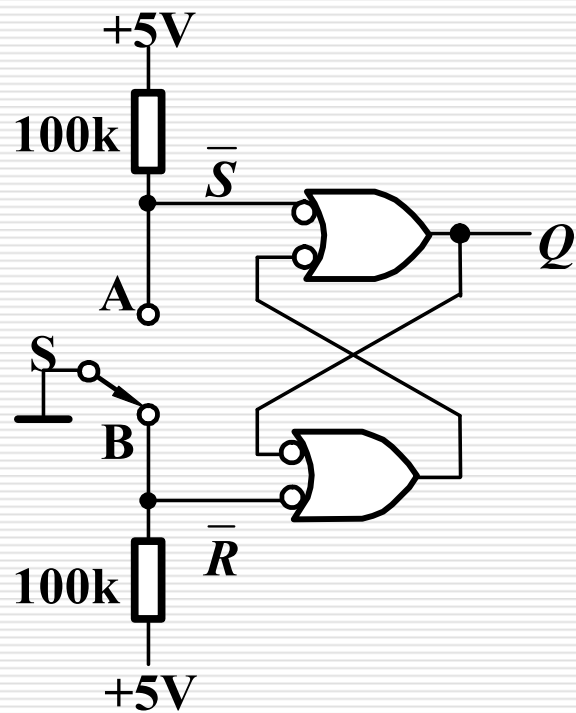
c. 国标逻辑符号



例 运用基本SR锁存器消除机械开关触点抖动引起的脉冲输出。



观察Q点的波形（用锁存器屏蔽抖动）

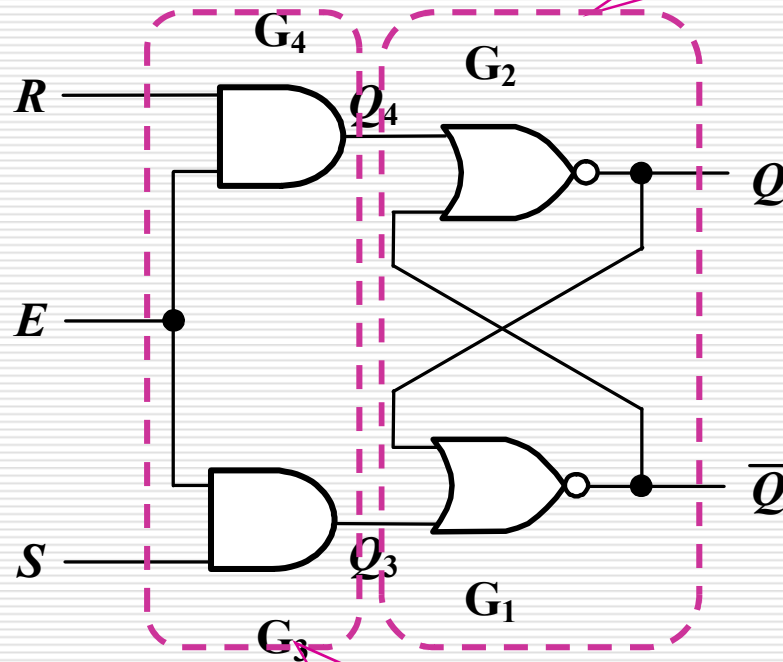


5.2.2 门控SR 锁存器

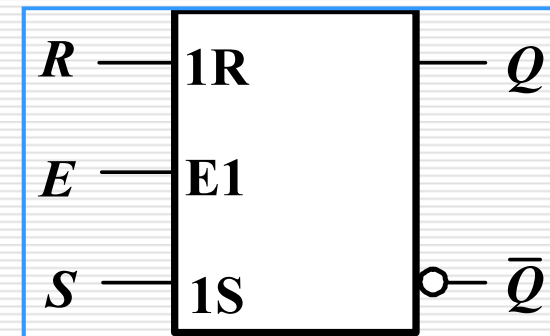
1. 电路结构

简单SR锁存器

国标逻辑符号



使能信号控制门电路



2、工作原理

$E=0$: 状态不变

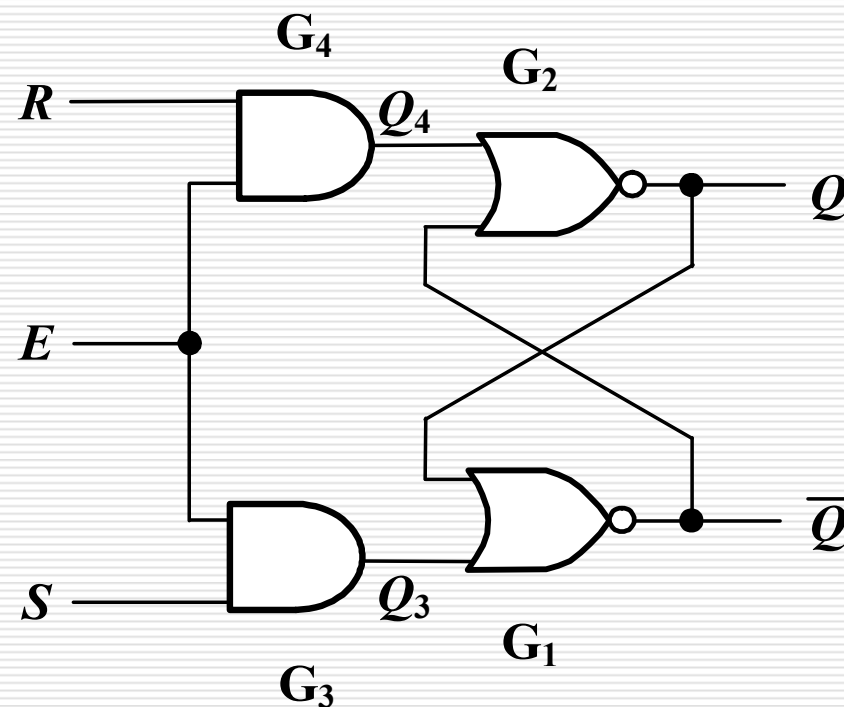
$E=1$: $Q_3 = S$ $Q_4 = R$
状态发生变化。

$S=0, R=0$: $Q^{n+1} = Q^n$

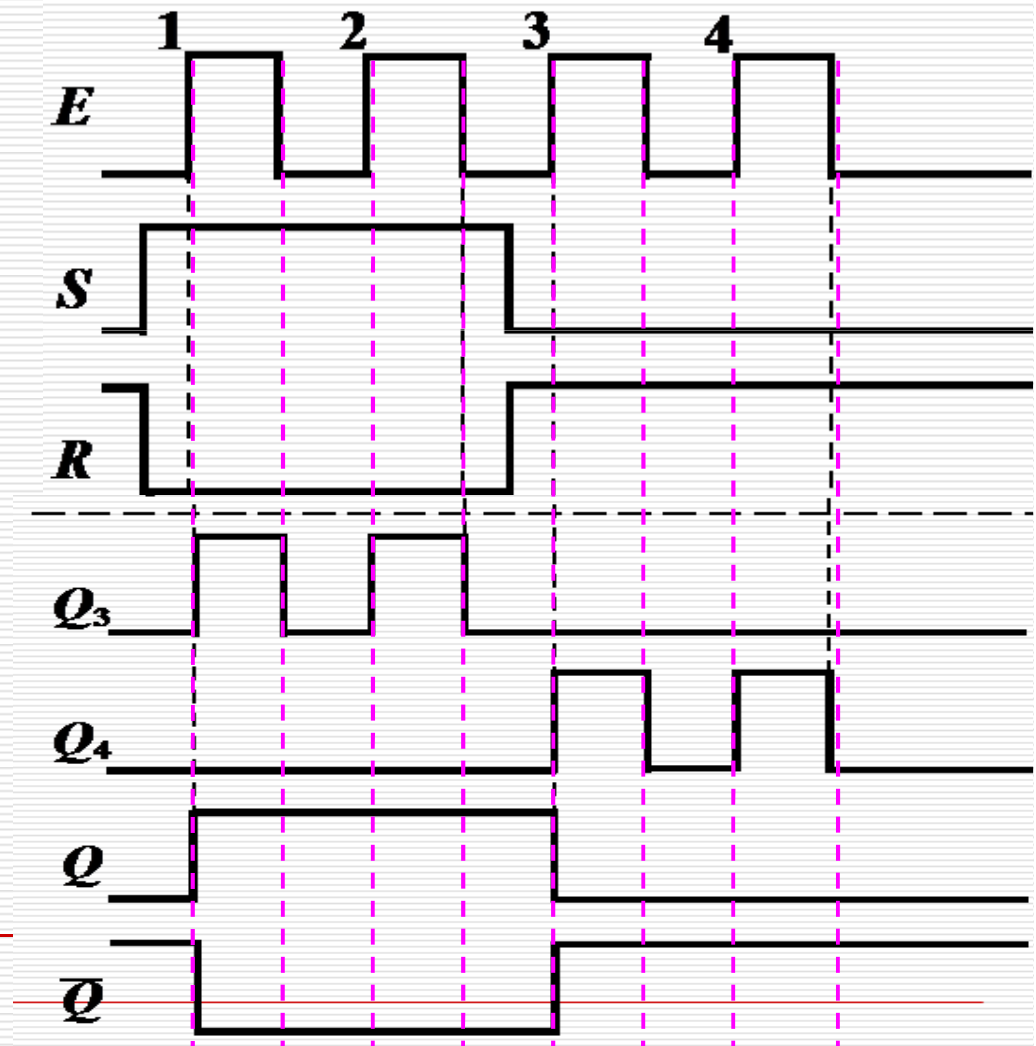
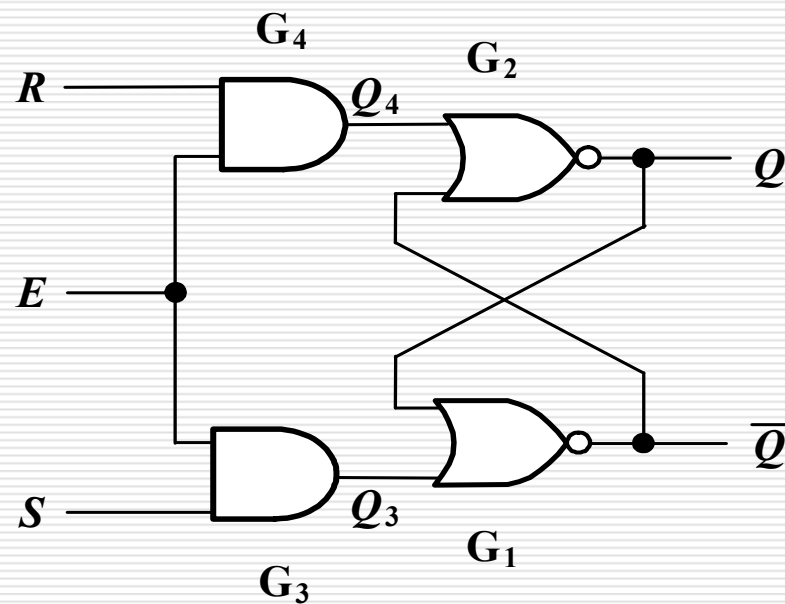
$S=1, R=0$: $Q^{n+1} = 1$

$S=0, R=1$: $Q^{n+1} = 0$

$S=1, R=1$: $Q^{n+1} = \Phi$



例：逻辑门控SR锁存器的 E 、 S 、 R 的波形如下图虚线上边所示，
锁存器的原始状态为 $Q=0$ ，试画出 Q_3 、 Q_4 、 Q 和 \bar{Q} 的波形。



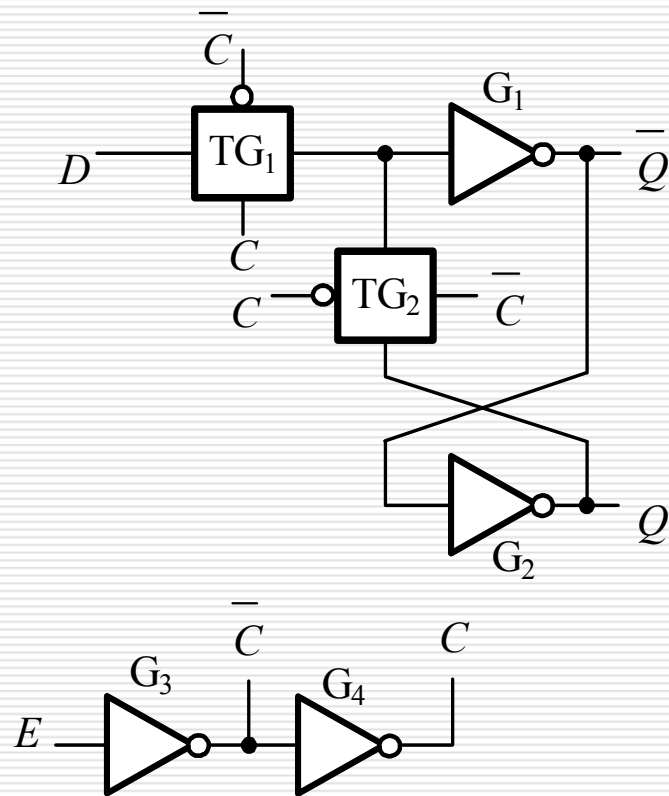
5.3 D锁存器

5.3.1 *D*锁存器的电路结构

5.3.2 典型的*D* 锁存器集成电路

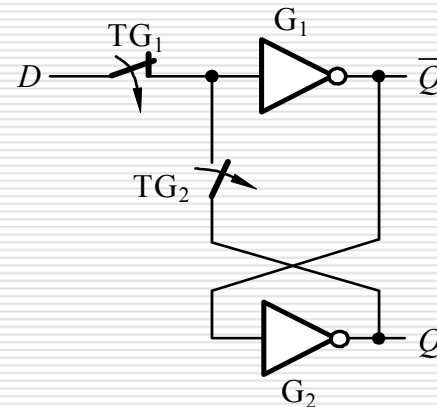
5.3.3 *D* 锁存器的动态特性

(2)工作原理



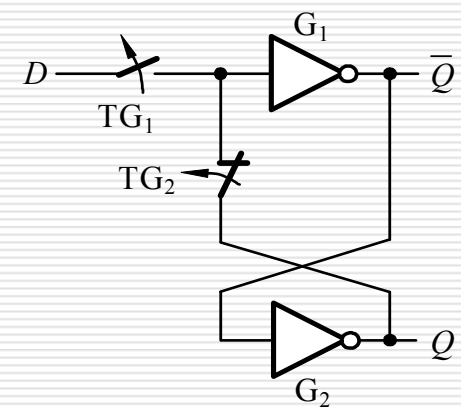
(a) $E=1$ 时

TG_1 导通,
 TG_2 断开
 $Q = D$



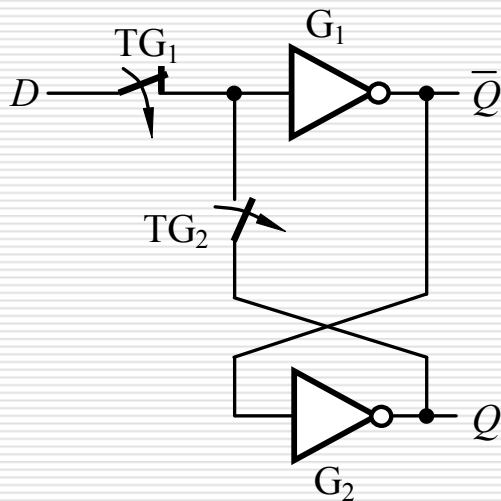
(b) $E=0$ 时

TG_2 导通,
 TG_1 断开
 Q 不变



(3) 逻辑功能

D锁存器的功能表



E	D	Q	\bar{Q}	功能
0	\times	不变	不变	保持
1	0	0	1	置0
1	1	1	0	置1

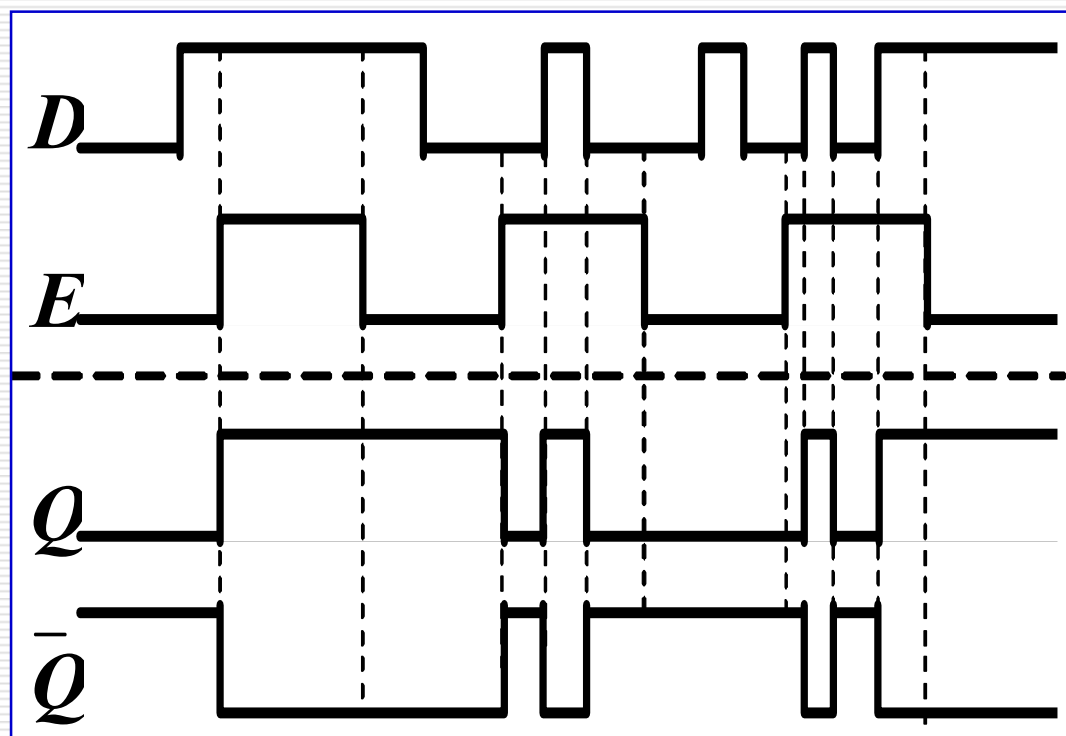
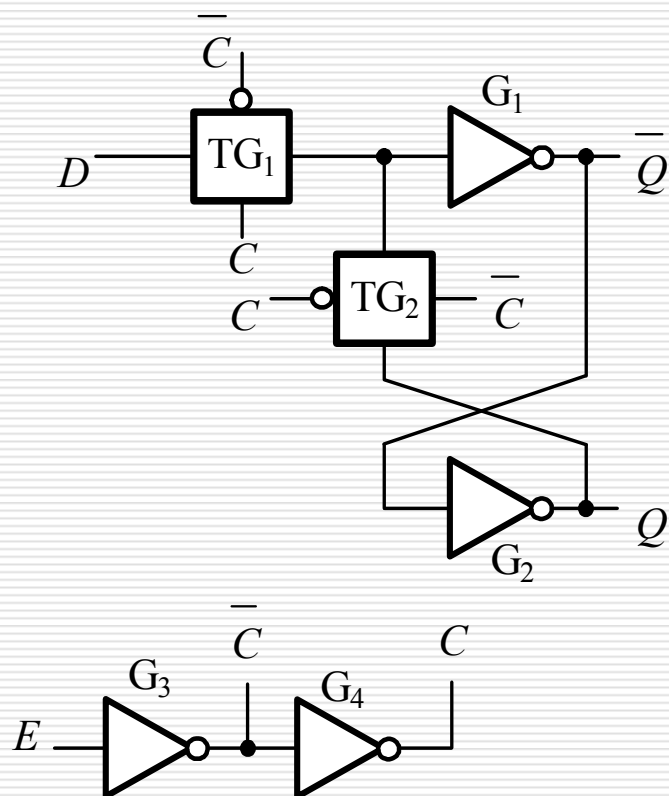
$E=0$,

Q 不变

$E=1$

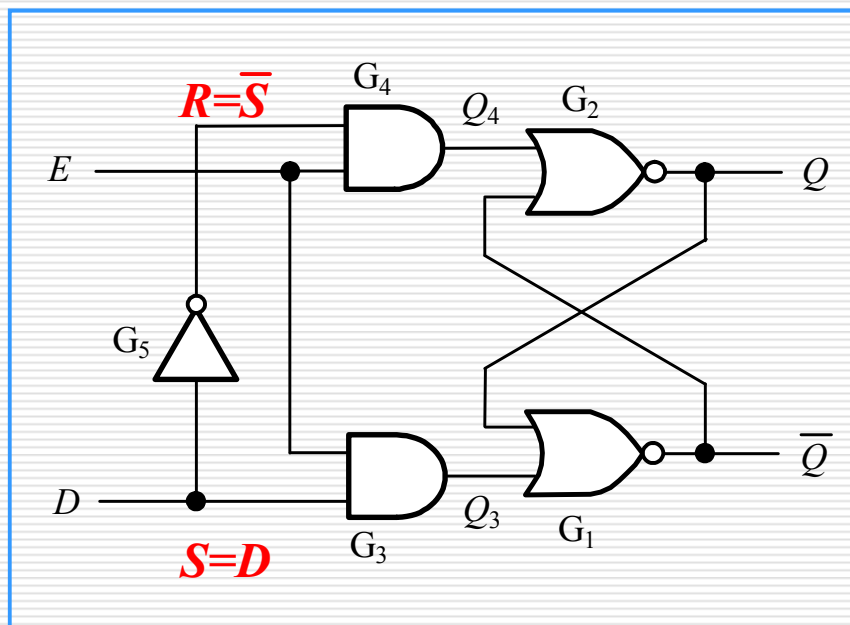
$Q = D$

(4) 工作波形



2. 逻辑门控D锁存器

逻辑电路图



D锁存器的功能表

E	D	Q	\bar{Q}	功能
0	\times	不变	不变	保持
1	0	0	1	置0
1	1	1	0	置1

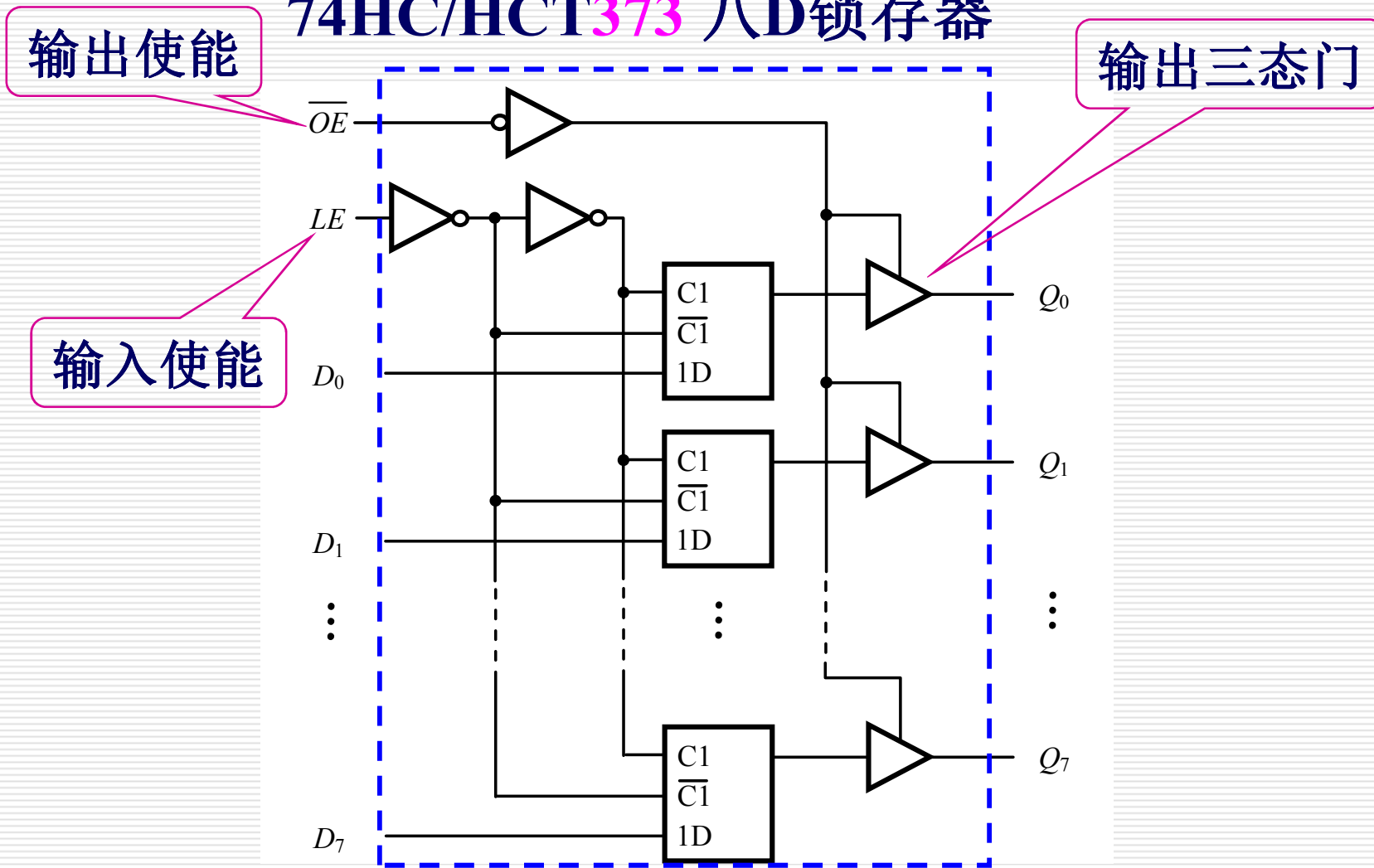
$E=0$ Q 不变

$E=1$ $D=0$ $S=0$ $R=1$ $Q=0$

$D=1$ $S=1$ $R=0$ $Q=1$

5.3.2 典型的D锁存器集成电路

74HC/HCT373 八D锁存器



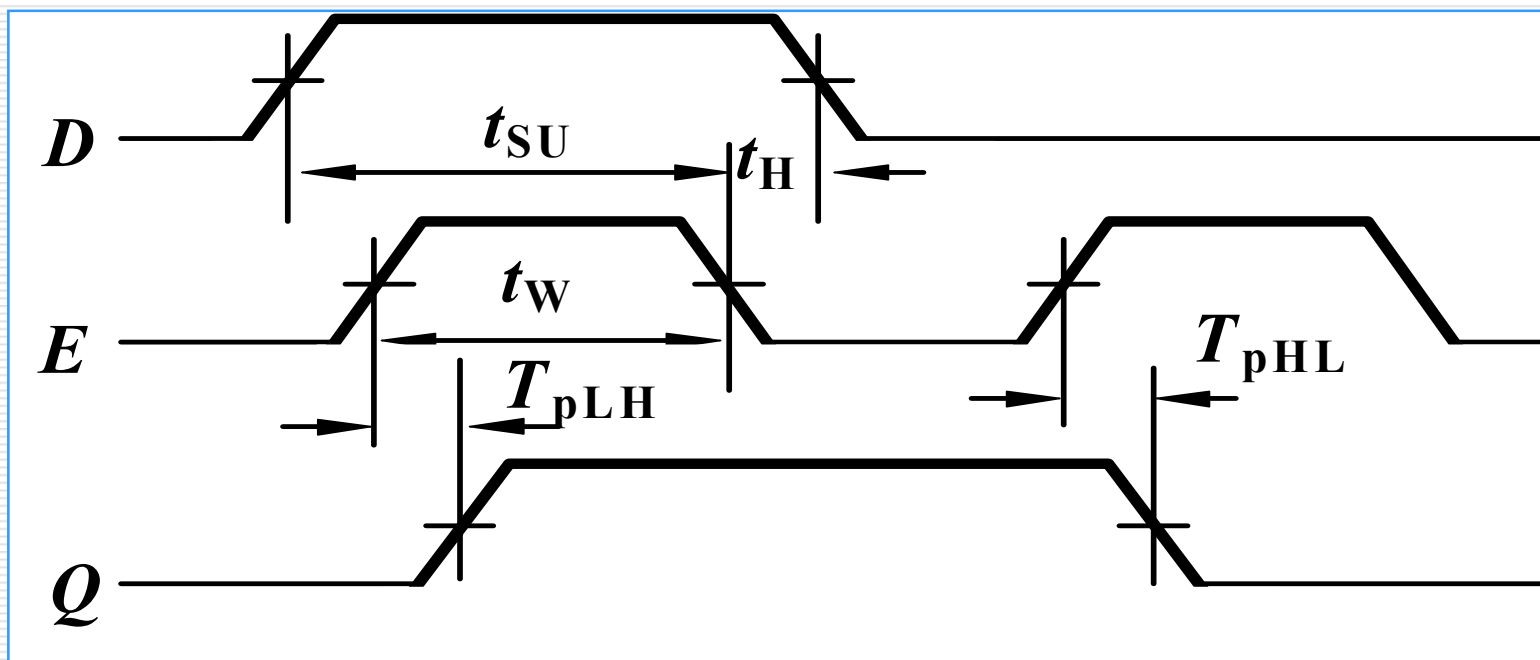
74HC/HCT373的功能表

工作模式	输 入			内部锁存器 状 态	输 出
	OE	LE	D_n		Q_n
使能和读锁存器 (传送模式)	L	H	L	L	L
	L	H	H	H	H
锁存和读锁存器	L	L	L*	L	L
	L	L	H*	H	H
锁存和禁止输出	H	×	×	×	高阻
	H	×	×	×	高阻

L*和H*表示门控电平 LE 由高变低之前瞬间 D_n 的逻辑电平。

5.3.3 D锁存器的动态特性

定时图:表示电路动作过程中, 对各输入信号的时间要求以及输出对输入信号的响应时间。



有建立时间 t_{SU} 、保持时间 t_H 、脉冲宽度 t_W 等。

5.4 触发器的电路结构和工作原理

5.4.1 主从D触发器的电路结构和工作原理

5.4.2 典型主从D触发器集成电路

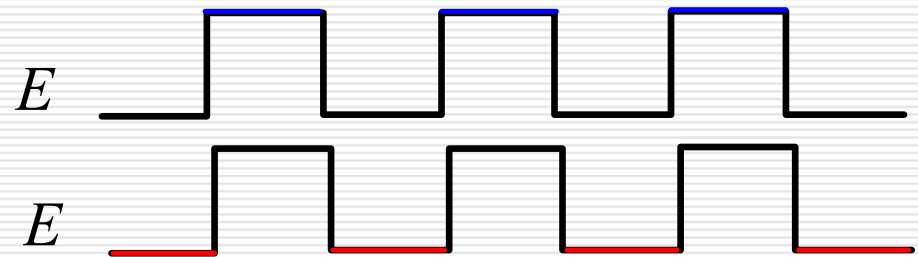
5.4.3 主从D触发器的动态特性

5.4.4 其他电路结构的触发器

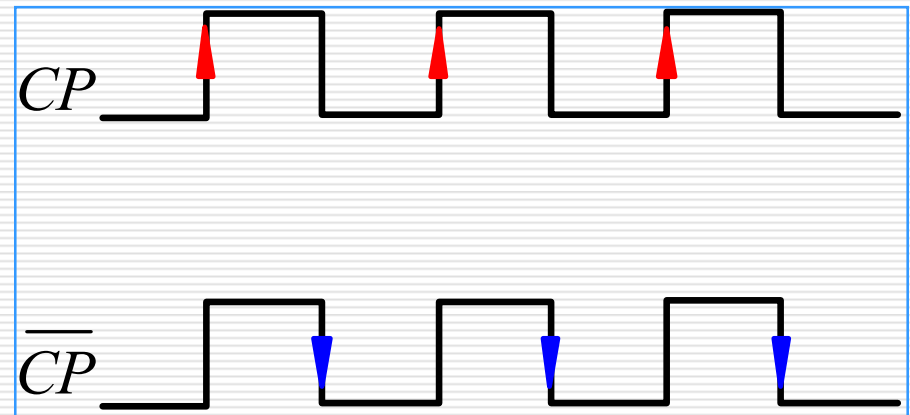
5.4 触发器的电路结构和工作原理

1. 锁存器与触发器

锁存器在**E**的高(低)电平期间对信号敏感



触发器在**CP**的上升沿(下降沿)对信号敏感



在VerilogHDL中对锁存器与触发器的描述语句是不同的

5.4 触发器的电路结构和工作原理

5.4.1 主从D触发器的电路结构和工作原理

1. 电路结构

主锁存器与从锁存器结构相同

TG_1 和 TG_4 的工作状态相同

TG_2 和 TG_3 的工作状态相同

