

# 第四章 作业布置

---

本次（3月19号）作业要求：

每个同学自己从第四章的课后习题中选3题做到作业本中，至于做哪3题，每个同学自己选择。不作硬性规定。我在检查作业时，只看是否做了3题。（从你购买的课本上选题做就可以了。）

---

# 关于大创和竞赛

---

- 1、重在参与。
  - 2、协调好课程学习和大创的时间分配。
  - 3、巧用时间争取担任负责人、项目组长  
假期间重点参与大创项目。平时要多  
花时间学好专业课程。
  - 4、明天晚上19:30在新安230答疑
-

---

# 数 字 逻 辑

丁 贤 庆

ahhfdxq@163.com

---

# 第四章

---

## 组合逻辑电路

# 4 组合逻辑电路

---

4.1 组合逻辑电路的分析

4.2 组合逻辑电路的设计

4.3 组合逻辑电路中的竞争和冒险

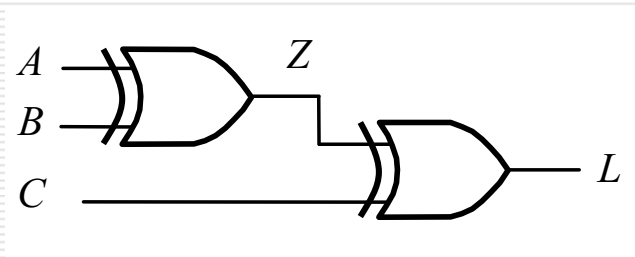
4.4 若干典型的组合逻辑电路

4.5 组合可编程逻辑器件

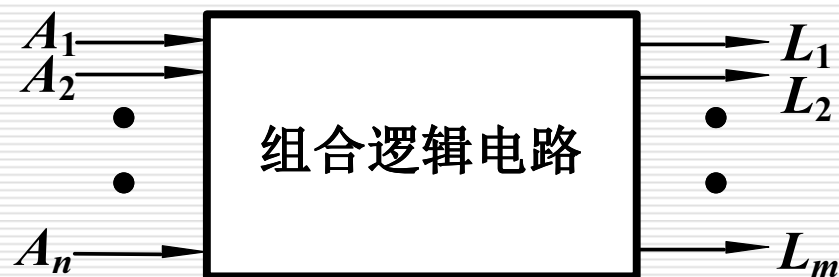
4.6 用Verilog HDL描述组合逻辑电路

## 4.1 组合逻辑电路分析

### 4.1.1 组合逻辑电路的定义



组合逻辑电路的一般框图



$$L_i = f(A_1, A_2, \dots, A_n) \quad (i=1, 2, \dots, m)$$

结构特征:

- 1、输出、输入之间没有反馈延迟通路,
- 2、不含记忆单元

工作特征:

组合逻辑电路工作特点:在任何时刻,电路的输出状态只取决于同一时刻的输入状态而与电路原来的状态无关。

## 4.1.2 组合逻辑电路的分析方法

---

### 一. 组合逻辑电路分析

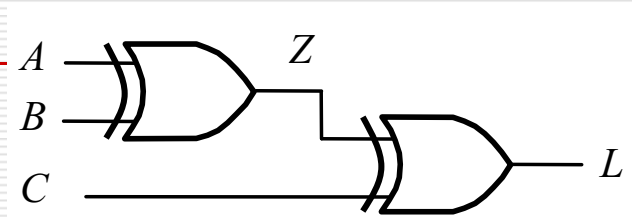
根据已知逻辑电路，经分析确定电路的逻辑功能。

### 二. 组合逻辑电路的分析步骤：

- 1、由逻辑图写出各输出端的逻辑表达式；
  - 2、化简和变换逻辑表达式；
  - 3、列出真值表；
  - 4、根据真值表或逻辑表达式，经分析最后确定其功能。
-

### 三、组合逻辑电路的分析举例

例1 分析如图所示逻辑电路的功能。



解：1.根据逻辑图写出输出函数的逻辑表达式

$$L = Z \oplus C$$

$$= (A \oplus B) \oplus C$$

$$= A \oplus B \oplus C$$

2. 列写真值表。

3. 确定逻辑功能：

输入变量的取值中有奇数个1时， $L$ 为1，否则 $L$ 为0，电路具有为奇校验功能。

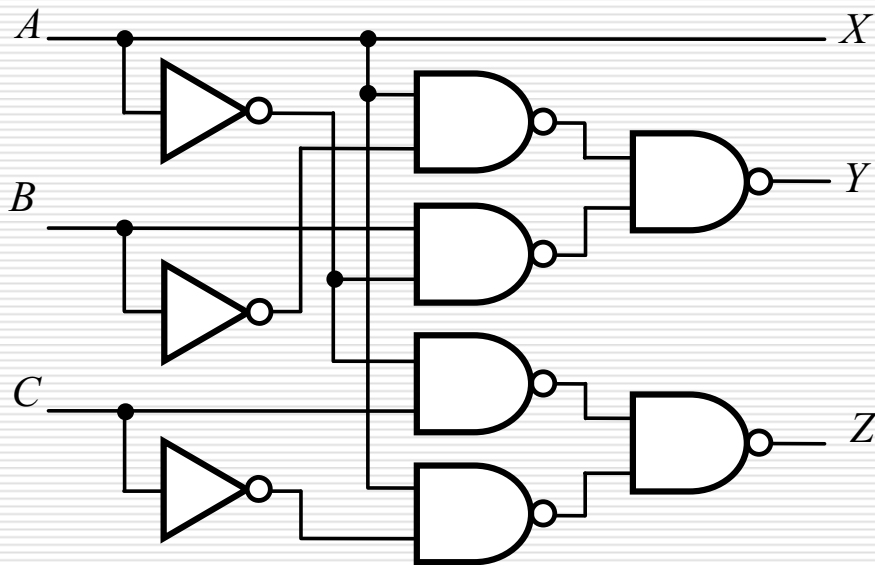
A	B	C	$Z = A \oplus B$	$L = (A \oplus B \oplus C)$
0	0	0	0	0
0	0	1	0	1
0	1	0	1	1
0	1	1	1	0
1	0	0	1	1
1	0	1	1	0
1	1	0	0	0
1	1	1	0	1

如要实现偶校验，电路应做何改变？



## 例2 试分析下图所示组合逻辑电路的逻辑功能。

解：1、根据逻辑电路写出各输出端的逻辑表达式，并进行化简和变换。



$$X = A$$

$$Y = \overline{\overline{A}B} \cdot \overline{\overline{A}B}$$

$$Z = \overline{\overline{A}C} \cdot \overline{\overline{A}C}$$

---

## 2、列写真值表

$$X = A$$

$$Y = \overline{\overline{A} \overline{B}} \cdot \overline{\overline{A} \overline{B}} = A \overline{B} + \overline{A} B$$

$$Z = \overline{\overline{A} \overline{C}} \cdot \overline{\overline{A} \overline{C}} = A \overline{C} + \overline{A} C$$

真值表

<i>A</i>	<i>B</i>	<i>C</i>	<i>X</i>	<i>Y</i>	<i>Z</i>
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	1	1
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	0	0

---

---

### 3、确定电路逻辑功能

这个电路逻辑功能是对输入的  
二进制码求反码。最高位为  
符号位，0表示正数，1表示负  
数，正数的反码与原码相同；  
负数的数值部分是在原码的基  
础上逐位求反。

真值表

<i>A</i>	<i>B</i>	<i>C</i>	<i>X</i>	<i>Y</i>	<i>Z</i>
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	1	1
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	0	0

---

## 4.2 组合逻辑电路的设计

---

### 4.2.1 组合逻辑电路的设计过程

一、组合逻辑电路的设计：根据实际逻辑问题，求出所要求逻辑功能的最简单逻辑电路。

#### 二、组合逻辑电路的设计步骤

- 1、逻辑抽象：根据实际逻辑问题的因果关系确定输入、输出变量，并定义逻辑状态的含义；
  - 2、根据逻辑描述列出真值表；
  - 3、由真值表写出逻辑表达式；
  - 4、简化和变换逻辑表达式，画出逻辑图。
-

---

例1 某火车站有特快、直快和慢车三种类型的客运列车进出，试设计一个指示列车等待进站的逻辑电路，当有两种或以上的列车等待进站时，要求发出信号，提示工作人员安排进站事宜。

解：（1）逻辑抽象。

输入信号： $A$ 、 $B$ 、 $C$ 分别表示特快、直快和慢车，且有进站请求时为1，没有请求时为0。

输出信号： $L$ 表示进站状况，有两种以上的车进站为1，否则为0。

---

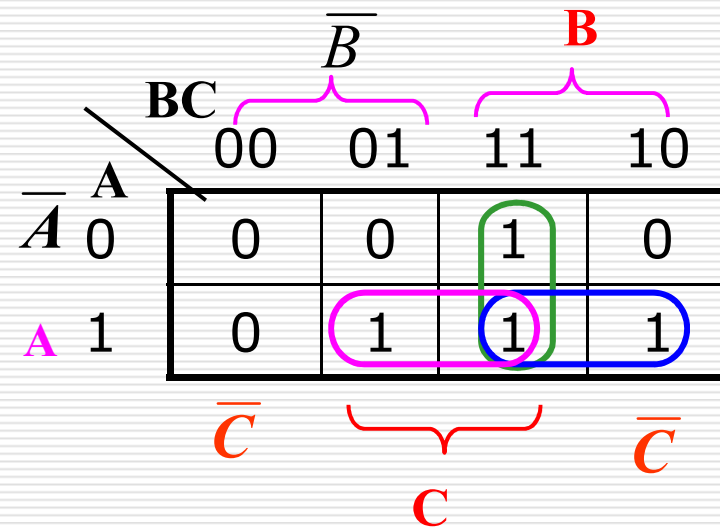
## (2) 根据题意列出真值表

输 入			输 出
$A$	$B$	$C$	$L$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

(3) 写出输出逻辑表达式,并化简。

$$L = \overline{A}BC + \overline{A}\overline{B}C + A\overline{B}\overline{C} + ABC$$

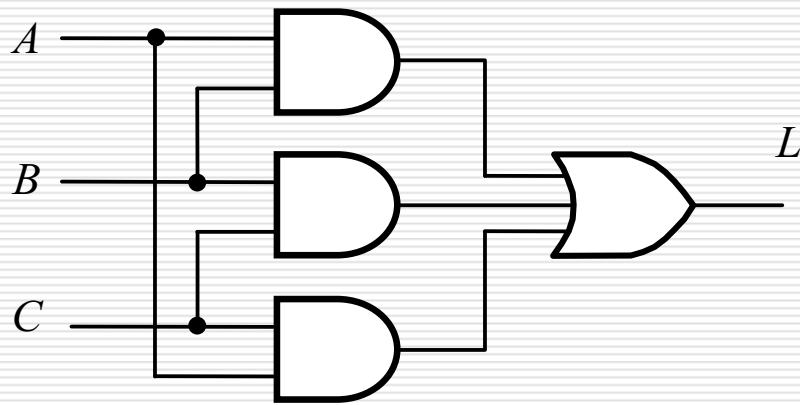
$$L = AB + AC + BC$$



(4) 根据输出逻辑表达式画出逻辑图。

---

表达式为最简与或式，用与门和或门实现两级“与-或”结构的最简电路如图。



例2 试设计一个码转换电路，将4位格雷码转换为自然二进制码。可以采用任何逻辑门电路来实现。

---

解：(1) 明确逻辑功能，列出真值表。

设输入变量为 $G_3$ 、 $G_2$ 、 $G_1$ 、 $G_0$ 为格雷码，

输出变量 $B_3$ 、 $B_2$ 、 $B_1$ 和 $B_0$ 为自然二进制码。

当输入格雷码按照从0到15递增排序时，

可列出逻辑电路真值表

---

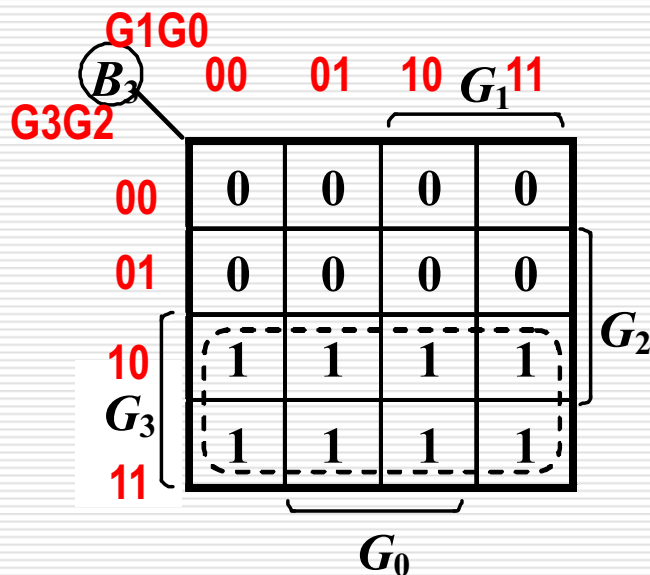


## 逻辑电路真值表(先写输出, 再填输入)

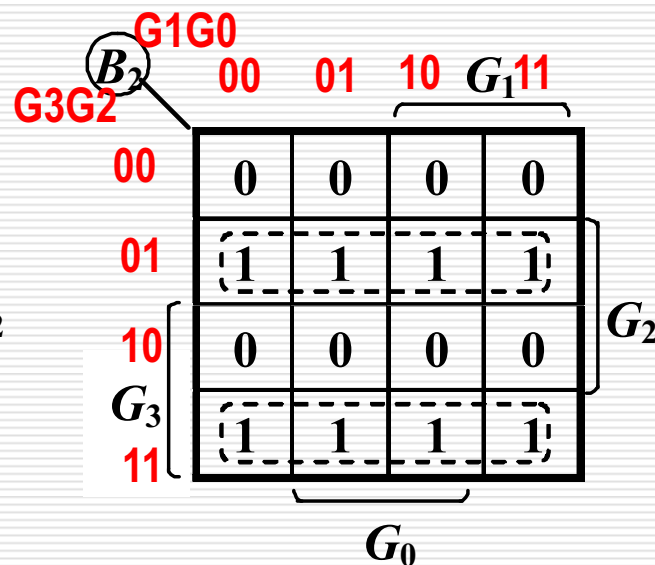
输 入	输 出	输 入	输 出
$G_3 G_2 G_1 G_0$	$B_3 B_2 B_1 B_0$	$G_3 G_2 G_1 G_0$	$B_3 B_2 B_1 B_0$
0 0 0 0	0 0 0 0	1 1 0 0	1 0 0 0
0 0 0 1	0 0 0 1	1 1 0 1	1 0 0 1
0 0 1 1	0 0 1 0	1 1 1 1	1 0 1 0
0 0 1 0	0 0 1 1	1 1 1 0	1 0 1 1
0 1 1 0	0 1 0 0	1 0 1 0	1 1 0 0
0 1 1 1	0 1 0 1	1 0 1 1	1 1 0 1
0 1 0 1	0 1 1 0	1 0 0 1	1 1 1 0
0 1 0 0	0 1 1 1	1 0 0 0	1 1 1 1

填写卡诺图时要注意，**不是按顺序填写的**，要注意G3G2G1G0的取值。

(2) 画出**各输出函数**的卡诺图，并化简和变换。



$$B_3 = G_3$$

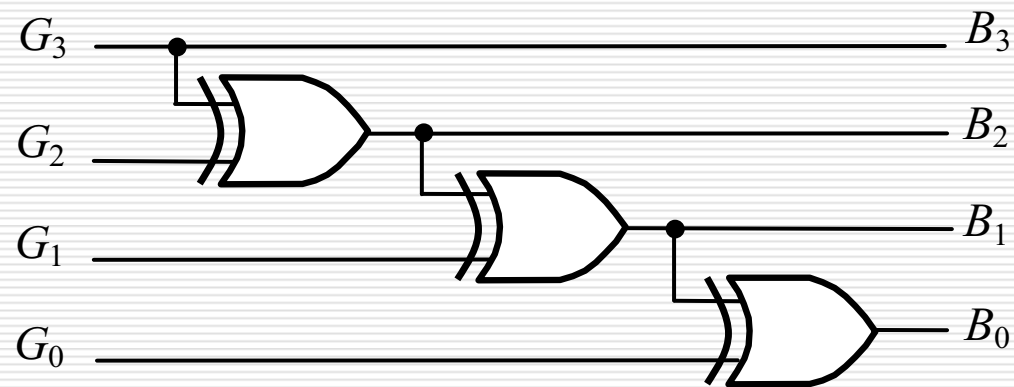


$$B_2 = \bar{G}_3 G_2 + \bar{G}_3 G_2$$

$$B_0 = G_3 \oplus G_2 \oplus G_1 \oplus G_0$$

### (3) 根据逻辑表达式，画出逻辑图

用异或门代替与门和或门能使逻辑电路比较简单。考虑相同乘积项可以减少门电路数目，降低实现电路的成本。

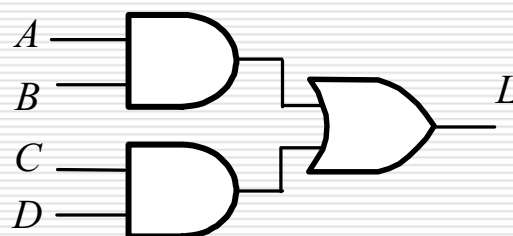


## 4.2.2 组合逻辑电路的优化实现

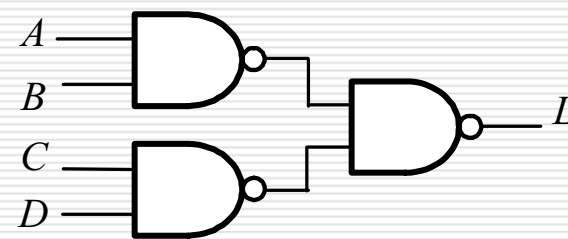
用指定芯片中特定资源实现逻辑函数，使电路的成本低并且工作速度快。因此需要对逻辑表达式进行变换，以**减少芯片资源的数目和连线**。

### 1、单输出电路

$$\begin{aligned} L &= AB + CD \\ &= \overline{\overline{AB} \cdot \overline{CD}} \end{aligned}$$



(a)与-或结构



(b)与非门结构

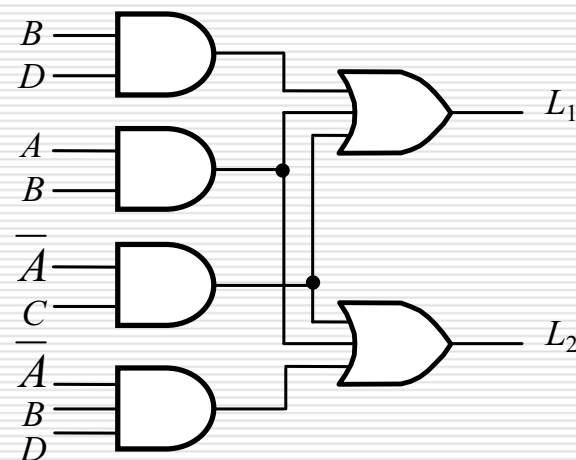
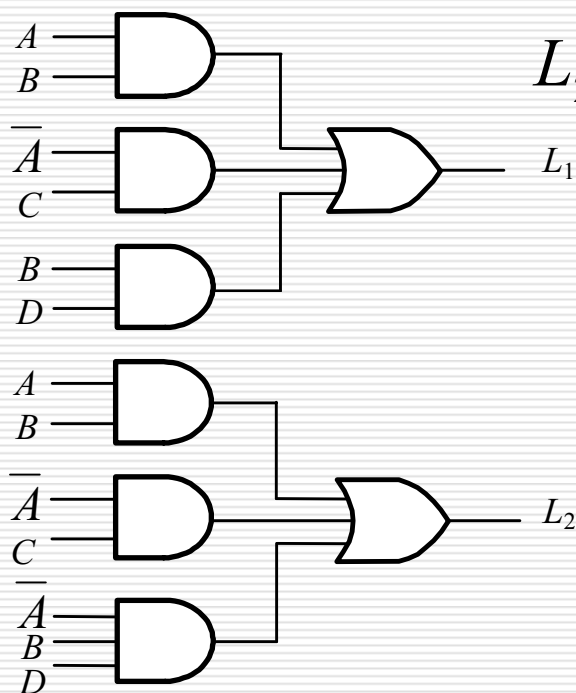
**相同输入端的与非门比与门或者或门所用晶体管少，速度快。**图(b)电路最优

## 2、多输出电路

输出多个逻辑函数时需要考虑共享相同乘积项，减少逻辑门数目。

$$L_1 = AB + \bar{A}C + BD$$

$$L_2 = AB + \bar{A}C + \bar{A}BD$$



(a) 如果分别实现两个逻辑函数，需要6个与门和两个或门。

~~(b) 如果考虑相同乘积项，需要4个与门两个或门，如图。~~

### 3、多级逻辑电路

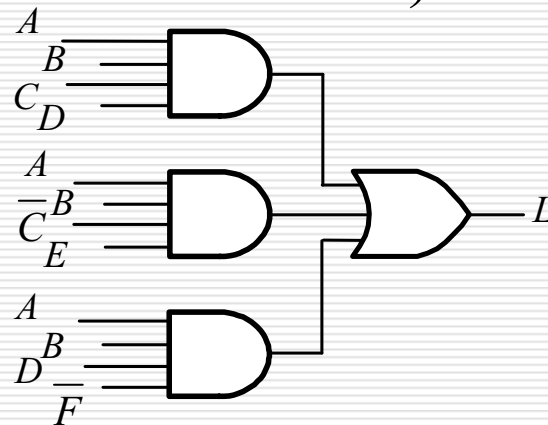
当限定逻辑门输入端数目，则需要进行逻辑变换。

#### (1) 提取公因子

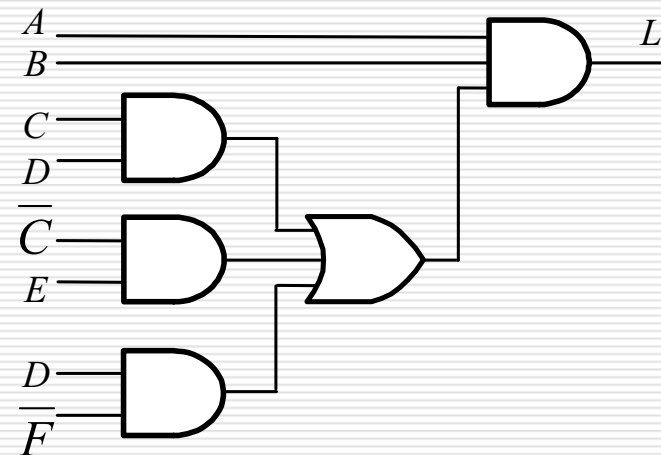
$$L = ABCD + AB\bar{C}E + ABD\bar{F}$$

用与门、或门实现时，限定逻辑门的扇入数为3，需要变换成：

$$L = AB(CD + \bar{C}E + D\bar{F})$$



(a)



(b)

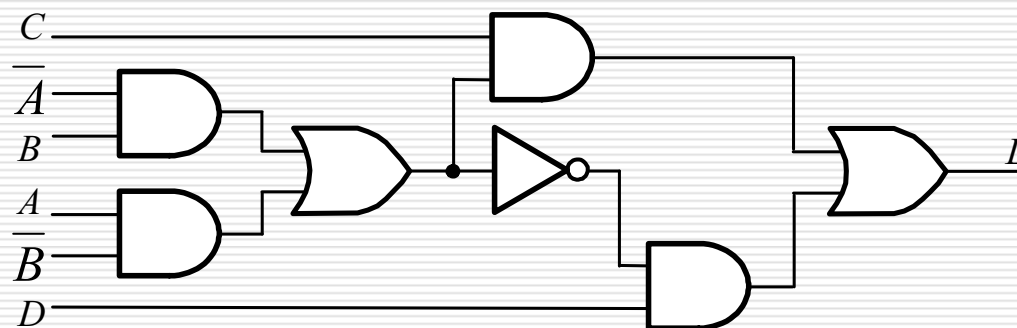
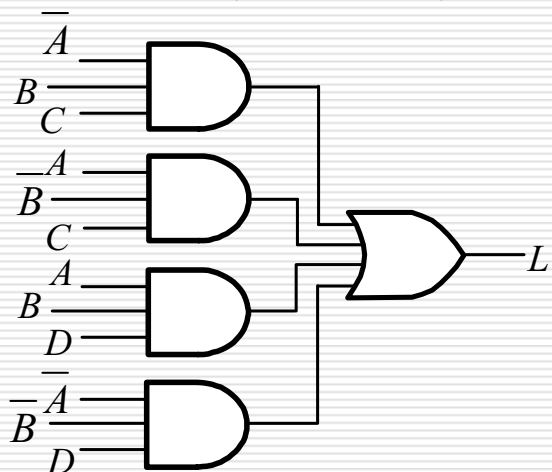
图(a)电路为2级，图(b)为3级，但电路连线减少了。图(a)16根连线，图(b)13根。

## (2) 函数分解

$$L = \overline{A}BC + \overline{A}\overline{B}C + ABD + \overline{A}\overline{B}D$$

用与门、或门实现时，限定逻辑门的扇入数为3，需要变换成：

$$L = (\overline{A}B + A\overline{B})C + (AB + \overline{A}\overline{B})D = (\overline{A}B + A\overline{B})C + \overline{(\overline{A}B + A\overline{B})}D$$



图(a)电路为2级，图(b)为5级。



## 4.3 组合逻辑电路中的竞争冒险

---

### 4.3.1 产生的竞争冒险的原因

### 4.3.2 消去竞争冒险的方法

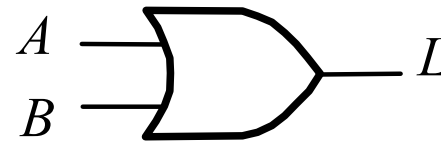
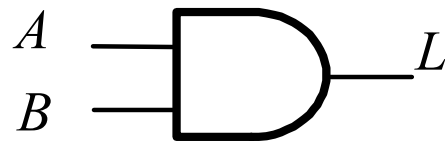
## 4.3 组合逻辑电路中的竞争冒险

### 4.3.1 产生的竞争冒险的原因

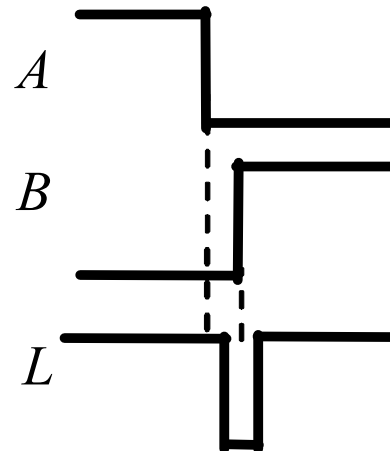
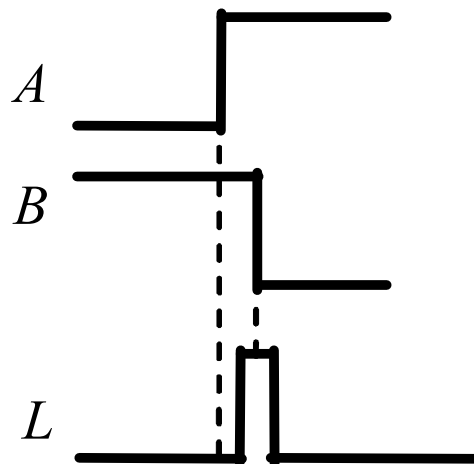
不考虑门的延时时间，且 $B=\bar{A}$

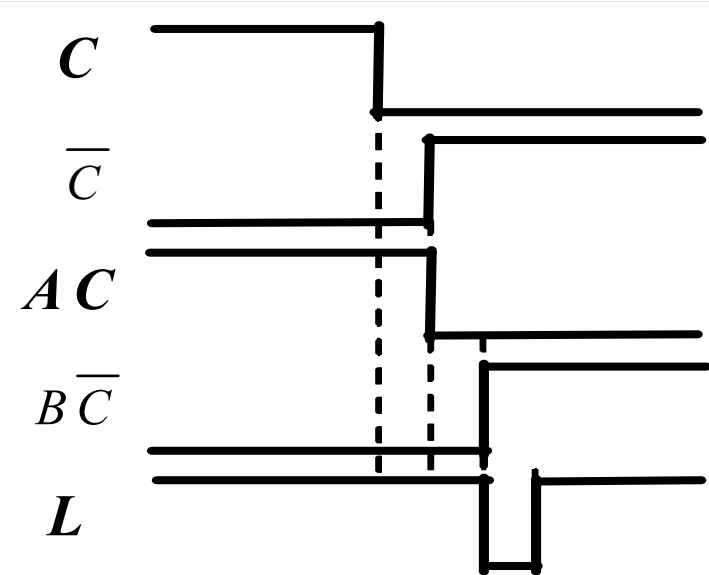
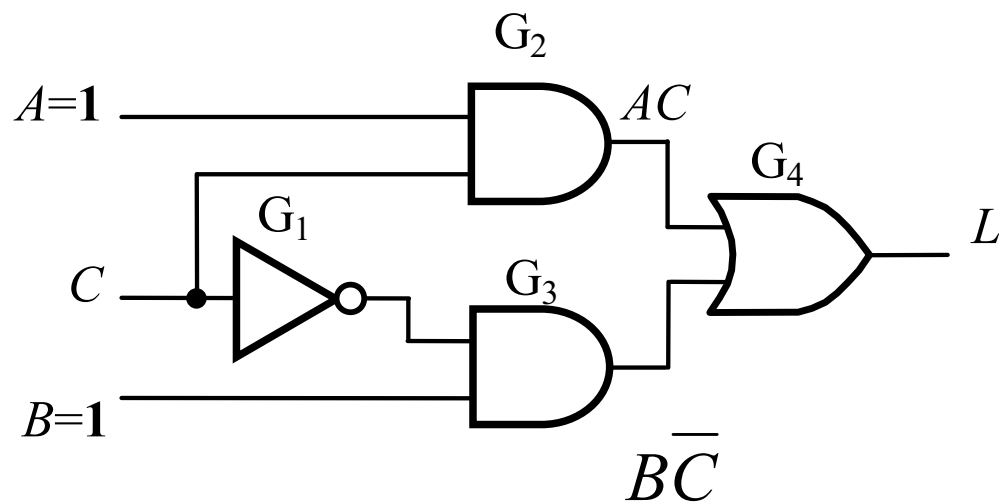
$$L = AB = 0$$

$$L = A + B = 1$$



考虑门的延时时间，且用非门实现 $B=\bar{A}$ 时



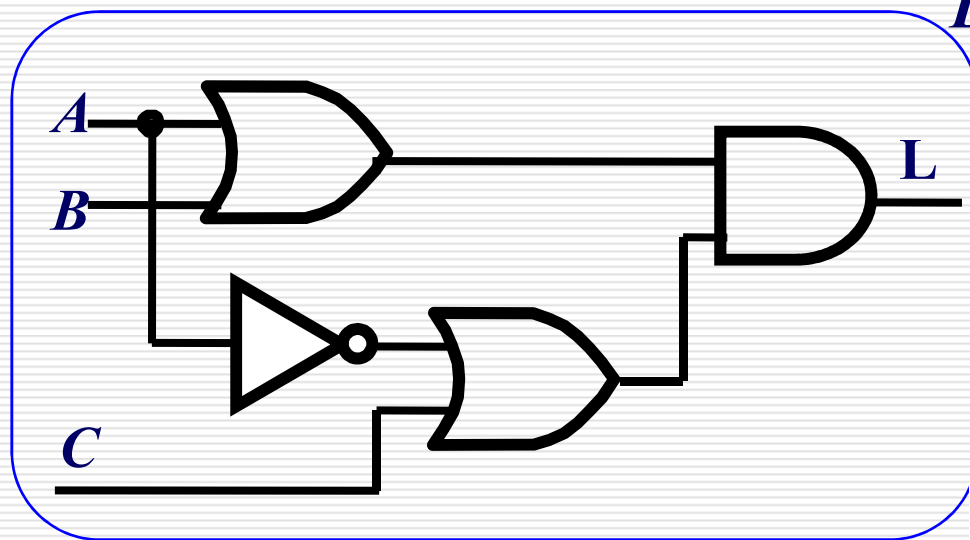


**竞争:** 当一个逻辑门的两个输入端的信号同时向相反方向变化，而变化的时间有差异的现象。

**冒险:** 两个输入端的信号取值的变化方向是相反时，如门电路输出端的逻辑表达式简化成两个互补信号相乘或者相加，由竞争而可能产生输出干扰脉冲的现象。

## 4.3.2 消去竞争冒险的方法

### 1. 发现并消除互补变量



$$L = (A + B)(\bar{A} + C)$$

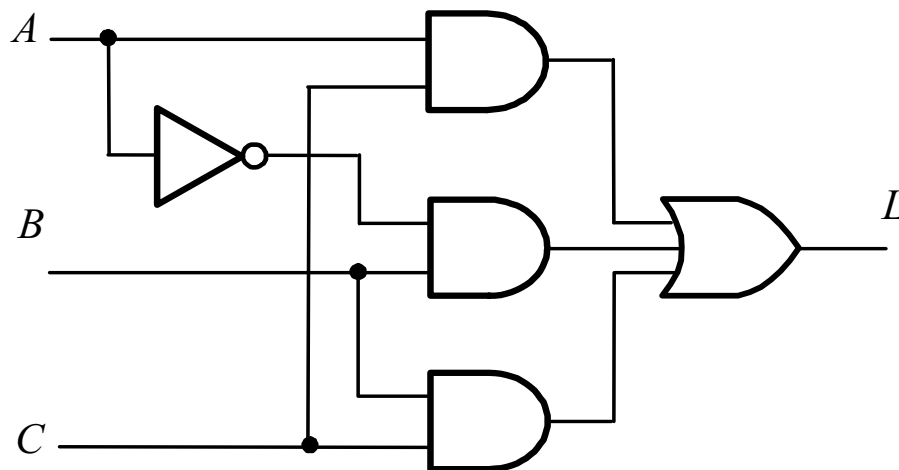
$B = C = 0$ 时

$$F = A\bar{A}$$

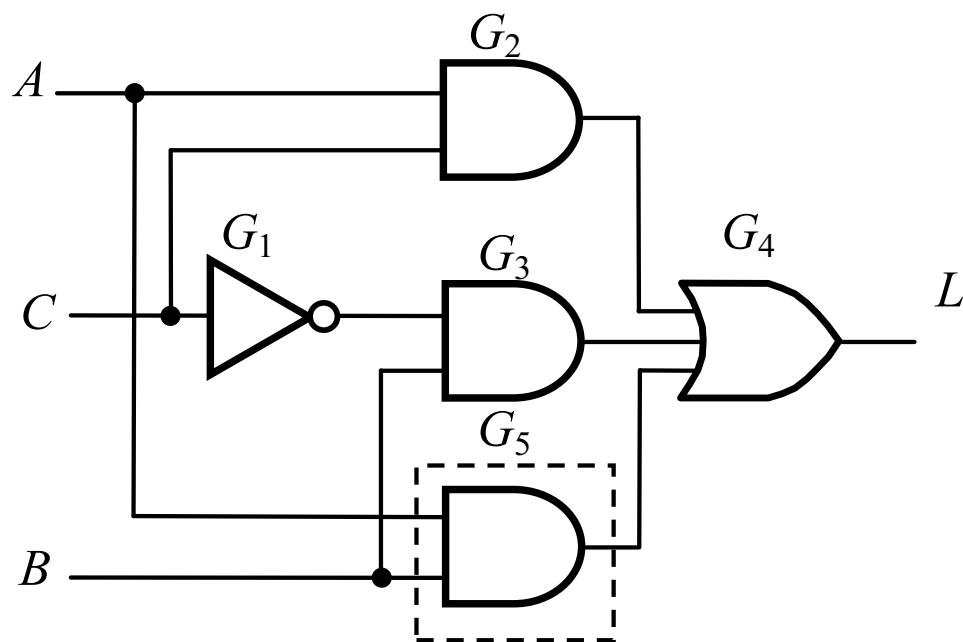
可能出现竞争冒险。

为消掉 $A\bar{A}$ ，变换逻辑函数式为

$$F = AC + \bar{A}B + BC$$



## 2. 增加乘积项, 避免互补项相加



$$L = AC + B\bar{C}$$

当  $A=B=1$  时

$$L = C + \bar{C}$$

$$L = AC + B\bar{C}$$

$$L = AC + B\bar{C} + AB$$

	$BC$			
$A$	00	01	11	10
0	0	0	0	1
1	0	1	1	1

当  $A=B=1$  时, 根据逻辑表达式有

$$L = C + \bar{C} + 1$$

$AB$

### 3. 输出端并联电容器

如果逻辑电路在较慢速度下工作，为了消去竞争冒险，可以在输出端并联一电容器，致使输出波形上升沿和下降沿变化比较缓慢，可对于很窄的负跳变脉冲起到平波的作用。

