

# 通知 实验安排

数字逻辑电路课程有16个学时的实验，初步安排如下：

计算机1班 第8,10周 周三上午 1-4 (8:00-11:40)  
计算机2班 第9,11周 周三上午 1-4 (8:00-11:40)  
计算机3班 第9-12周 周二的下午5-6节  
计算机4班 第10-13周 周一晚上 9-10 (19:00-20:50)  
计算机5班 第9-12周 周三晚上9-10 (19:00-20:50)  
物联网1班 第8,10周 周三下午5-8 (14:00-17:40)  
物联网2班 第9,11周 周三下午5-8 (14:00-17:40)

计算机1班 第13, 14周 周二上午4节 (8:00-11:40)  
计算机2班 第13, 14周 周二下午4节 (14:00-17:40)  
计算机3班 第13, 14周 周二晚上4节 (18:30-22:10)  
计算机4班 第13, 14周 周四上午4节 (8:00-11:40)  
计算机5班 第13, 14周 周四下午4节 (14:00-17:40)  
物联网1班 第13, 14周 周三下午4节 (14:00-17:40)  
物联网2班 第13, 14周 周三晚上4节(18:30-22:10)  
实验设备台套数有限，所以一次只能安排一个班实验。

实验地点：综合实验楼305房间

# 第四章 作业布置

---

本次（3月21号）作业要求：

每个同学自己从第四章的课后习题中选4题做到作业本中，至于做哪4题，每个同学自己选择。不作硬性规定。我在检查作业时，只看是否做了4题。（从你购买的课本上选题做就可以了。）

---

---

# 数 字 逻 辑

丁 贤 庆

ahhfdxq@163.com

---

# 第四章

---

## 组合逻辑电路

## 4.4 若干典型的组合逻辑电路

---

### 4.4.1 编码器

### 4.4.2 译码器/数据分配器

### 4.4.3 数据选择器

### 4.4.4 数值比较器

### 4.4.5 算术运算电路

## 4.4 若干典型的组合逻辑集成电路

---

### 4.4.1 编码器

#### 1、编码器 (Encoder)的定义与分类

**编码：**赋予二进制代码特定含义的过程称为编码。

如：8421BCD码中，用1000表示数字8

如：ASCII码中，用1000001表示字母A等

**编码器：**具有编码功能的逻辑电路。

---

## 1、编码器 (Encoder)的定义与分类

编码器的逻辑功能：

能将每一个编码**输入信号**变换为不同的**二进制的代码**输出。

如**BCD编码器**：将10个编码输入信号分别编成10个4位码输出。

如**8线-3线编码器**：将8个输入的信号分别编成 8个3位二进制数码输出。

---

---

## 1、编码器 (Encoder)的定义与分类

编码器的分类：普通编码器和优先编码器。

**普通编码器**：任何时候只允许输入一个有效编码信号，否则输出就会发生混乱。

**优先编码器**：允许同时输入两个以上的有效编码信号。当同时输入几个有效编码信号时，优先编码器能按预先设定的优先级别，只对其中优先权最高的一个进行编码。

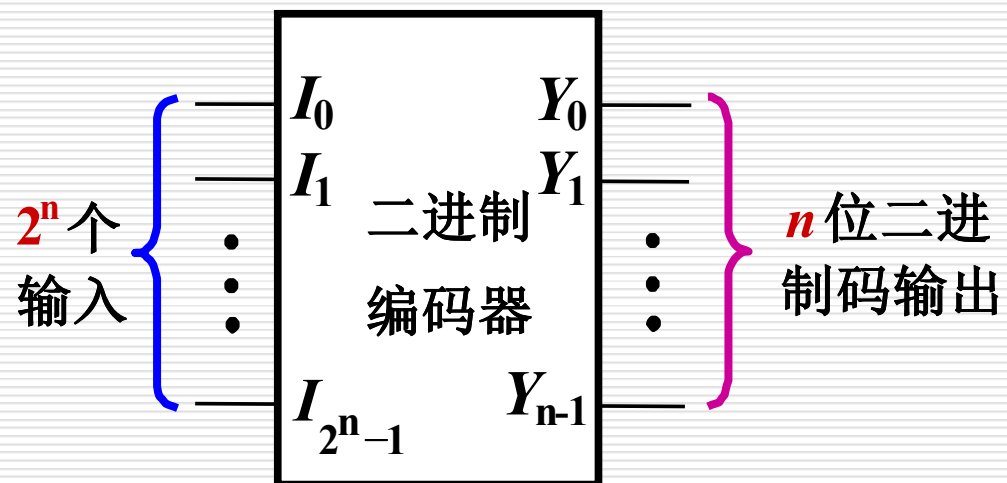
---



## 2、编码器的工作原理

### 普通二进制编码器

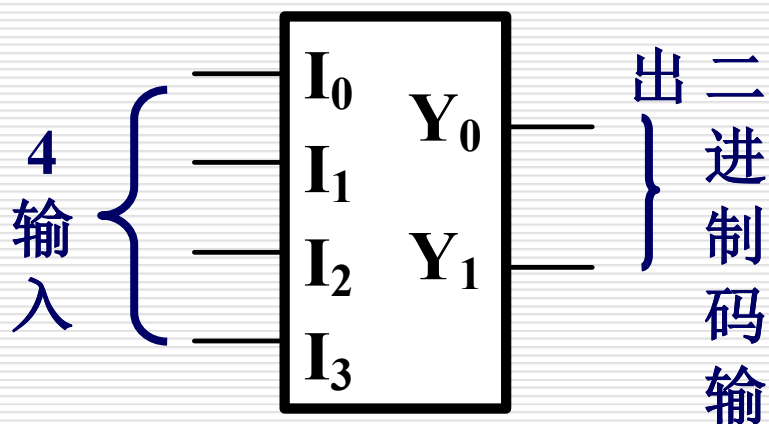
#### 二进制编码器的结构框图



## 2、编码器的工作原理

### (1) 4线—2线普通二进制编码器 (设计)

(a) 逻辑框图



$$Y_1 = \bar{I}_0 \bar{I}_1 I_2 \bar{I}_3 + \bar{I}_0 \bar{I}_1 \bar{I}_2 I_3$$

$$Y_0 = \bar{I}_0 I_1 \bar{I}_2 \bar{I}_3 + \bar{I}_0 \bar{I}_1 \bar{I}_2 I_3$$

(2) 逻辑功能表

$I_0$	$I_1$	$I_2$	$I_3$	$Y_1$	$Y_0$
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

编码器的输入为高电平有效。

根据上式可以画出对应的电路图。 该表达式是否可以再简化？

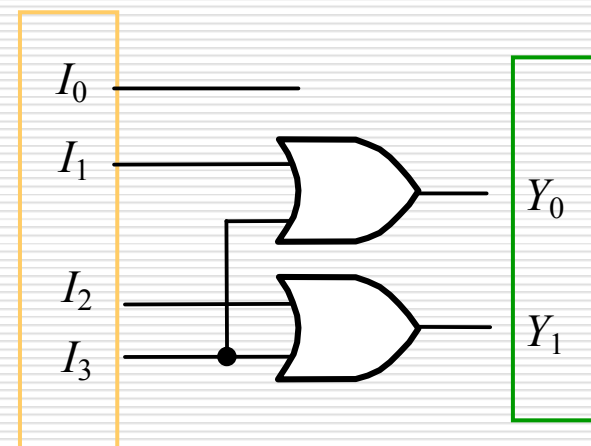
上述是将输入的其它12种组合对应的输出看做0。如果看做无关项，则表达式为

如下逻辑功能表

$I_0$	$I_1$	$I_2$	$I_3$	$Y_1$	$Y_0$
1	0	0	1	×	×
1	0	1	1	×	×
1	1	1	1	×	×
	...	...		×	×

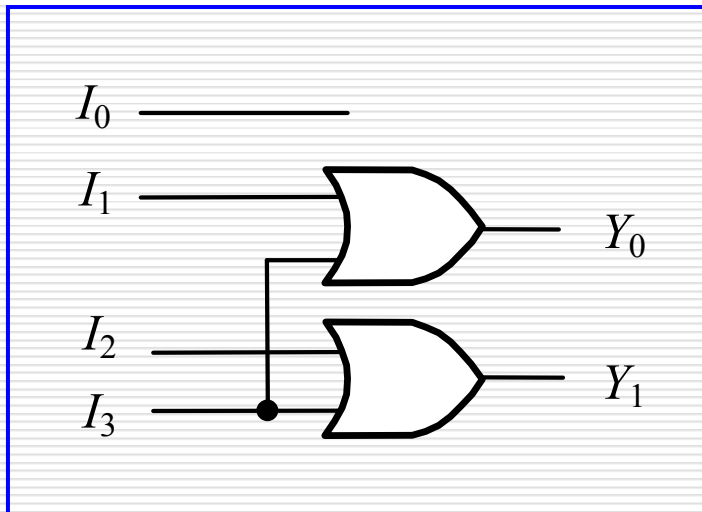
$$Y_1 = I_2 + I_3$$

$$Y_0 = I_1 + I_3$$



若有2个以上的输入为有效信号？

---



当只有 $I_3$ 为1时，

$$Y_1 Y_0 = ? \quad Y_1 Y_0 = 11$$

$I_1 = I_2 = 1$  ,  $I_0 = I_3 = 0$ 时，

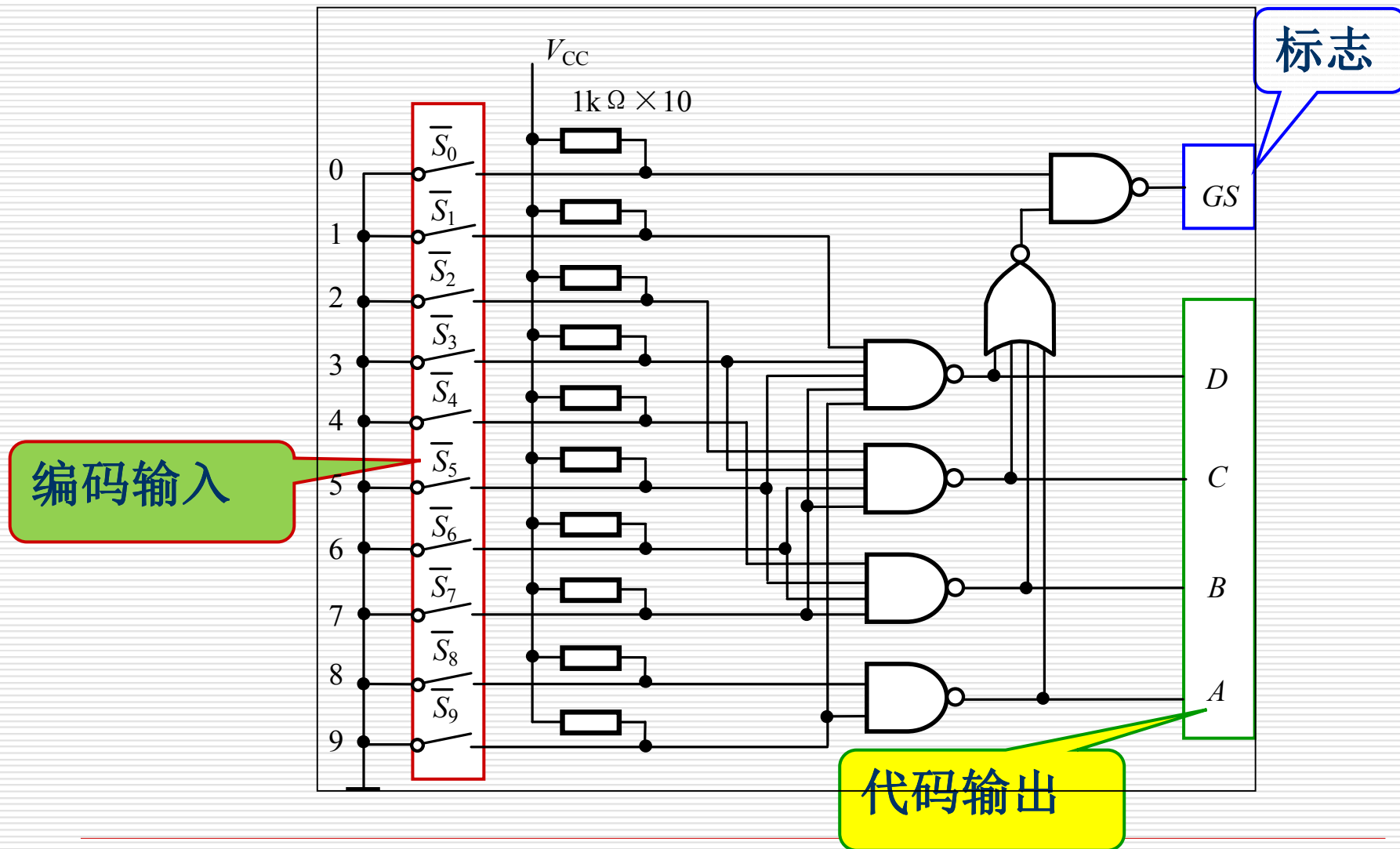
$$Y_1 Y_0 = ? \quad Y_1 Y_0 = 11$$

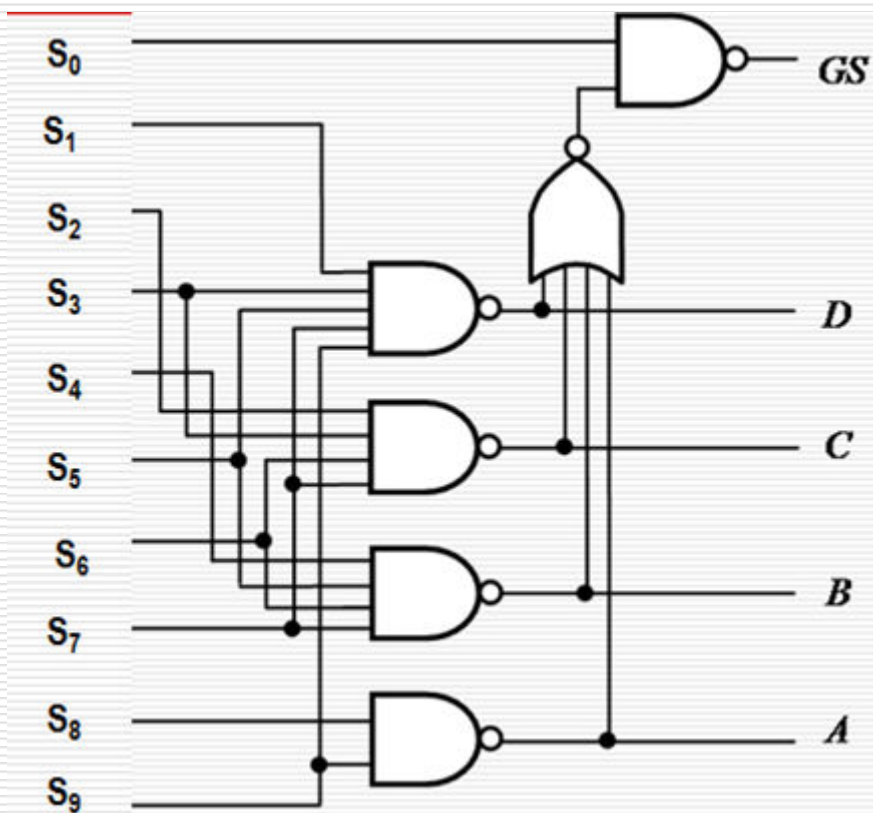
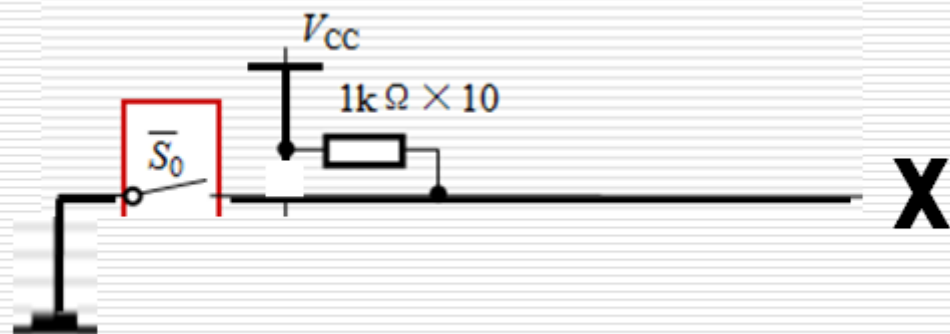
无法输出有效编码。

结论：普通编码器不能同时输入两个以上的有效编码信号

---

## (2.) 键盘输入8421BCD码编码器（分析）





## 2. 键盘输入8421BCD码编码器功能表

输 入										输 出				
$\overline{S_0}$	$\overline{S_1}$	$\overline{S_2}$	$\overline{S_3}$	$\overline{S_4}$	$\overline{S_5}$	$\overline{S_6}$	$\overline{S_7}$	$\overline{S_8}$	$\overline{S_9}$	A	B	C	D	GS
1	1	1	1	1	1	1	1	1	1	0	0	0	0	0
1	1	1	1	1	1	1	1	1	0	1	0	0	1	1
1	1	1	1	1	1	1	1	0	1	1	0	0	0	1
1	1	1	1	1	1	1	0	1	1	0	1	1	1	1
1	1	1	1	1	1	0	1	1	1	0	1	1	0	1
1	1	1	1	1	0	1	1	1	1	0	1	0	1	1
1	1	1	1	0	1	1	1	1	1	0	1	0	0	1
1	1	1	0	1	1	1	1	1	1	0	0	1	1	1
1	1	0	1	1	1	1	1	1	1	0	0	1	0	1
1	0	1	1	1	1	1	1	1	1	0	0	0	1	1
0	1	1	1	1	1	1	1	1	1	0	0	0	0	1

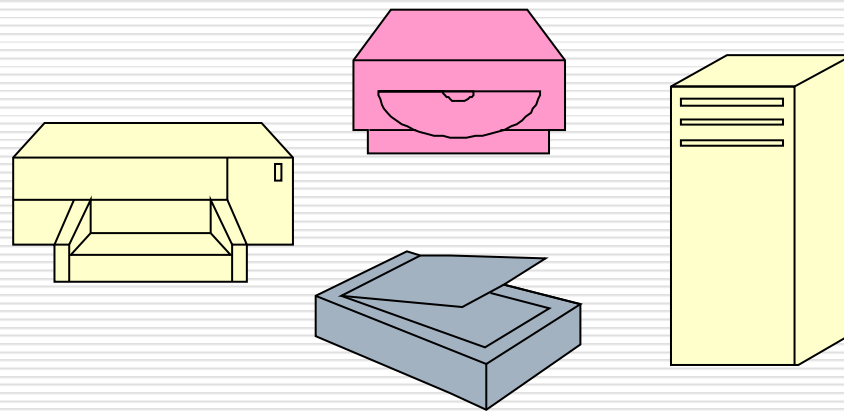
该编码器为输入低电平有效，输出高电平有效，**GS**为标志位。

---

### 3. 优先编码器

优先编码器的提出：

实际应用中，经常有两个或更多输入编码信号同时有效。



必须根据轻重缓急，规定好这些外设允许操作的先后次序，即优先级别。

识别多个编码请求信号的优先级别，并进行相应编码的逻辑部件称为优先编码器。

---



## (2) 优先编码器线(4—2 线优先编码器) (设计)

输入编码信号高电平有效，输出为二进制代码

输入编码信号优先级从高到低为  $I_3 \sim I_0$

输入为编码信号  $I_3 \sim I_0$  输出为  $Y_1 Y_0$

(1) 列出功能表

输 入				输 出	
$I_0$	$I_1$	$I_2$	$I_3$	$Y_1$	$Y_0$
1	0	0	0	0	0
×	1	0	0	0	1
×	×	1	0	1	0
×	×	×	1	1	1

低 ← 高

(2) 写出逻辑表达式

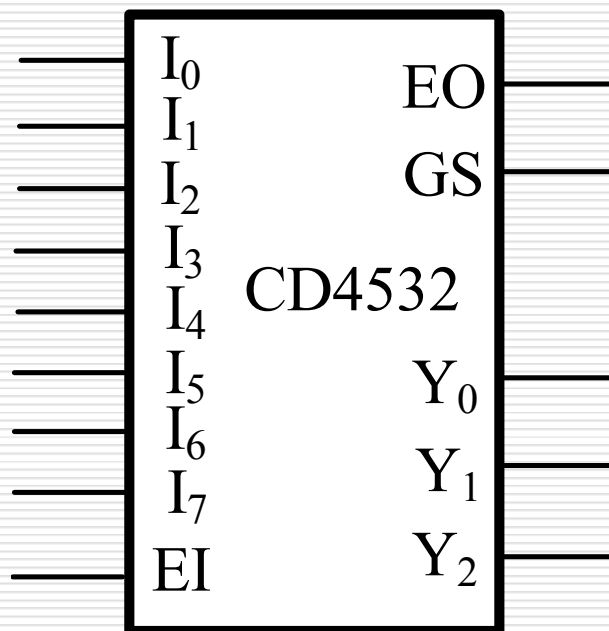
$$Y_1 = \overline{I_2} I_3 + I_3$$

$$Y_0 = \overline{I_1} \overline{I_2} I_3 + I_3$$

(3) 画出逻辑电路 (略)

## 2 典型编码器电路

### 优先编码器CD4532的示意框图



# 优先编码器CD4532功能表

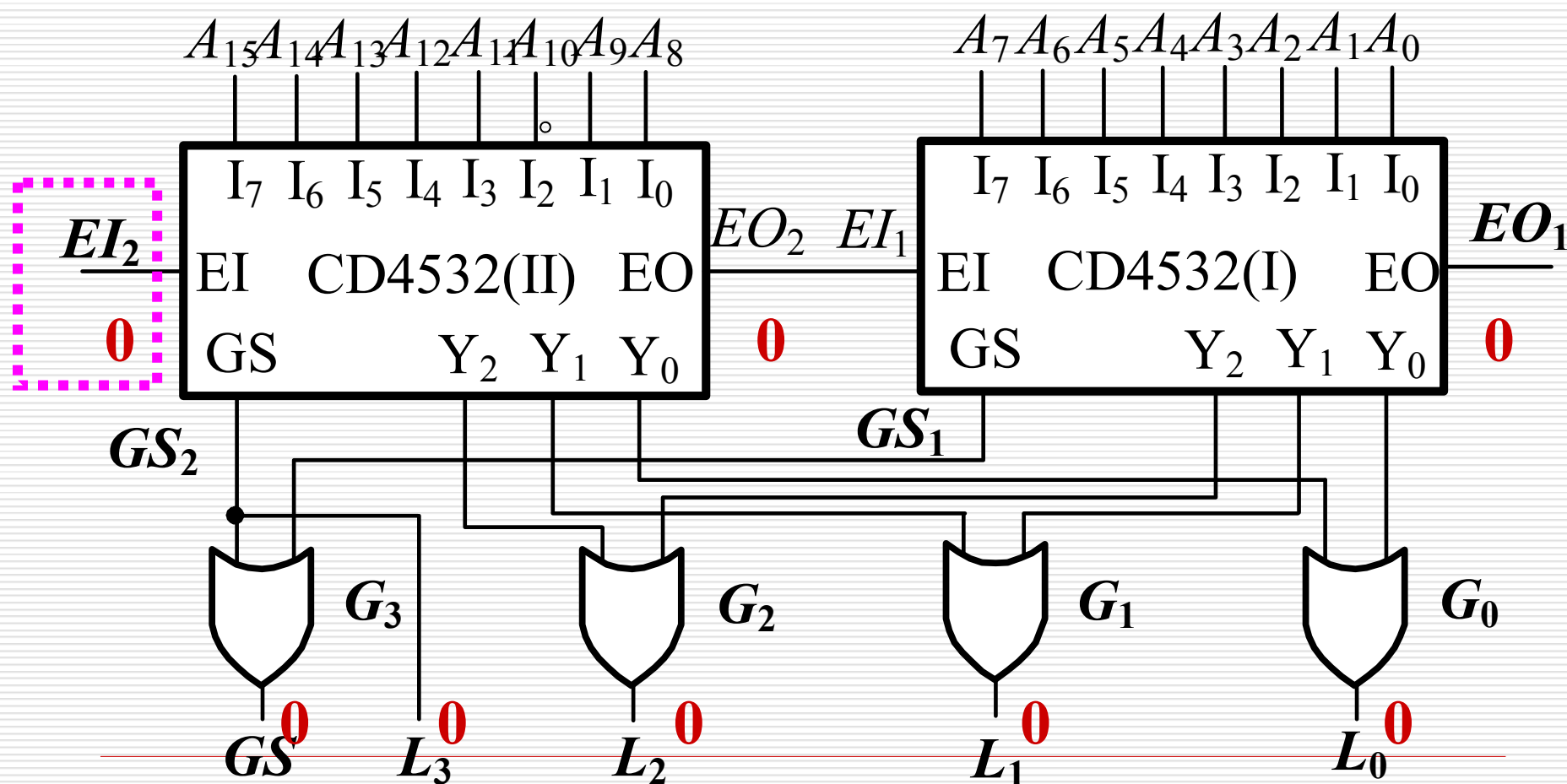
输 入									输 出				
<i>EI</i>	<i>I</i> <sub>7</sub>	<i>I</i> <sub>6</sub>	<i>I</i> <sub>5</sub>	<i>I</i> <sub>4</sub>	<i>I</i> <sub>3</sub>	<i>I</i> <sub>2</sub>	<i>I</i> <sub>1</sub>	<i>I</i> <sub>0</sub>	<i>Y</i> <sub>2</sub>	<i>Y</i> <sub>1</sub>	<i>Y</i> <sub>0</sub>	<i>GS</i>	<i>EO</i>
0	×	×	×	×	×	×	×	×	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	×	×	×	×	×	×	×	1	1	1	1	0
1	0	1	×	×	×	×	×	×	1	1	0	1	0
1	0	0	1	×	×	×	×	×	1	0	1	1	0
1	0	0	0	1	×	×	×	×	1	0	0	1	0
1	0	0	0	0	1	×	×	×	0	1	1	1	0
1	0	0	0	0	0	1	×	×	0	1	0	1	0
1	0	0	0	0	0	0	1	×	0	0	1	1	0
1	0	0	0	0	0	0	0	1	0	0	0	1	0

为什么要设计GS、EO输出信号？

用二片CD4532构成16线-4线优先编码器,其逻辑图如下

图所示,试分析其工作原理。

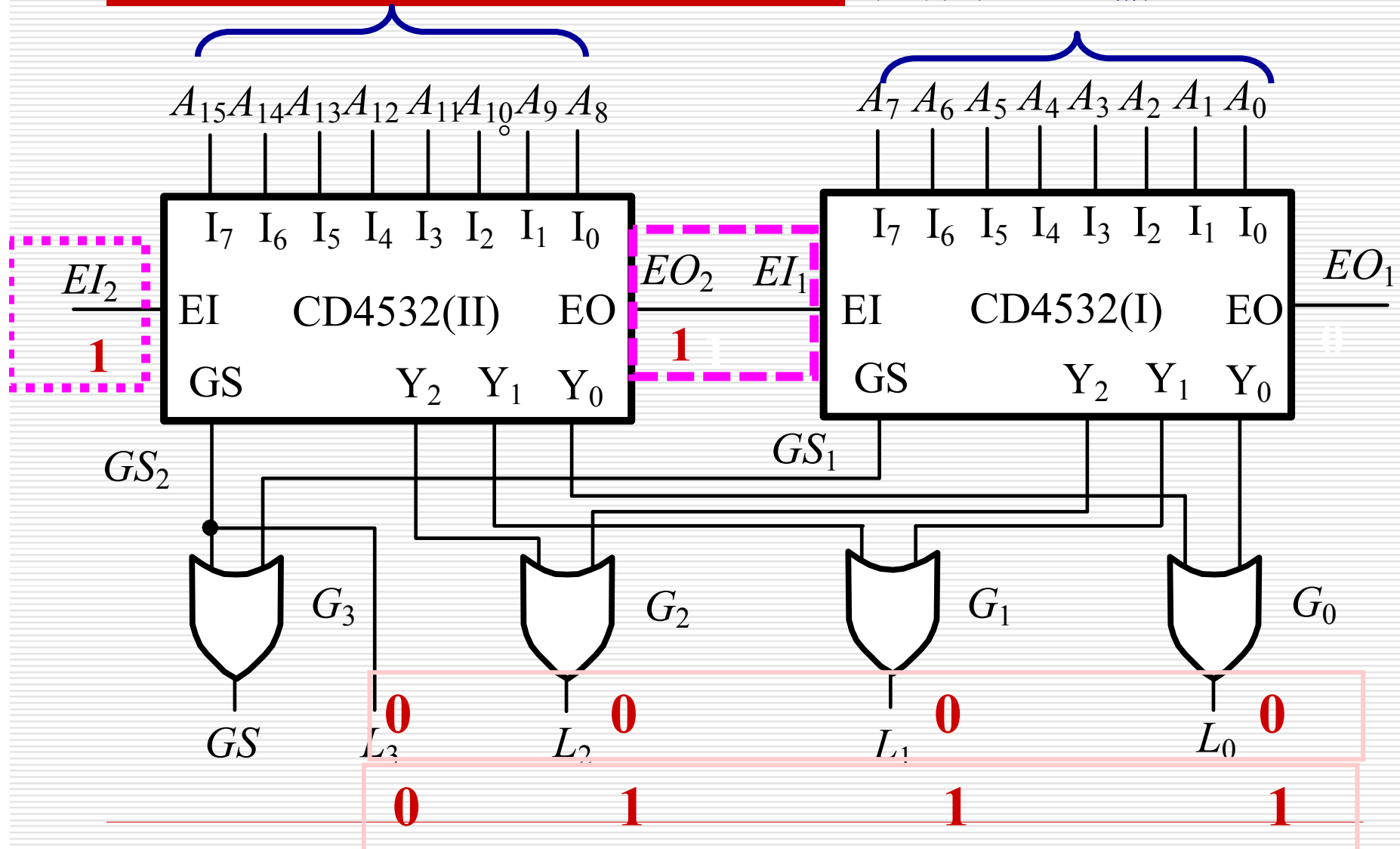
当使能端 $EI=0$ 时,无编码输出。



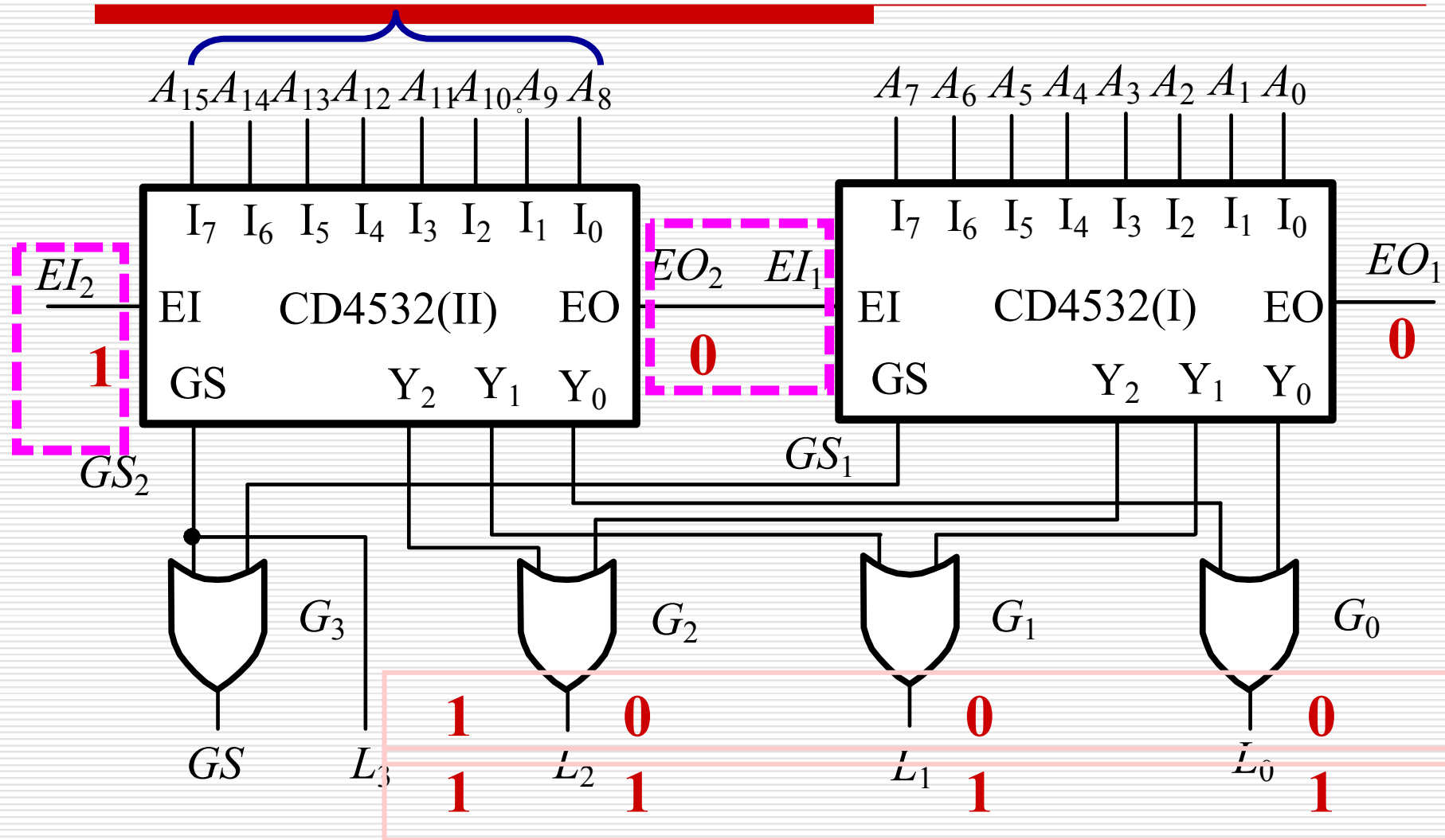
哪块芯片的优先级高?

若无有效电平输入

若有效电平输入



## 若有效电平输入



## 4.4.2 译码器/数据分配器

---

### 1 译码器的定义与分类

**译码**：译码是编码的逆过程，它能将**二进制码**翻译成代表某一特定含义的**信号**。(即电路的**某种状态**)

**译码器**：具有译码功能的逻辑电路称为**译码器**。

译码器的分类：

**唯一地址译码器** 将一系列代码转换成与之一一对应的有效信号。

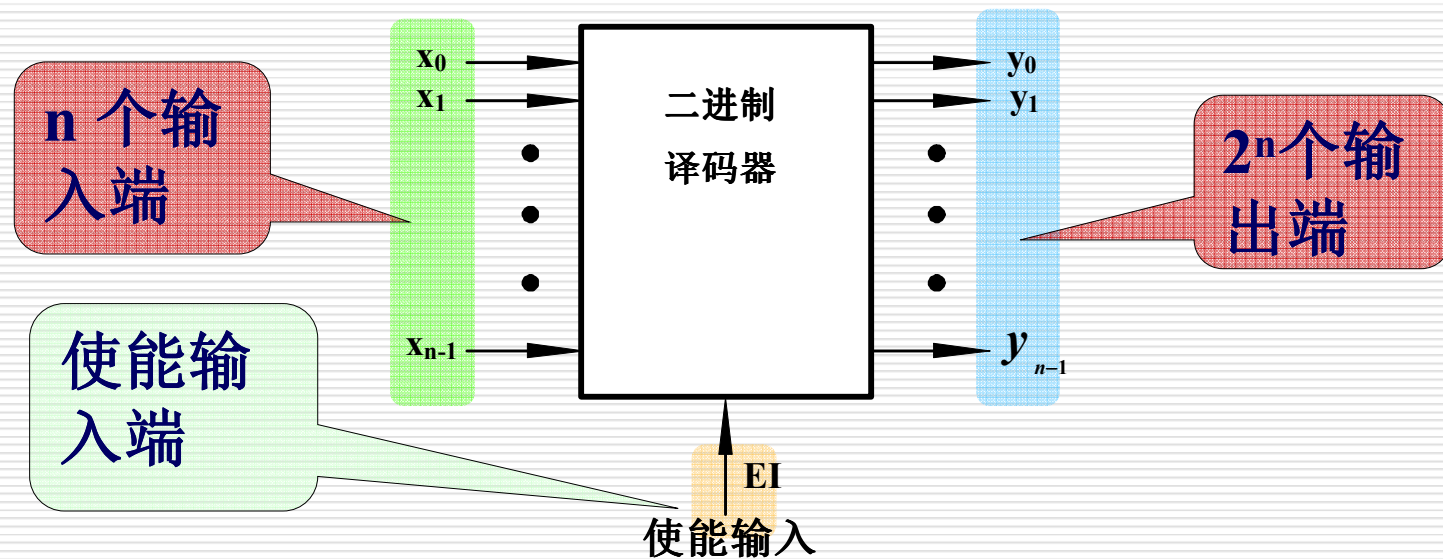
常见的唯一地址译码器： **二进制译码器**  
**二—十进制译码器**  
**显示译码器**

**代码变换器** 将一种代码转换成另一种代码。

---

## 2. 典型译码器电路及应用

### (1) 二进制译码器

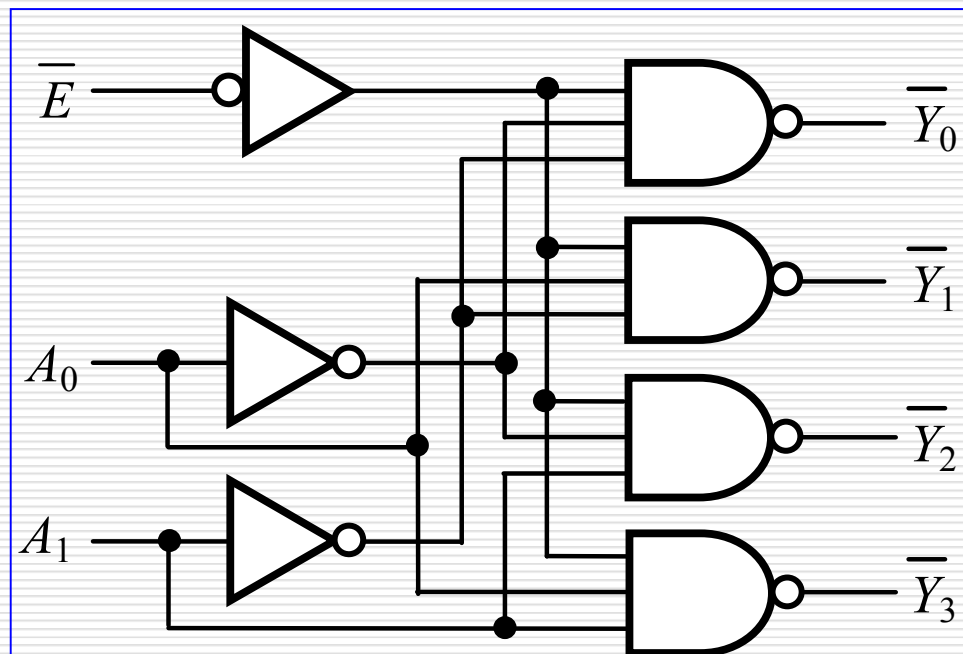


设输入端的个数为 $n$ ，输出端的个数为 $M$   
则有

$$M=2^n$$



## 2线 - 4线译码器的逻辑电路(分析)



功能表

输入			输出			
$\overline{E}$	$A_1$	$A_0$	$\overline{Y}_0$	$\overline{Y}_1$	$\overline{Y}_2$	$\overline{Y}_3$
1	×	×	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

$$\overline{Y}_0 = \overline{\overline{E} \overline{A_1} \overline{A_0}}$$

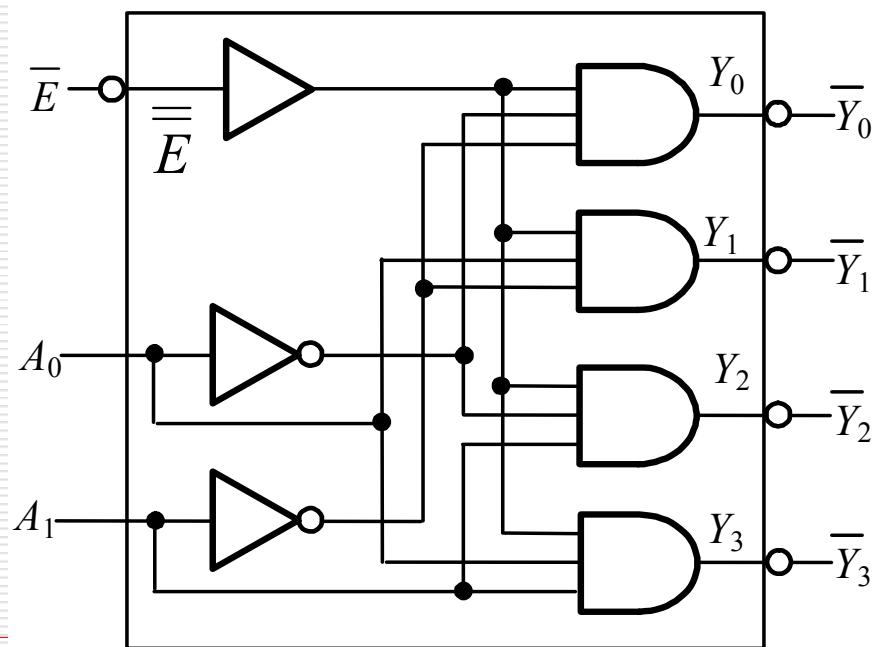
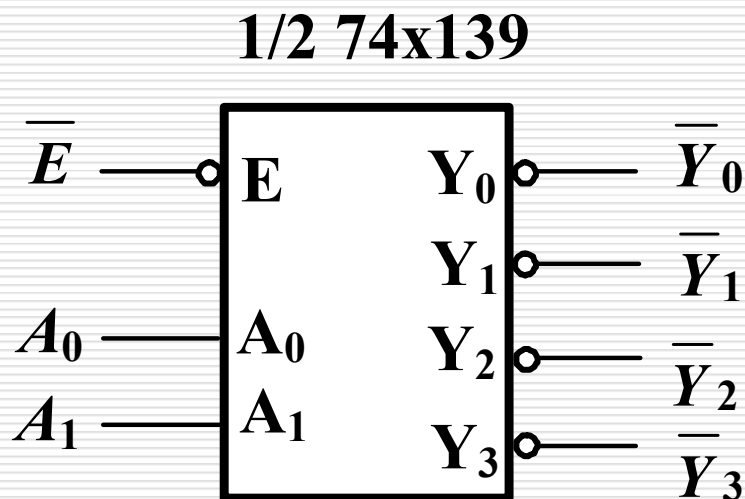
$$\overline{Y}_1 = \overline{\overline{E} \overline{A_1} A_0}$$

$$\overline{Y}_2 = \overline{\overline{E} A_1 \overline{A_0}}$$

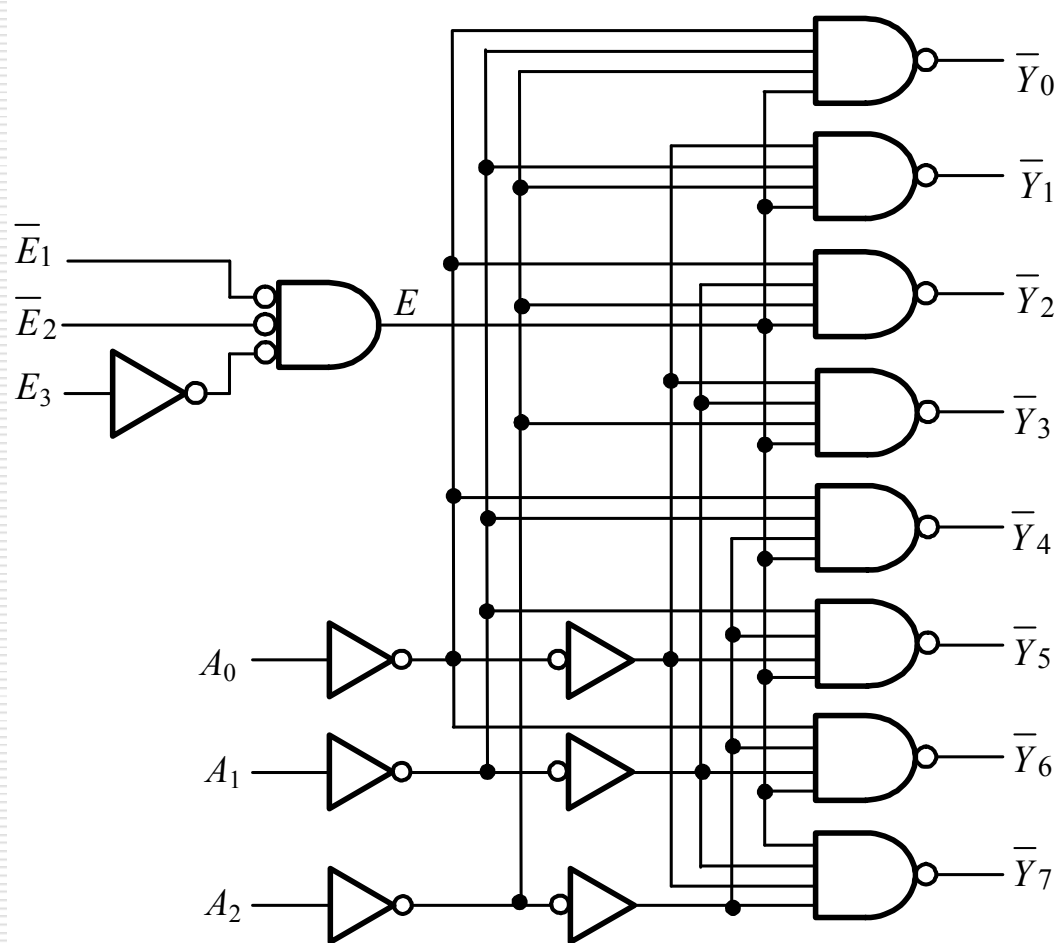
$$\overline{Y}_3 = \overline{\overline{E} A_1 A_0}$$

## (a) 2线-4线译码器 (74HC139) ——逻辑符号说明

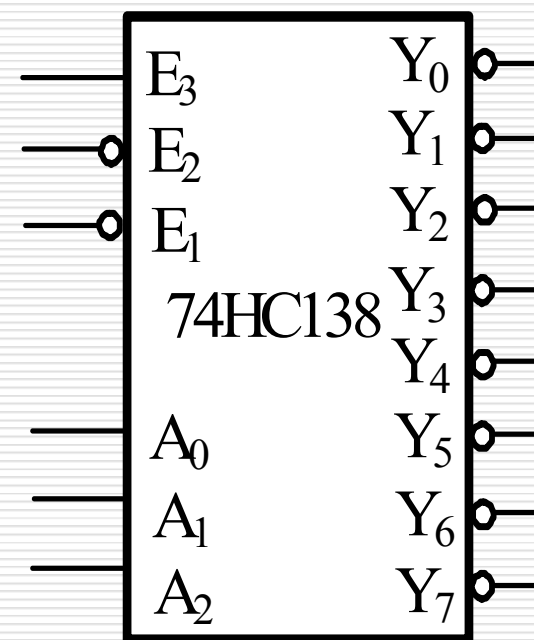
逻辑符号框外部的符号，表示外部输入或输出信号名称，字母上面的“—”号说明该输入或输出是低电平有效。符号框内部的输入、输出变量表示其内部的逻辑关系。在推导表达式的过程中，如果低有效的输入或输出变量(如)上面的“—”号参与运算(如  $\bar{E}$  变为  $E$ )，则在画逻辑图或验证真值表时，注意将其还原为低有效符号。



## (b) 3线-8线译码器 (74HC138)



逻辑图



逻辑符号

[illegible]

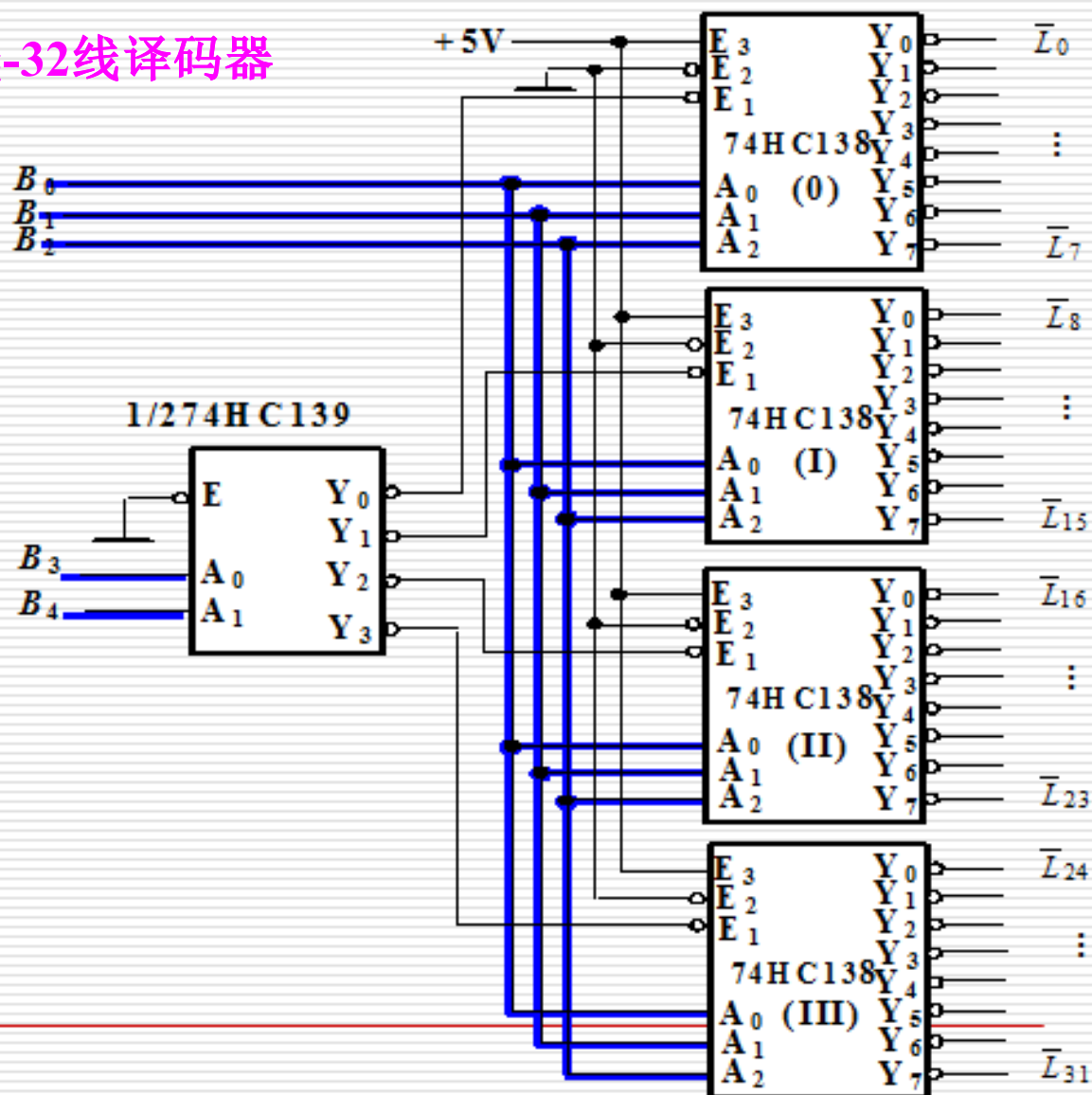
$$\overline{Y_0} = \cdot \overline{A_2} \cdot \overline{A_1} \cdot \overline{A_0} \quad \overline{Y_1} = \cdot \overline{A_2} \cdot \overline{A_1} \cdot A_0 \quad \overline{Y_2} = \cdot \overline{A_2} \cdot A_1 \cdot \overline{A_0} \quad \overline{Y_3} = \cdot \overline{A_2} \cdot A_1 \cdot A_0$$

$$\overline{Y_4} = \cdot A_2 \cdot A_1 \cdot A_0 \quad \overline{Y_5} = \cdot A_2 \cdot A_1 \cdot A_0 \quad \overline{Y_6} = \cdot A_2 \cdot A_1 \cdot A_0 \quad \overline{Y_7} = \cdot A_2 \cdot A_1 \cdot A_0$$

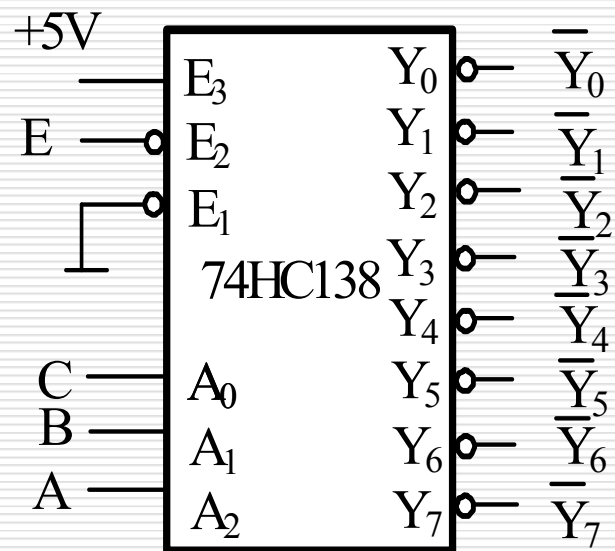
[illegible]

## 1、译码器的扩展

用74X139和74X138构成5线-32线译码器



## 2、用译码器实现逻辑函数。当 $E_3=1$ ， $E_2=E_1=0$ 时



$$\overline{Y}_0 = \overline{A_2 \cdot A_1 \cdot A_0} = \overline{m_0}$$

$$\overline{Y}_1 = \overline{A \cdot \overline{B} \cdot \overline{C}} = \overline{m_1}$$

$$\overline{Y}_2 = \overline{\overline{A} \cdot B \cdot \overline{C}} = \overline{m_2}$$

⋮

⋮

⋮

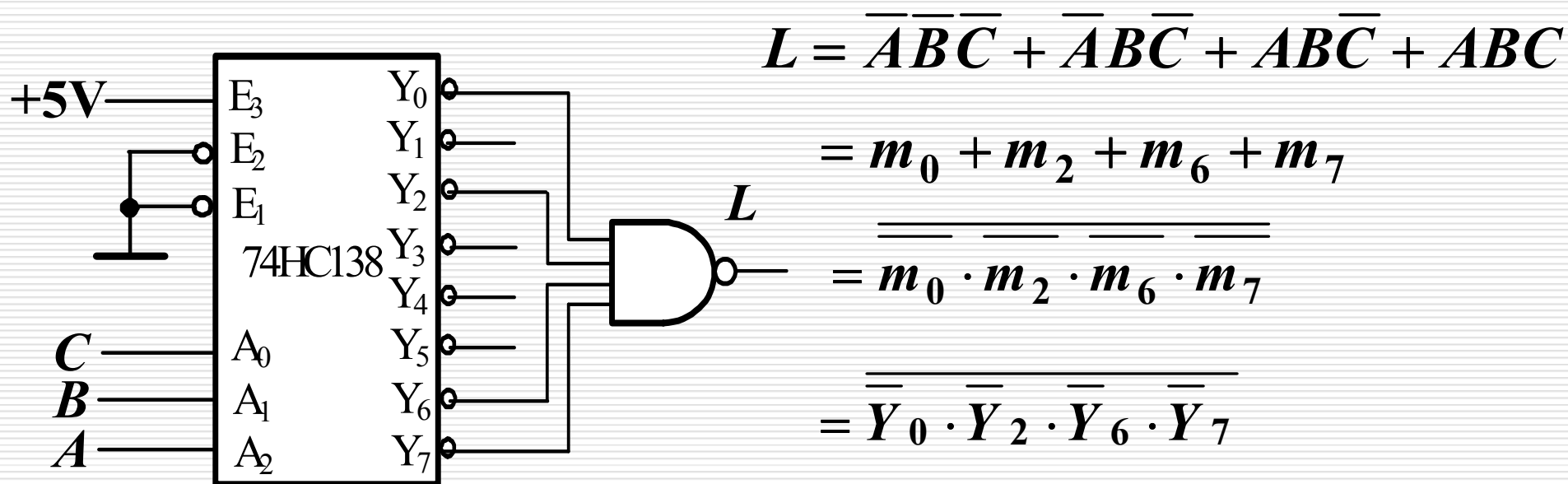
$$\overline{Y}_7 = \overline{A \cdot B \cdot C} = \overline{m_7}$$

3线-8线译码器的  $Y_0 \sim Y_7$  含三变量函数的全部最小项。

基于这一点用该器件能够方便地实现三变量逻辑函数。

## 用一片74HC138实现函数 $L = \overline{A}\overline{C} + AB$

首先将函数式变换为最小项之和的形式



在译码器的输出端加一个与非门，即可实现给定的组合逻辑函数.

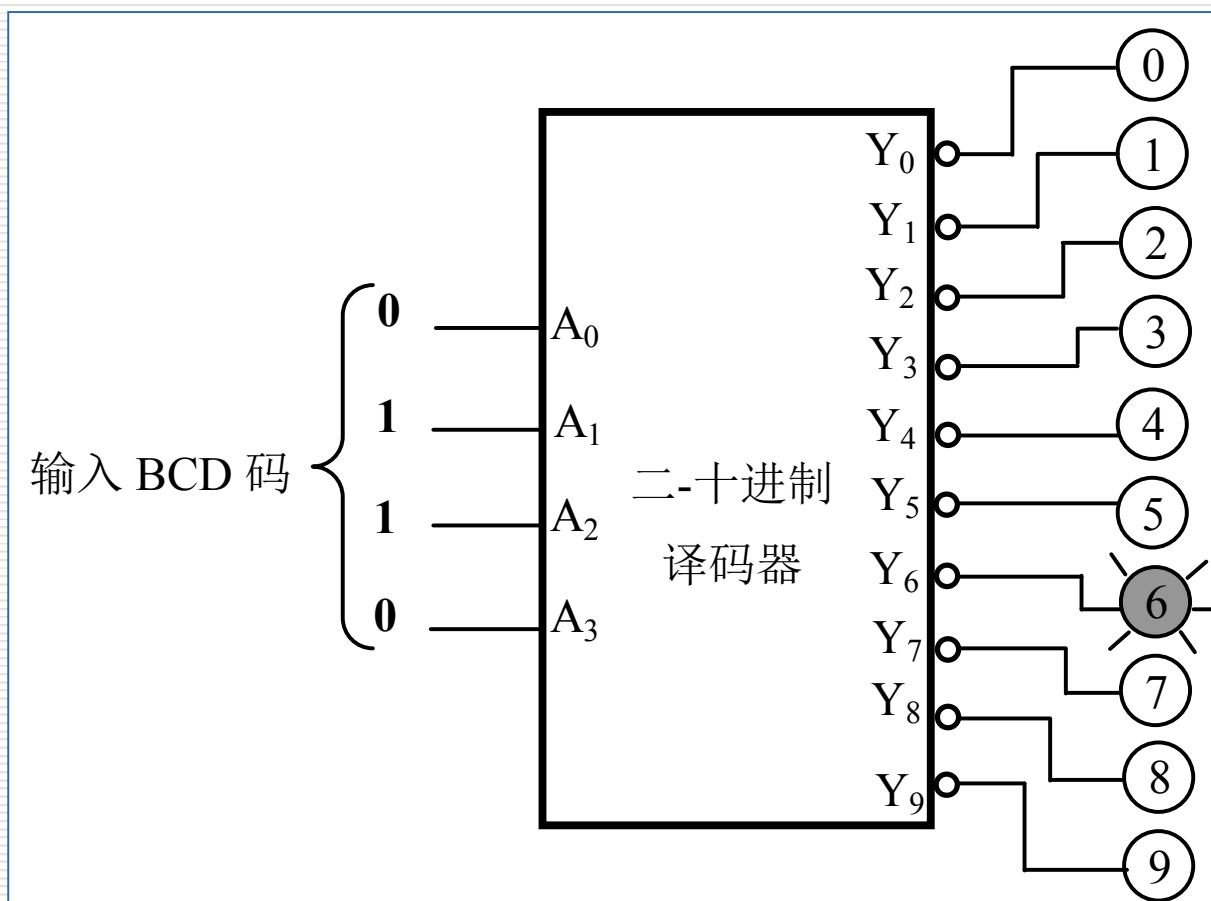


\_\_\_\_\_

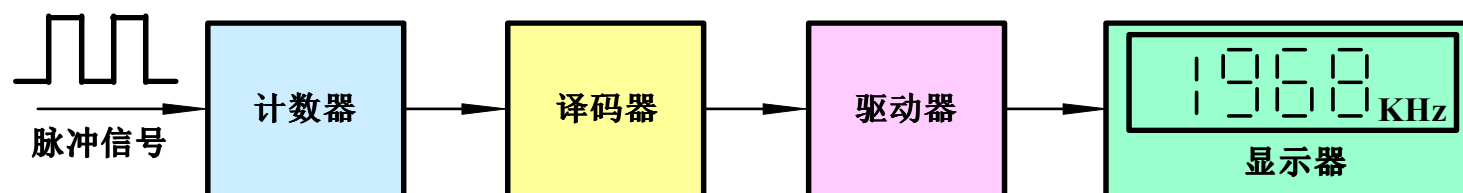
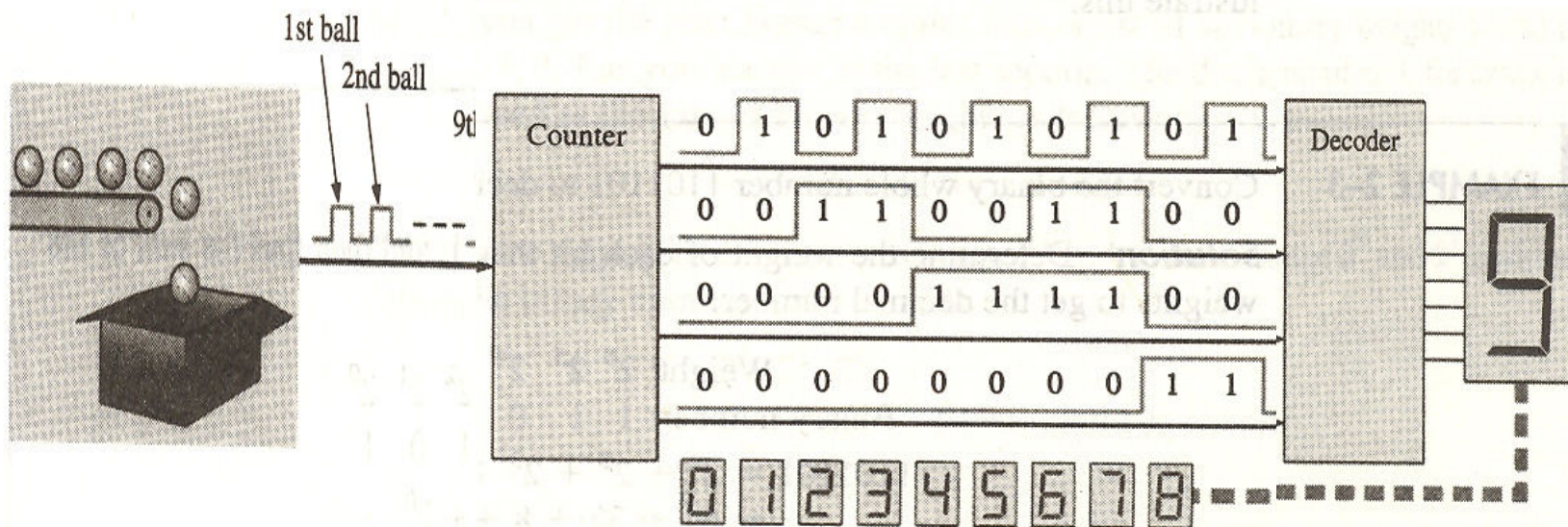
[illegible][illegible]

## 二-十进制译码器

功能：将8421BCD码译成为10个状态输出。

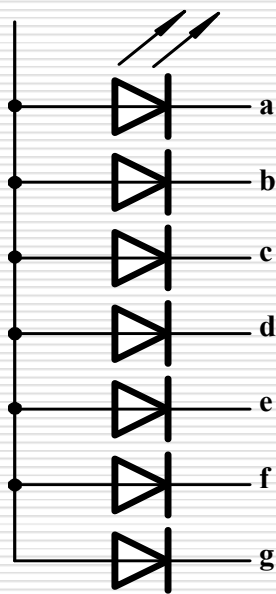


### (3) 显示译码器

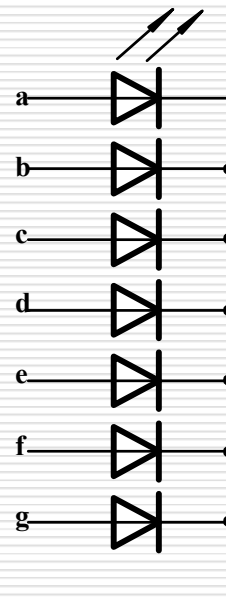


## 1. 七段显示译码器

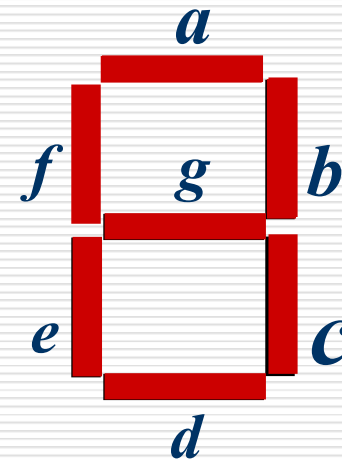
(1) 最常用的显示器有：半导体发光二极管和液晶显示器。



共阳极显示器



共阴极显示器

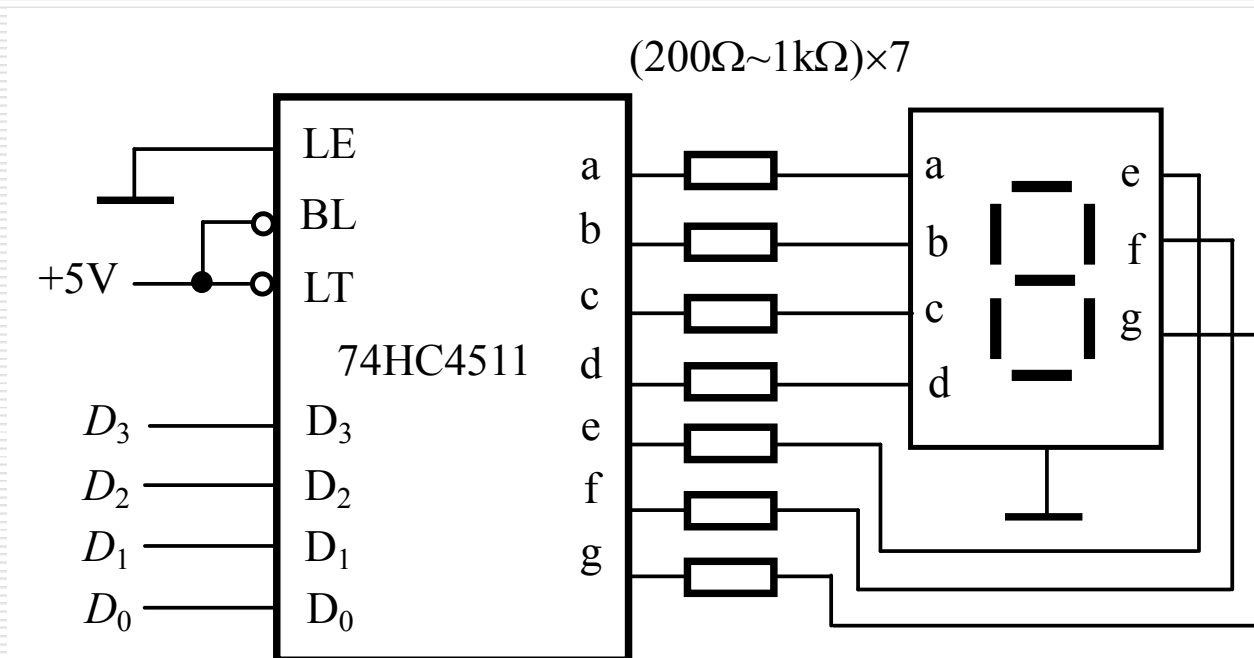


显示器分段布局图

## 常用的集成七段显示译码器

### -----CMOS七段显示译码器74HC4511


#### 显示译码器与显示器的连接方式



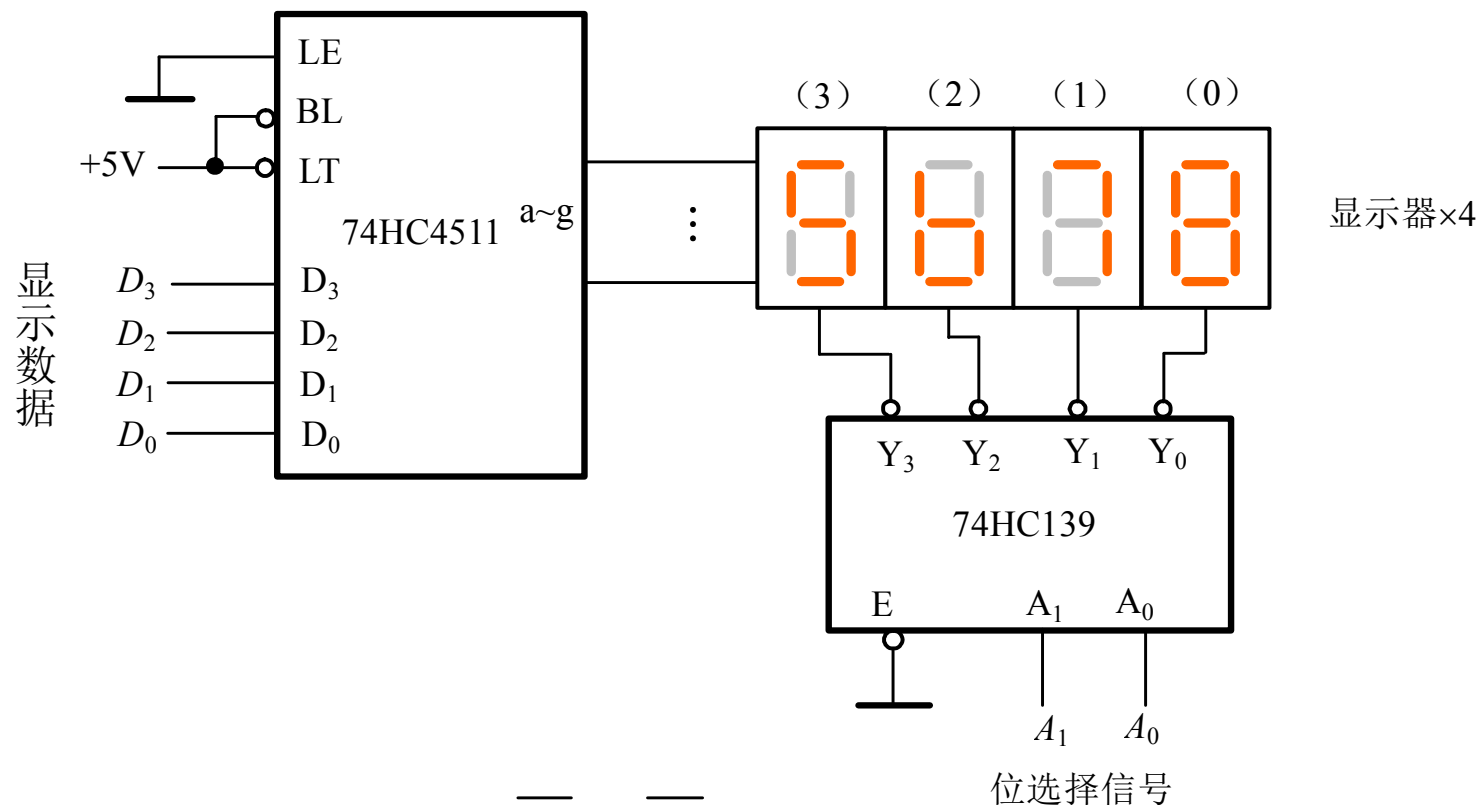
# CMOS七段显示译码器74HC4511功能表

十进制或功能	输 入							输 出							字形
	$LE$	$\overline{BL}$	$\overline{LT}$	$D_3$	$D_2$	$D_1$	$D_0$	$a$	$b$	$c$	$d$	$e$	$f$	$g$	
0	0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
1	0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
2	0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
3	0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
4	0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
5	0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
6	0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
7	0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
8	0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
9	0	1	1	1	0	0	1	1	1	1	1	0	1	1	9

### CMOS七段显示译码器74HC4511功能表(续)

十进制或功能				输 入				输 出							字形
	$LE$	$\overline{BL}$	$\overline{LT}$	$D_3$	$D_2$	$D_1$	$D_0$	$a$	$b$	$c$	$d$	$e$	$f$	$g$	
10	0	1	1	1	0	1	0	0	0	0	0	0	0	0	熄灭
11	0	1	1	1	0	1	1	0	0	0	0	0	0	0	熄灭
12	0	1	1	1	1	0	0	0	0	0	0	0	0	0	熄灭
13	0	1	1	1	1	0	1	0	0	0	0	0	0	0	熄灭
14	0	1	1	1	1	1	0	0	0	0	0	0	0	0	熄灭
15	0	1	1	1	1	1	1	0	0	0	0	0	0	0	熄灭
灯 测 试	×	×	0	×	×	×	×	1	1	1	1	1	1	1	
灭 灯	×	0	1	×	×	×	×	0	0	0	0	0	0	0	熄灭
锁 存	1	1	1	×	×	×	×	*							*

例 由译码器、显示译码及4个七段显示器构成的4位动态显示电路如图所示，试分析工作原理。

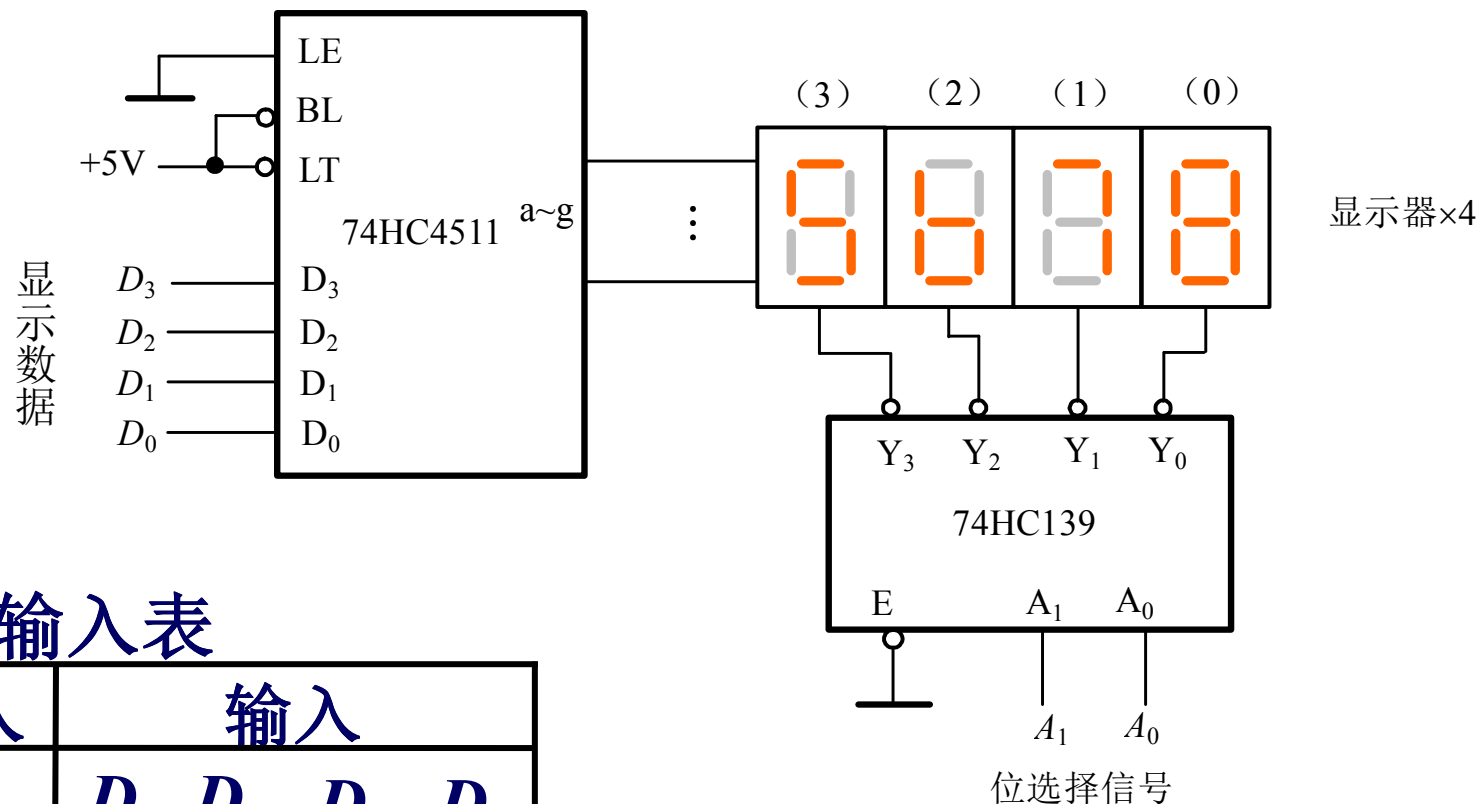


位选择信号 $A_1$ 、 $A_0$ 控制 $\overline{Y_3} \sim \overline{Y_0}$ 依次产生低电平，使4个显示器轮流显示。要显示的数据组依次送到 $D_3D_2D_1D_0$ 分别在4个显示器上显示。利用人的视觉暂留时间，可以看到稳定的数字。

$$25\text{Hz} < f_c < 100\text{Hz}$$



例 由译码器、显示译码及4个七段显示器构成的4位动态显示电路如图所示，试分析工作原理。



输入表

输入		输入			
$A_1$	$A_0$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	0	1	0	1
0	1	0	1	1	0
1	0	0	1	1	1
1	1	1	0	0	0

位选择信号 $A_1$ 、 $A_0$ 控制  $\overline{Y_3} \sim \overline{Y_0}$  依次产生低电平，使4个显示器轮流显示。要显示的数据组依次送到 $D_3D_2D_1D_0$  分别在4个显示器上显示。利用人的视觉暂留时间，可以看到稳定的数字。