

# 通知 实验安排

---

数字逻辑电路课程有16个学时的实验，初步安排：  
具体安排参见公共邮箱中的word文档。

本周开始进行实验环节，实验结束后16周周日（6月16号）晚23点前，各班学委要提交实验报告的电子版给我的邮箱ahhfdxq@163.com。不用收纸质报告了。

实验地点：综合实验楼306房间

---

---

# 第六章 作业布置

---

- 1、本周有实验。
  - 2、下次交作业第11周。
  - 3、本周作业：从第6章课后习题中选2题写到作业本上。
-

---

# 数 字 逻 辑

丁 贤 庆

ahhfdxq@163.com

---

# 第六章

---

## 时序逻辑电路

## 6.5 若干典型的时序逻辑集成电路

---

### 6.5.1 寄存器和移位寄存器

#### 1、寄存器

**寄存器**:是数字系统中用来**存储代码或数据**的逻辑部件。  
它的主要组成部分是**触发器**。

**一个触发器能存储1位二进制代码**，存储  $n$  位二进制代码的寄存器需要用  $n$  个触发器组成。**寄存器实际上是若干触发器的集合。**

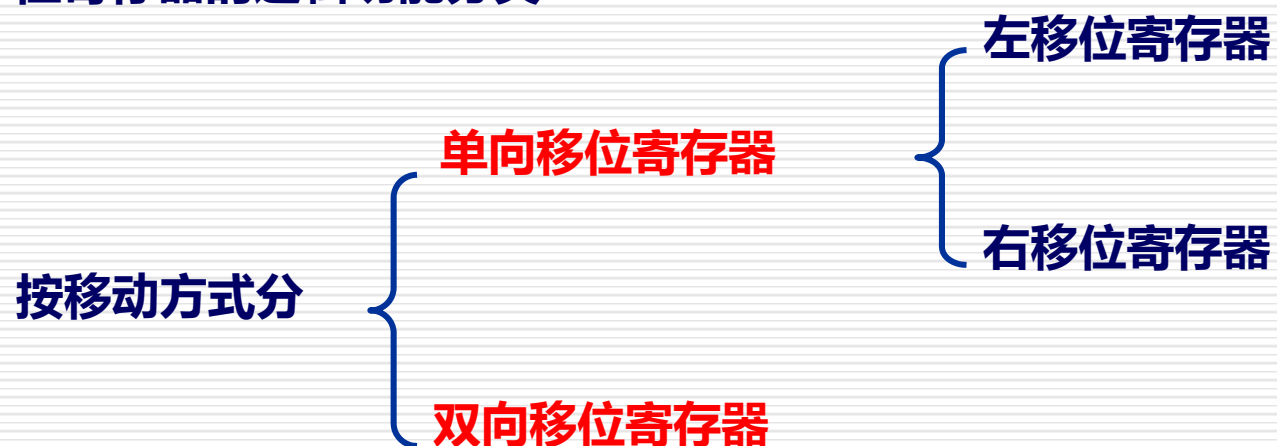
## 2、移位寄存器

---

### •移位寄存器的逻辑功能

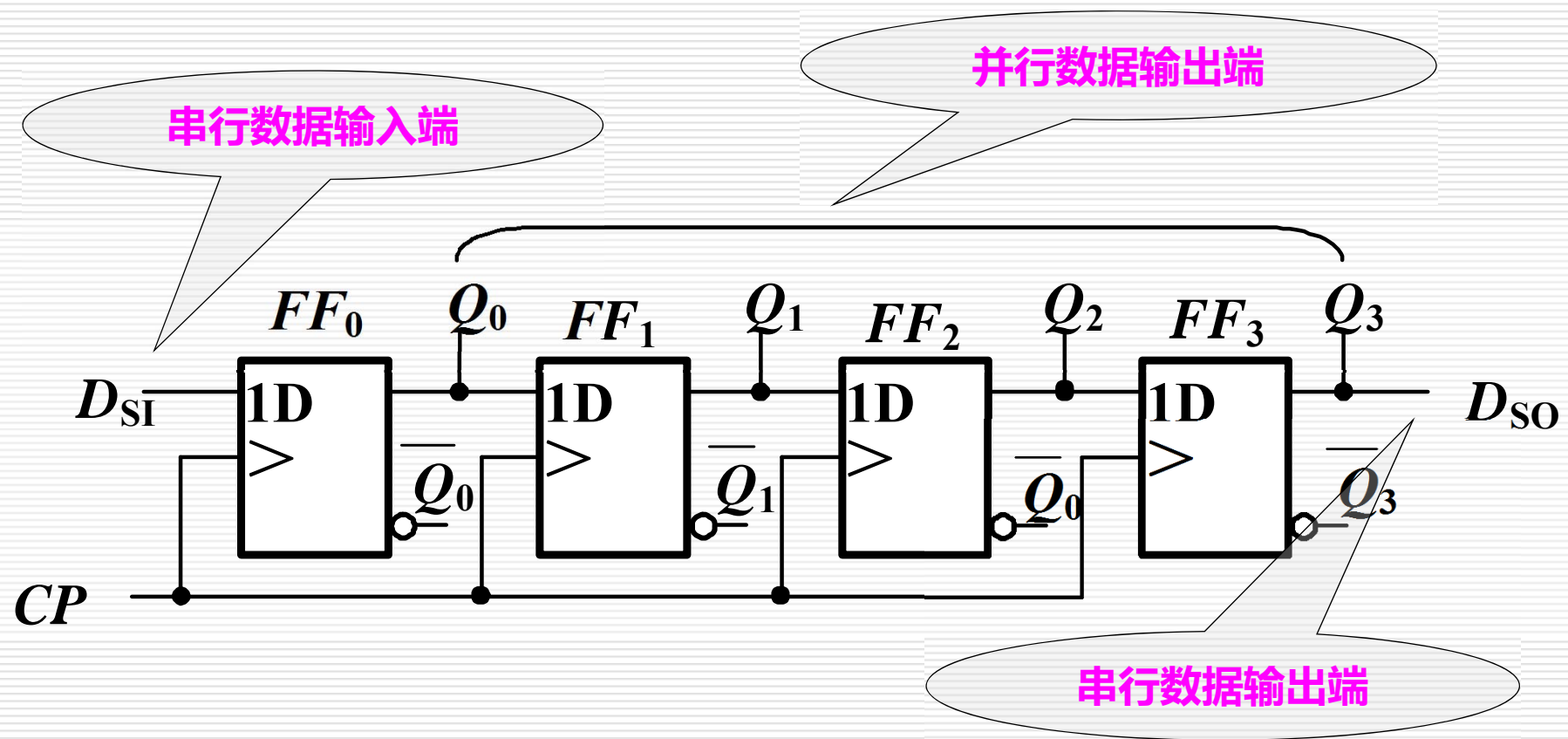
移位寄存器是既能**寄存**数码，又能在**时钟脉冲**的作用下使数码**向高位或向低位移动**的逻辑功能部件。

### •移位寄存器的逻辑功能分类



# (1) 基本移位寄存器

(a) 电路



## (2) 多功能双向移位寄存器

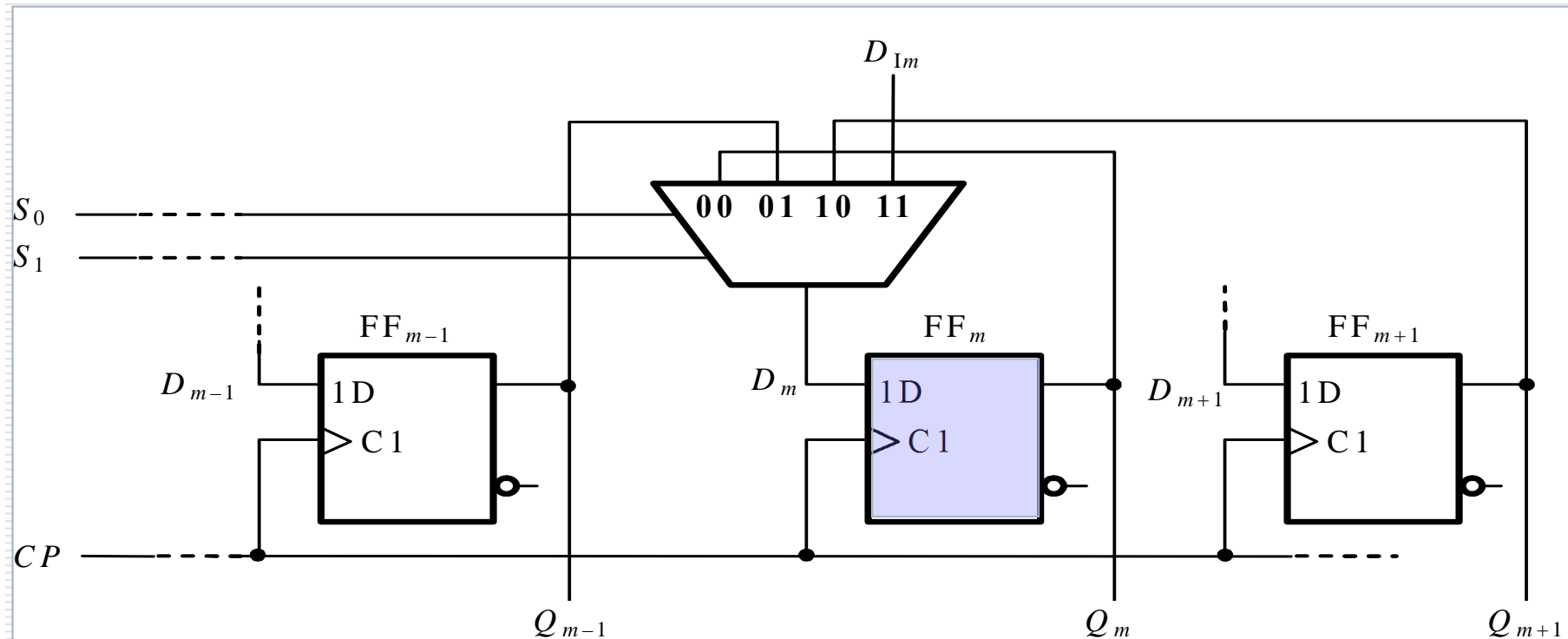
实现多种功能双向移位寄存器的一种方案(仅以 $FF_m$ 为例)

$$S_1 S_0 = 00 \quad Q_m^{n+1} = Q_m^n \quad \text{保持不变}$$

$$S_1 S_0 = 10 \quad Q_m^{n+1} = Q_{m+1}^n \quad \text{高位移向低位}$$

$$S_1 S_0 = 01 \quad Q_m^{n+1} = Q_{m-1}^n \quad \text{低位移向高位}$$

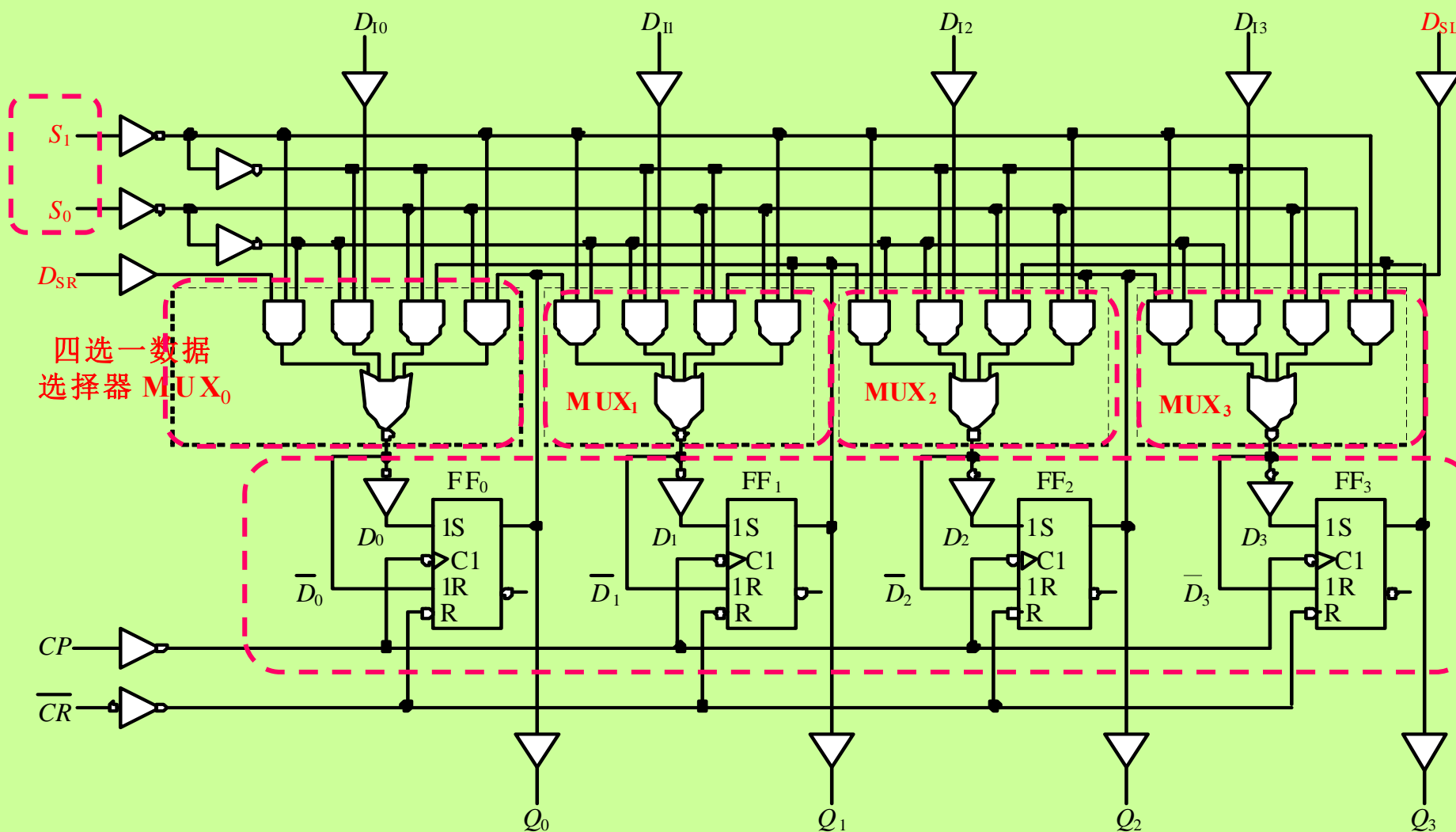
$$S_1 S_0 = 11 \quad Q_m^{n+1} = D_m \quad \text{并入}$$





## (b) 典型集成电路

### CMOS 4位双向移位寄存器74HC/HCT194



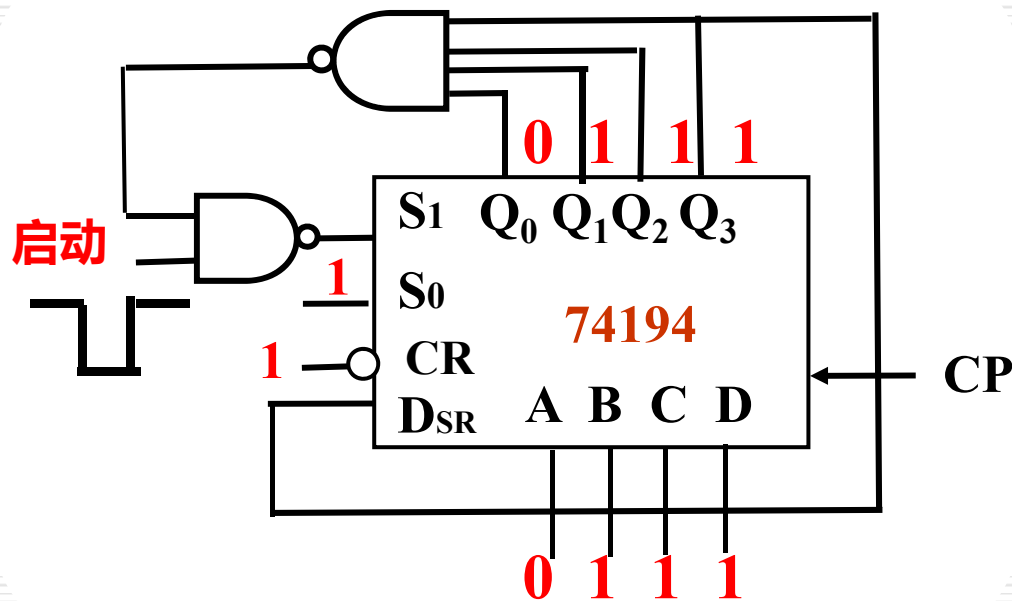
74HCT194 的功能表

输 入						输 出				行				
清 零	控制信 号		串行输入		时 钟 $CP$	并行输入					$Q_0^{n+1} Q_1^{n+1} Q_2^{n+1} Q_3^{n+1}$			
$\overline{CR}$	$S_1$	$S_0$	右 移 $D_{SR}$	左 移 $D_{SL}$		$DI_0$	$DI_1$	$DI_2$	$DI_3$					
L	×	×	×	×	×	×	×	×	×	L	L	L	L	1
H	L	L	×	×	×	×	×	×	×	$Q_0^n$	$Q_1^n$	$Q_2^n$	$Q_3^n$	2
H	L	H	L	×	↑	×	×	×	×	L	$Q_0^n$	$Q_1^n$	$Q_2^n$	3
H	L	H	H	×	↑	×	×	×	×	H	$Q_0^n$	$Q_1^n$	$Q_2^n$	4
H	H	L	×	L	↑	×	×	×	×	$Q_1^n$	$Q_2^n$	$Q_3^n$	L	5
H	H	L	×	H	↑	×	×	×	×	$Q_1^n$	$Q_2^n$	$Q_3^n$	H	6
H	H	H	×	×	↑	$DI_0$	$DI_1$	$DI_2$	$DI_3$	$D_0$	$D_1$	$D_2$	$D_3$	7

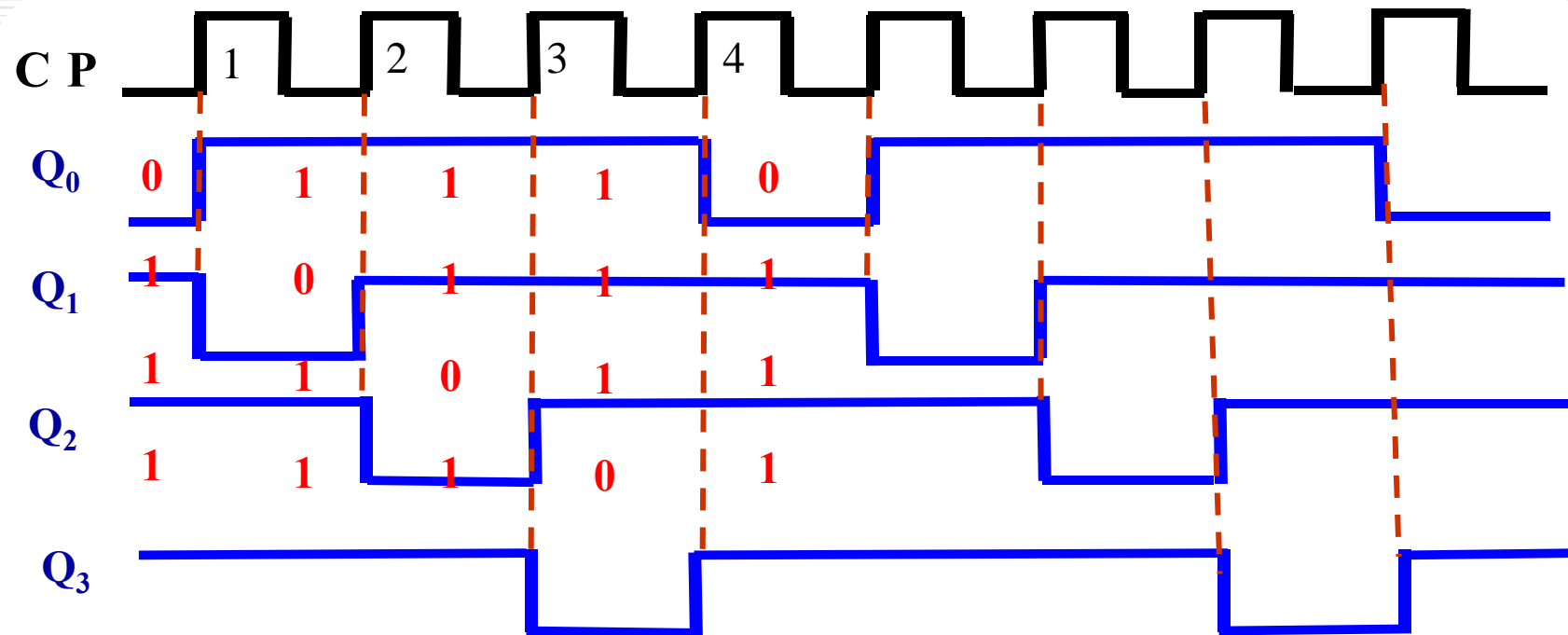
例：时序脉冲产生器。电路如图所示。画出  $Q_0—Q_3$  波形，分析逻辑功能。

解：启动信号为0：  $S_1=1$   $S_0=1$ ,同步置数 $Q_A\sim Q_D=0111$

启动信号为1后：  $S_1=0$   $S_0=1$ , 低位移向高位状态,  $Q_3 = DSR$



因为 $Q_0\sim Q_3$ 总有一个为0， $S_1S_0=01$ ，  
则74194始终工作在低位向高位移动循环移位的状态。



## 6.5.2 计数器

---

### 概 述

#### (1) 计数器的逻辑功能

计数器的基本功能是对输入时钟脉冲进行计数。它也可用于分频、定时、产生节拍脉冲和脉冲序列及进行数字运算等等。

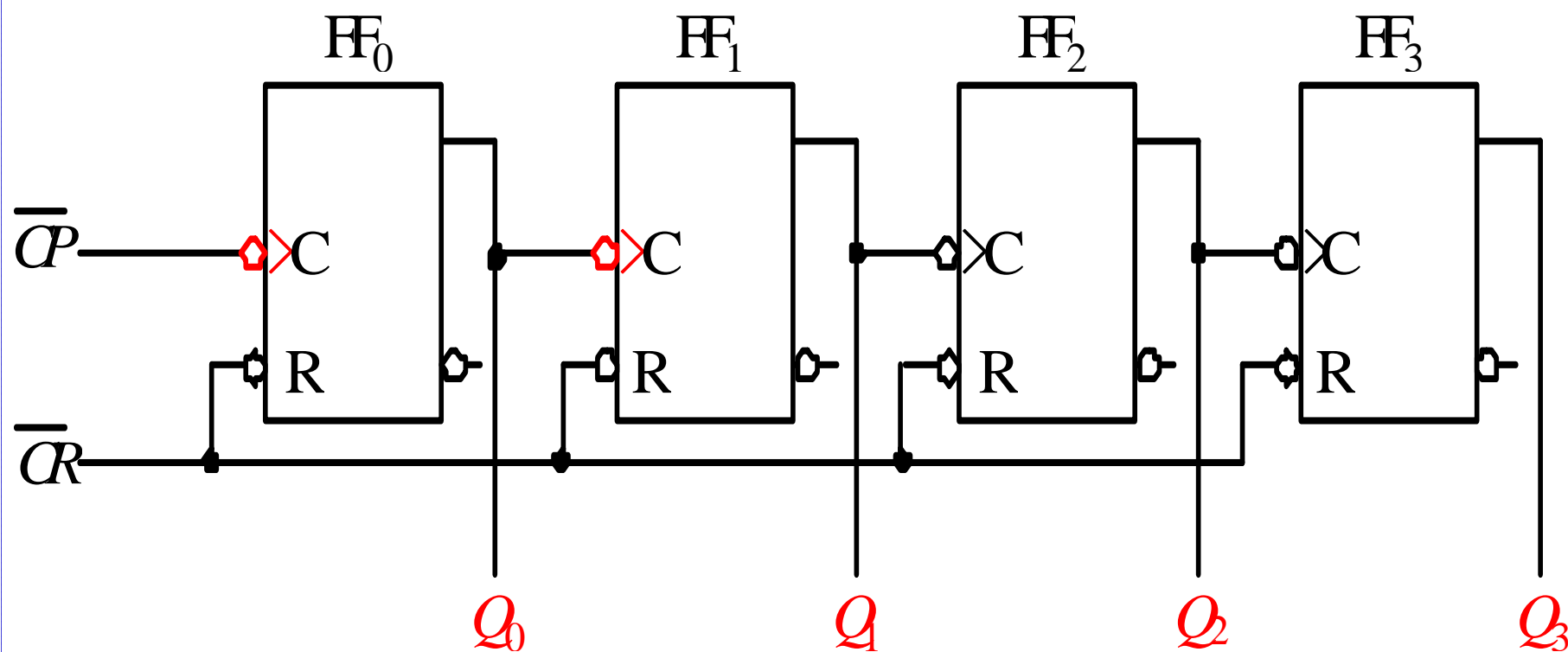
#### (2) 计数器的分类

- 按脉冲输入方式，分为同步和异步计数器
  - 按进位体制，分为二进制、十进制和任意进制计数器
  - 按逻辑功能，分为加法、减法和可逆计数器
-

## 1、 二进制计数器

### (1) 异步二进制计数器——4位异步二进制加法计数器

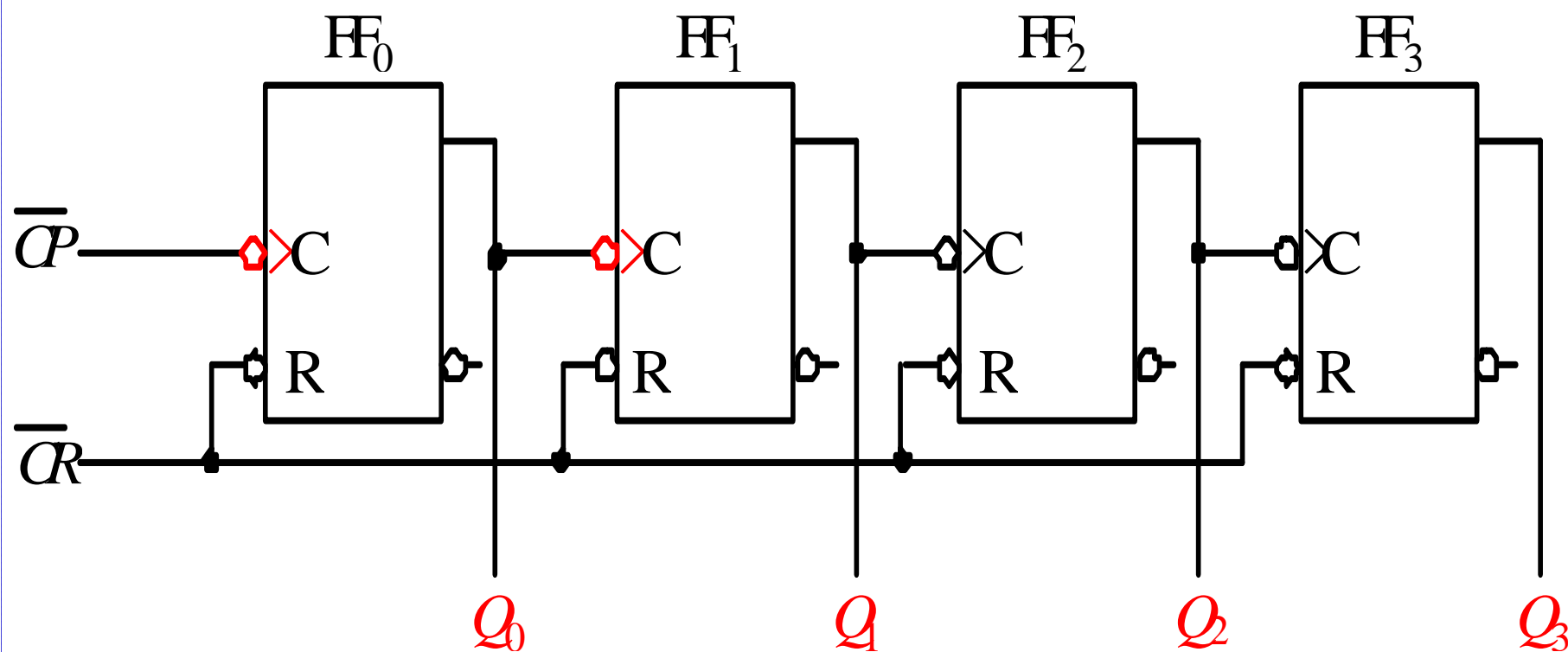
#### 工作原理



## 1、 二进制计数器

### (1) 异步二进制计数器——4位异步二进制加法计数器

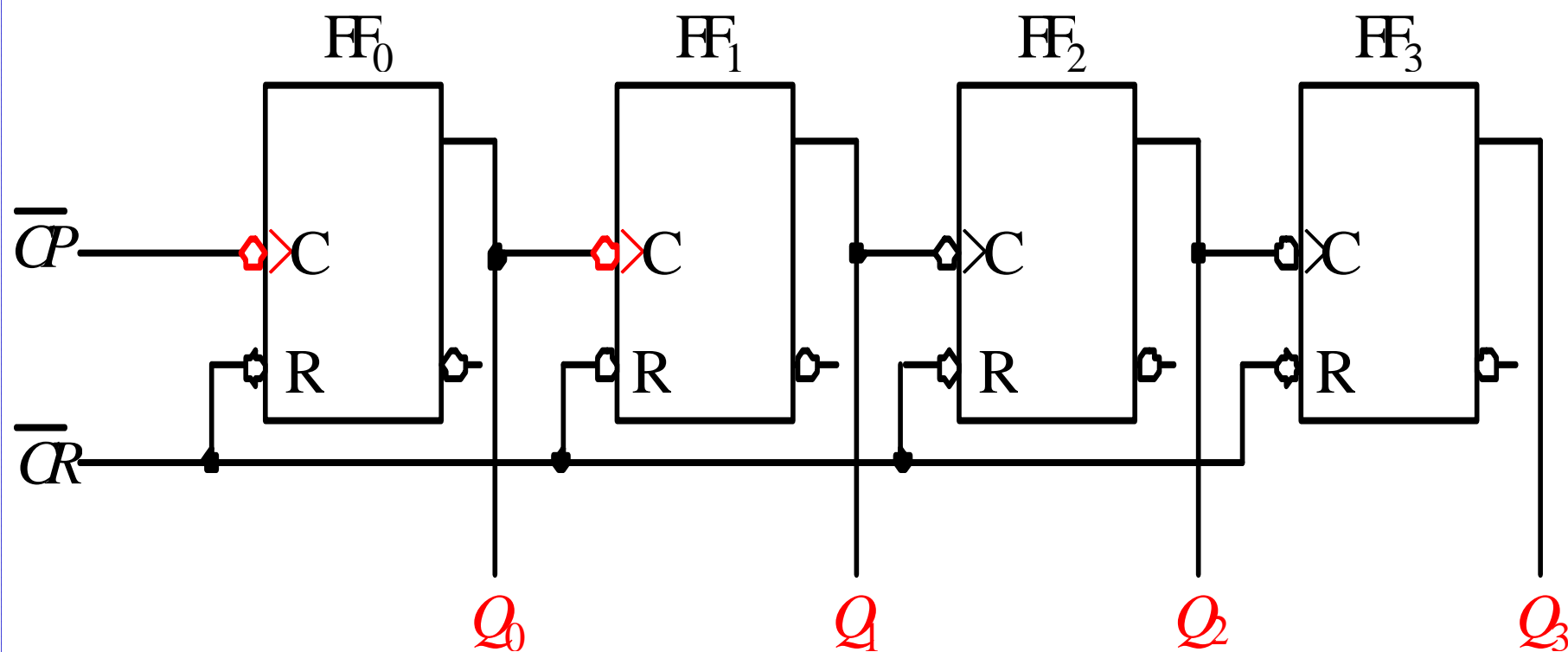
#### 工作原理



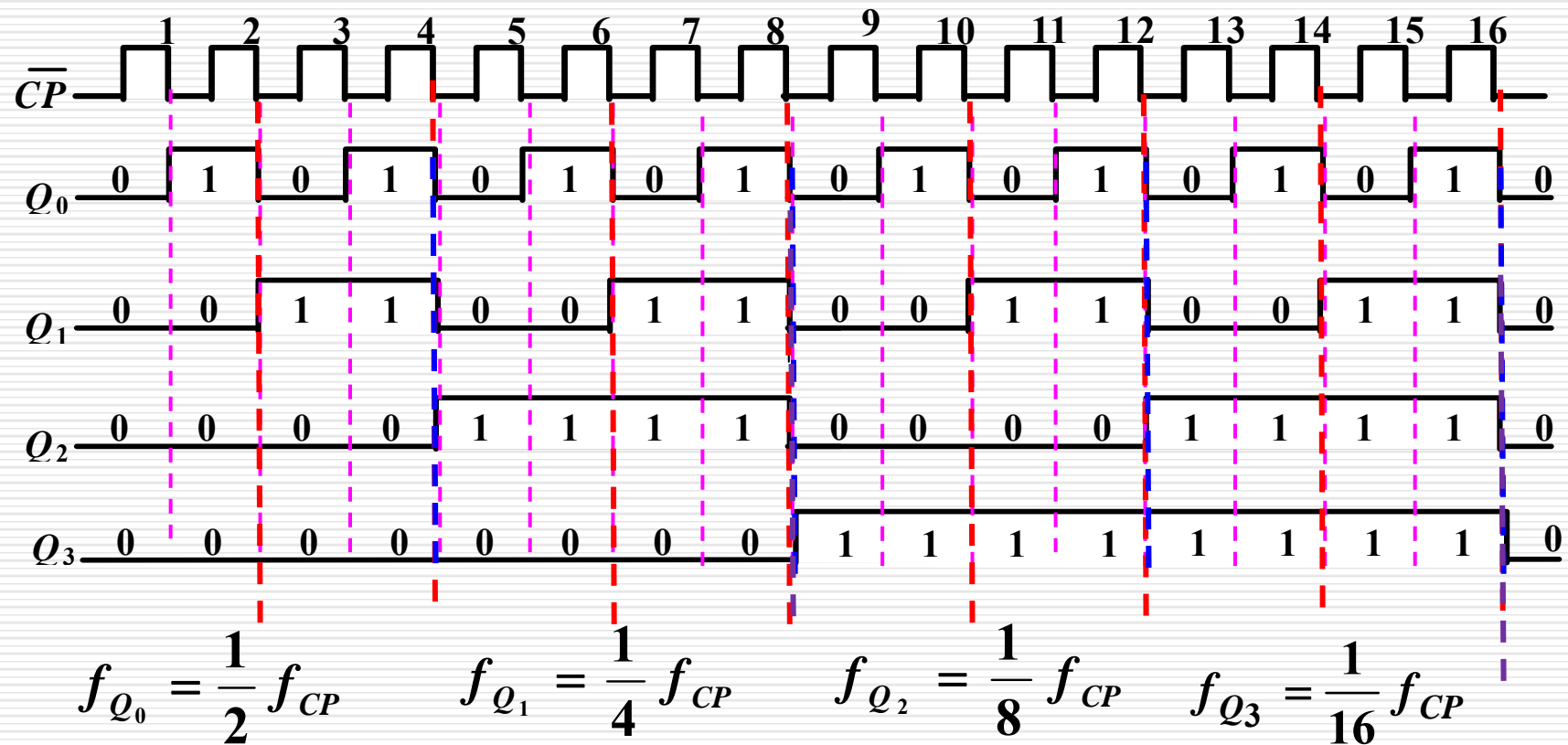
## 1、 二进制计数器

### (1) 异步二进制计数器——4位异步二进制加法计数器

#### 工作原理

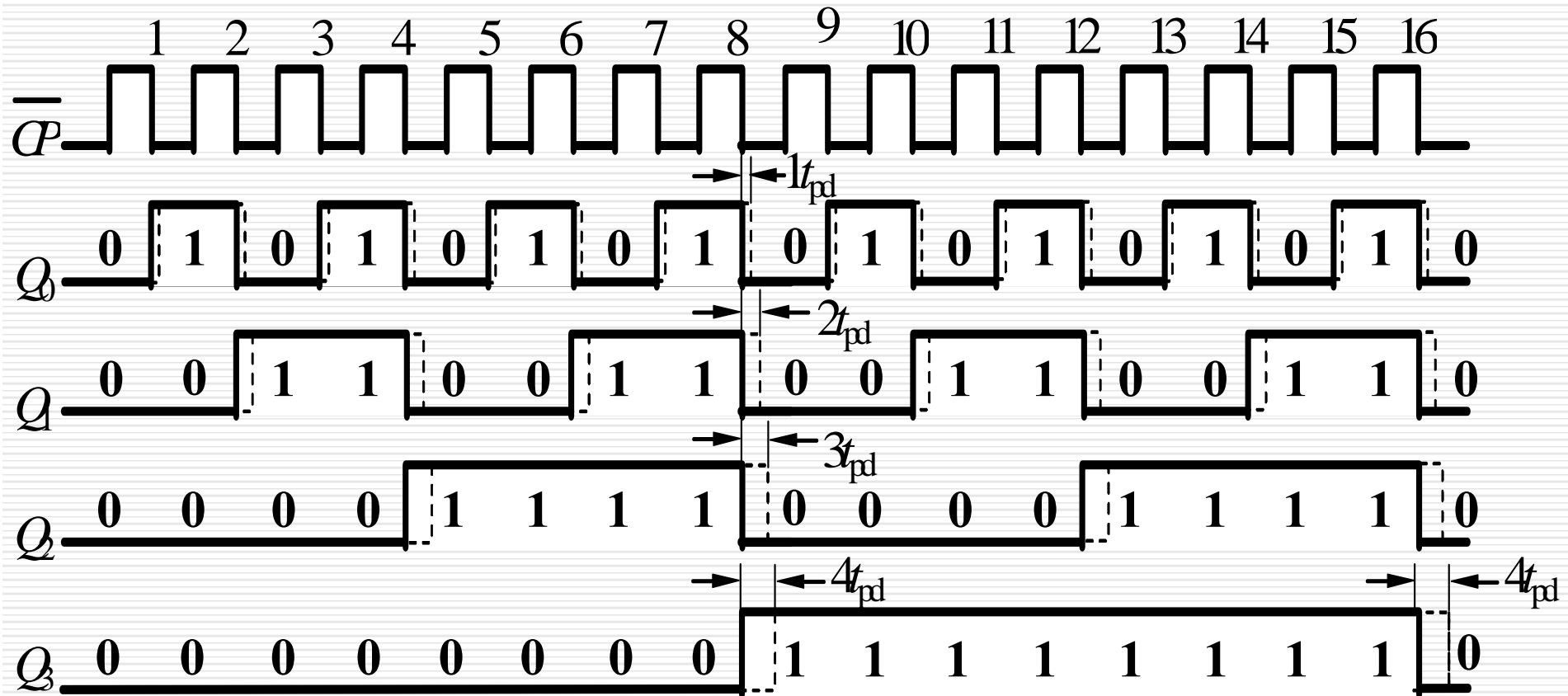






**结论:** ➤ 计数器的功能：不仅可以计数也可作为分频器。

如考虑每个触发器都有 $1t_{pd}$ 的延时，电路会出现什么问题？



➤ 异步计数脉冲的最小周期  $T_{min} = n t_{pd}$ 。（n为位数）

## (2) 二进制同步加计数器

$Q_0$  在每个CP都翻转一次

FF<sub>0</sub> 可采用T=1的T触发器

$Q_1$  仅在 $Q_0=1$ 后的下一个CP到来时翻转

FF<sub>1</sub> 可采用T=  $Q_0$  的T触发器

$Q_2$  仅在 $Q_0=Q_1=1$ 后的下一个CP到来时翻转

FF<sub>2</sub> 可采用T=  $Q_0Q_1$  的触发器

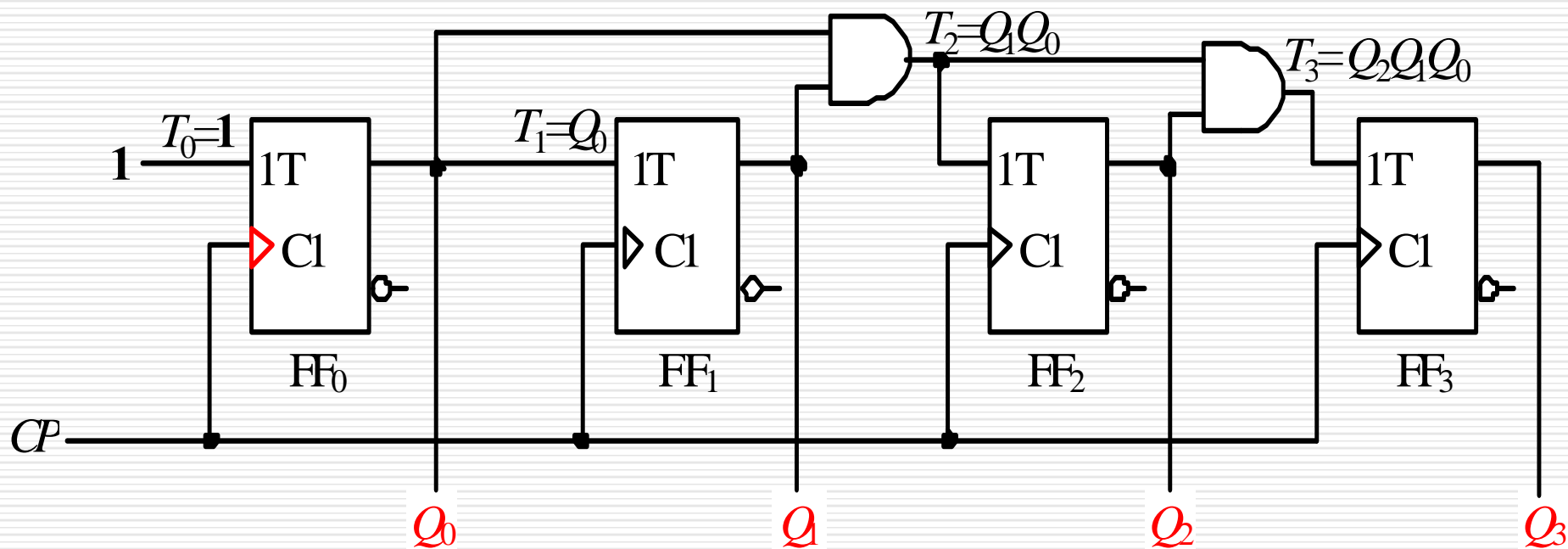
$Q_3$  仅在 $Q_0=Q_1=Q_2=1$ 后的下一个CP到来时翻转

FF<sub>3</sub> 可采用T=  $Q_0Q_1Q_2$  的触发器

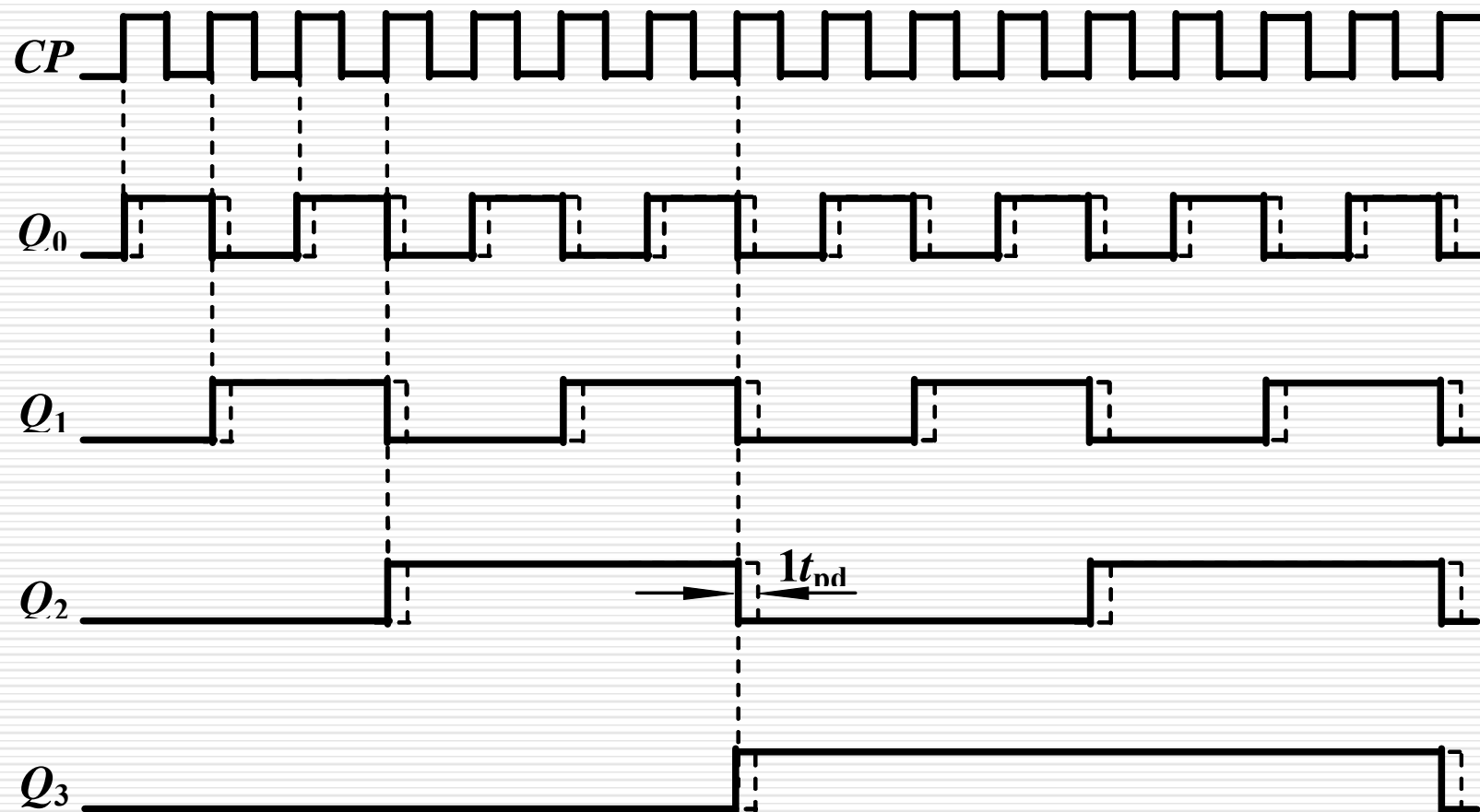
计数顺序	电路状态				进位输出
	$Q_3$	$Q_2$	$Q_1$	$Q_0$	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	1
16	0	0	0	0	0

(a) 4位二进制同步加计数器逻辑图---由T触发器构成

$$\begin{cases} T_0 = 1 \\ T_1 = Q_0 \\ T_2 = Q_1 Q_0 \\ T_3 = Q_2 Q_1 Q_0 \end{cases}$$



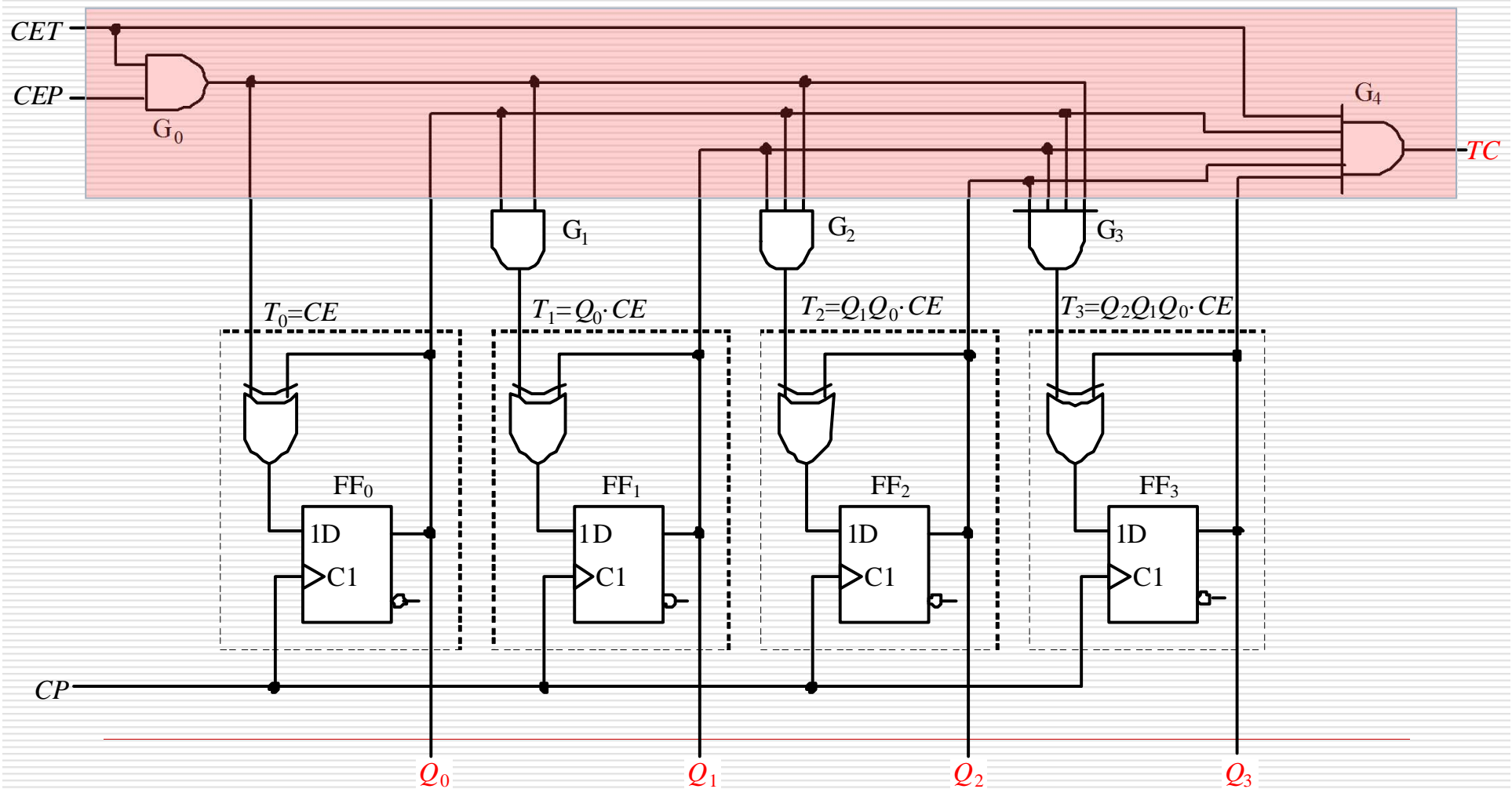
4位二进制同步加计数器时序图



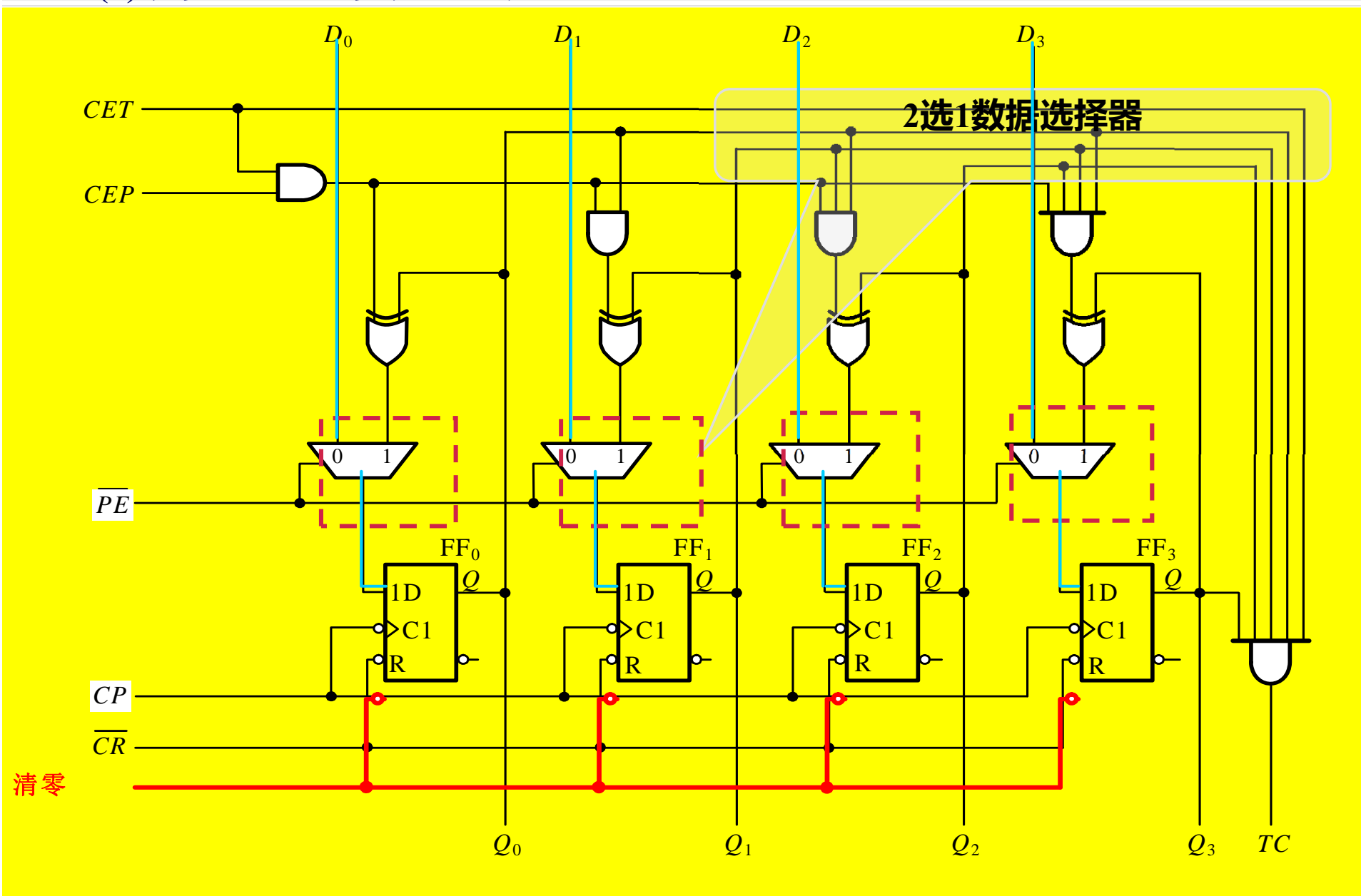


### (c) 计数使能和并行进位

$CET$ 、 $CEP$ 为计数使能，并行进位  $TC=Q_3Q_2Q_1Q_0 \cdot CET$



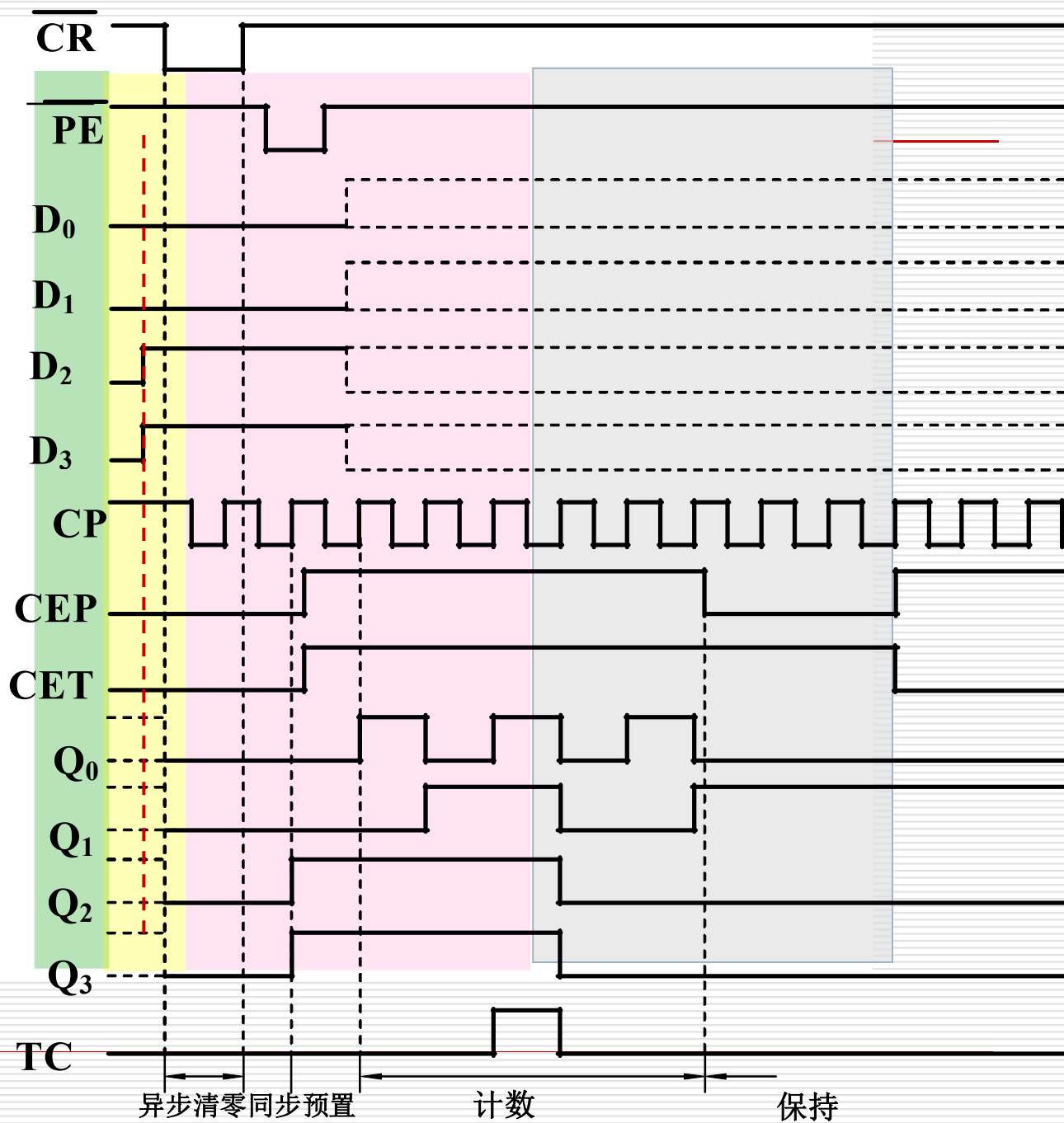
### (d) 异步清零和同步并行置数





### (3)时序图

$$TC = CET \cdot Q_3 Q_2 Q_1 Q_0$$



74LVC161 逻辑功能表

输 入									输 出				
清零	预置	使能		时钟	预置数据输入				计 数				进位
$\overline{CR}$	$\overline{PE}$	$CEP$	$CE_T$	$CP$	$D_3$	$D_2$	$D_1$	$D_0$	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$TC$
L	×	×	×	×	×	×	×	×	L	L	L	L	L
H	L	×	×	↑	$D_3$	$D_2$	$D_1$	$D_0$	$D_3$	$D_2$	$D_1$	$D_0$	*
H	H	L	×	×	×	×	×	×	保 持		保 持		*
H	H	×	L	×	×	×	×	×	保 持		保 持		*
H	H	H	H	↑	×	×	×	×	计 数		计 数		*

$\overline{CR}$ 的作用？

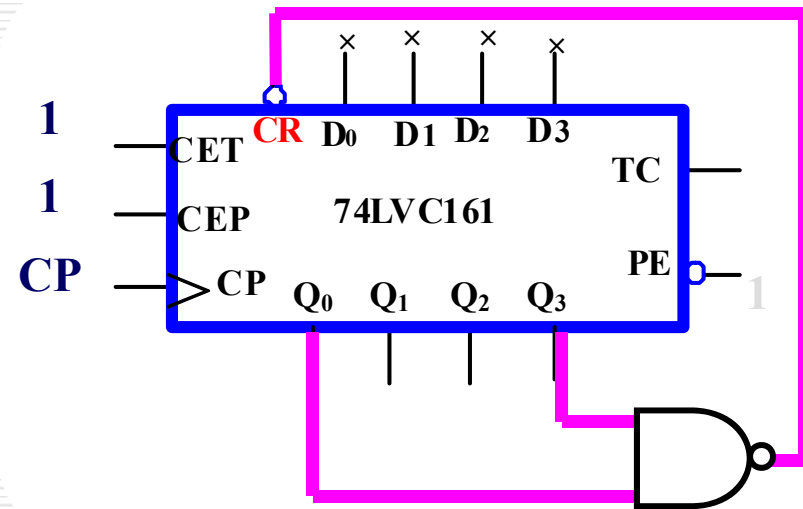
$\overline{PE}$ 的作用？

#### (4) 应用

例 用74LVC161构成九进制加计数器。

(a) **反馈清零法**：利用异步置零输入端，在M进制计数器的计数过程中，跳过M-N个状态，得到N进制计数器的方法。

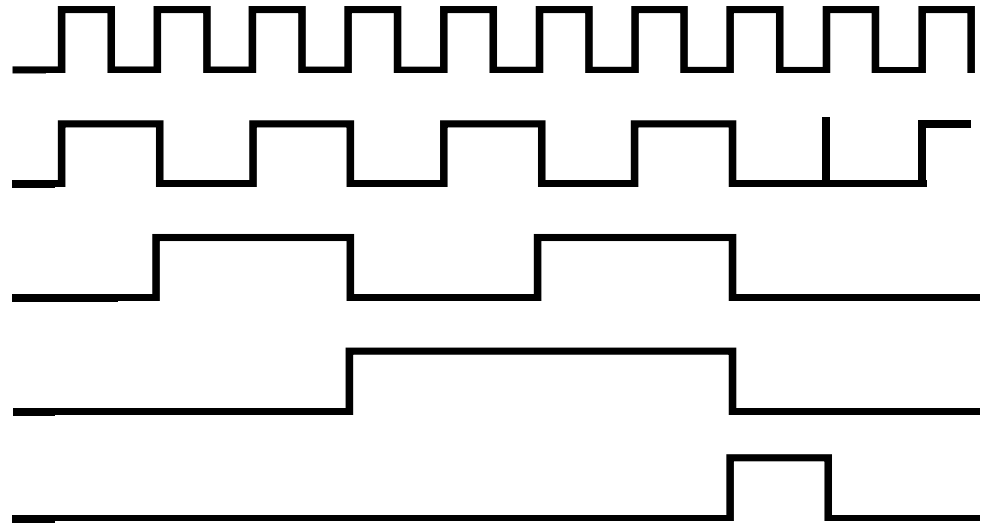
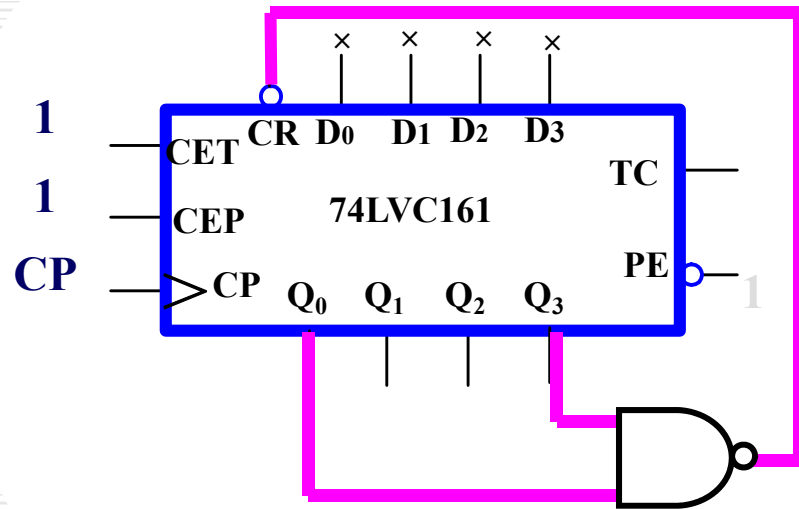
CP	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
...	.....			
8	1	0	0	0
9	1	0	0	1
...	...			
15	1	1	1	1



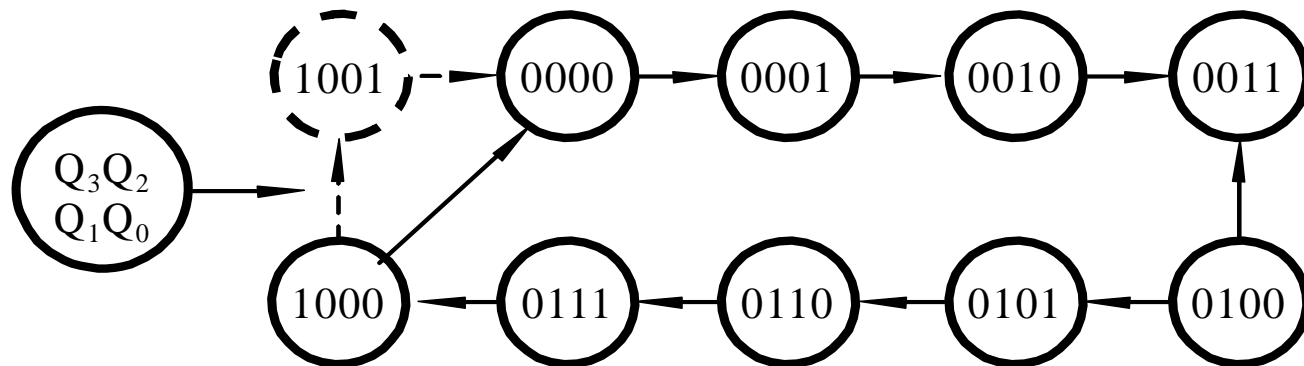
$$CR = \overline{Q_0 \cdot Q_3} = 0$$

设法跳过16-9=7个状态

## 工作波形



## 状态图



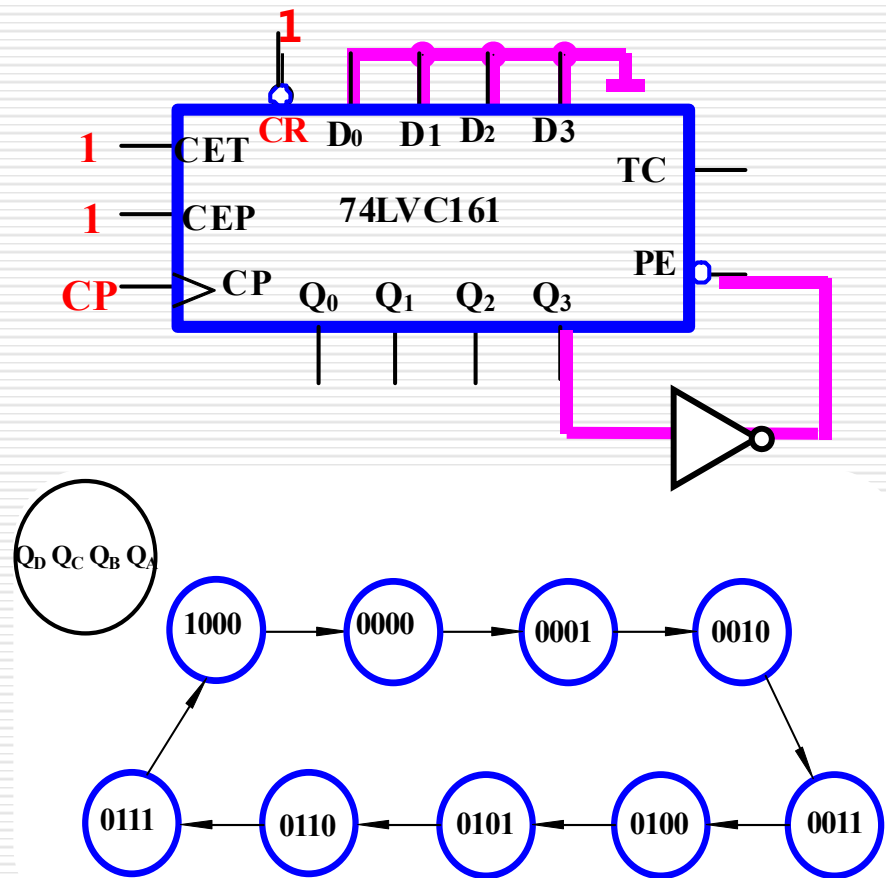
## 利用同步置数端构成九进制计数器

(b) **反馈置数法**:利用**同步置数端**，在**M进制计数器**的计数过程中，**跳过M-N个状态**，得到**N进制计数器**的方法。

CP	$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
...	.....			
8	1	0	0	0

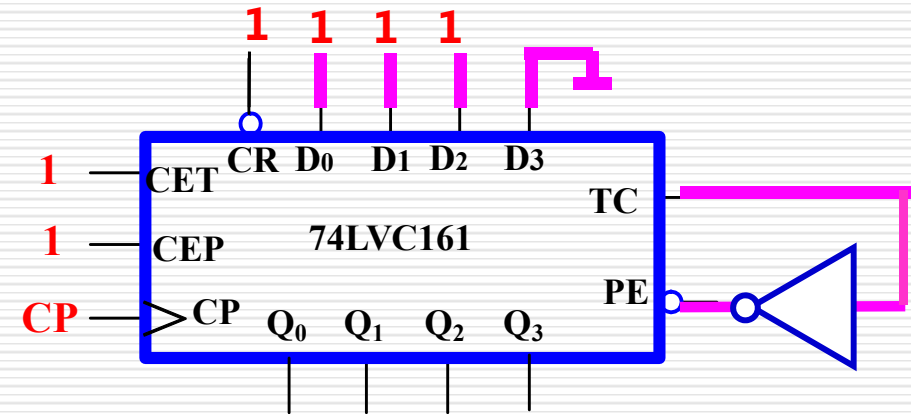
$PE = \overline{Q_3} =$

$$PE = \overline{Q_3} = 0$$

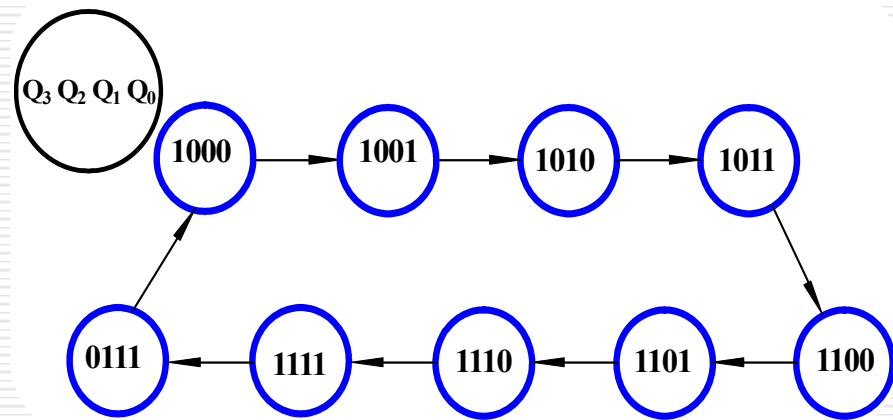


采用后九种状态作为有效状态，用**反馈置数法**构成九进制加计数器。

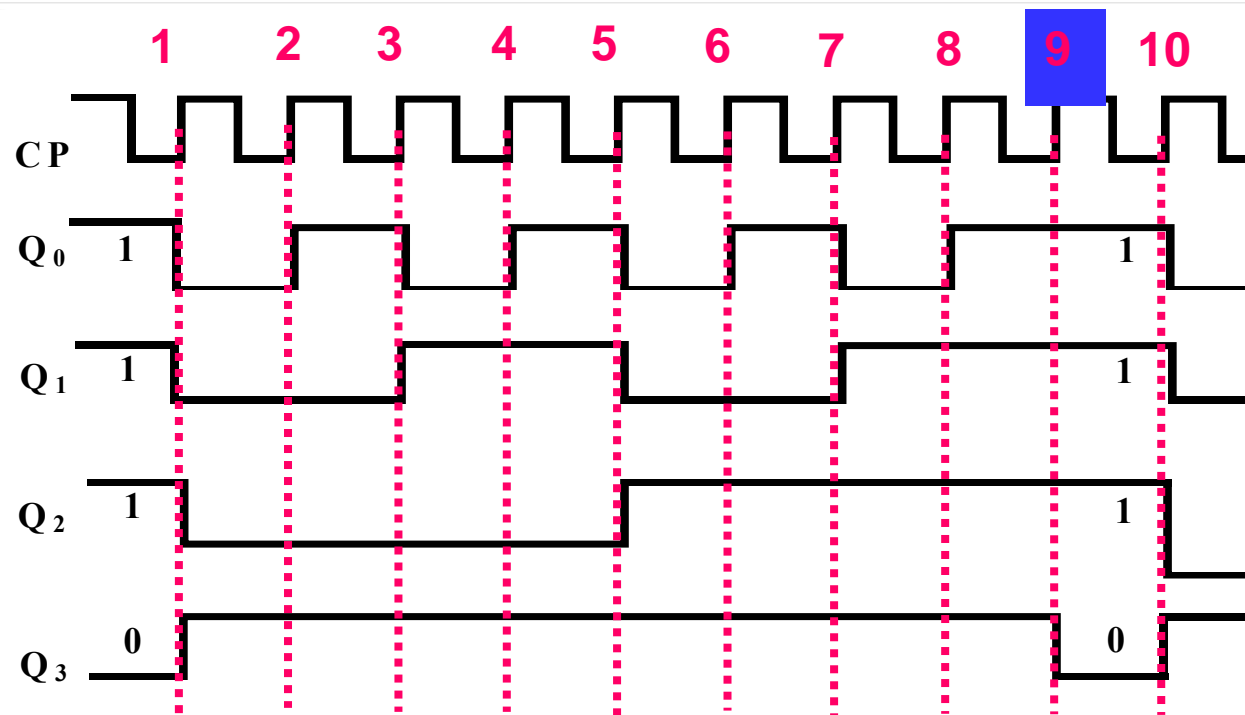
$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1



$$TC = CET \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0 = 1$$

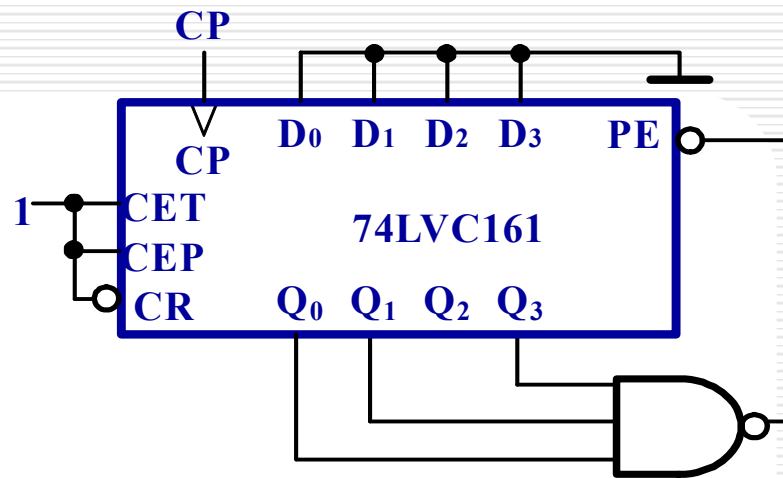


## 波形图：

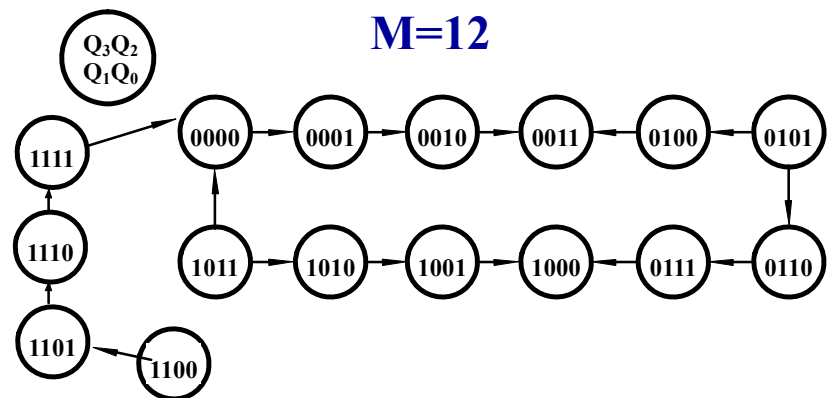


该计数器的模为9。

分析下图所示的时序逻辑电路，试画出其状态图和在CP脉冲作用下 $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$ 的波形，并指出计数器的模是多少？



$$PE = \overline{Q_3 \cdot Q_1 \cdot Q_0} = 0$$





## 例 用74VC161组成256进制计数器。

---

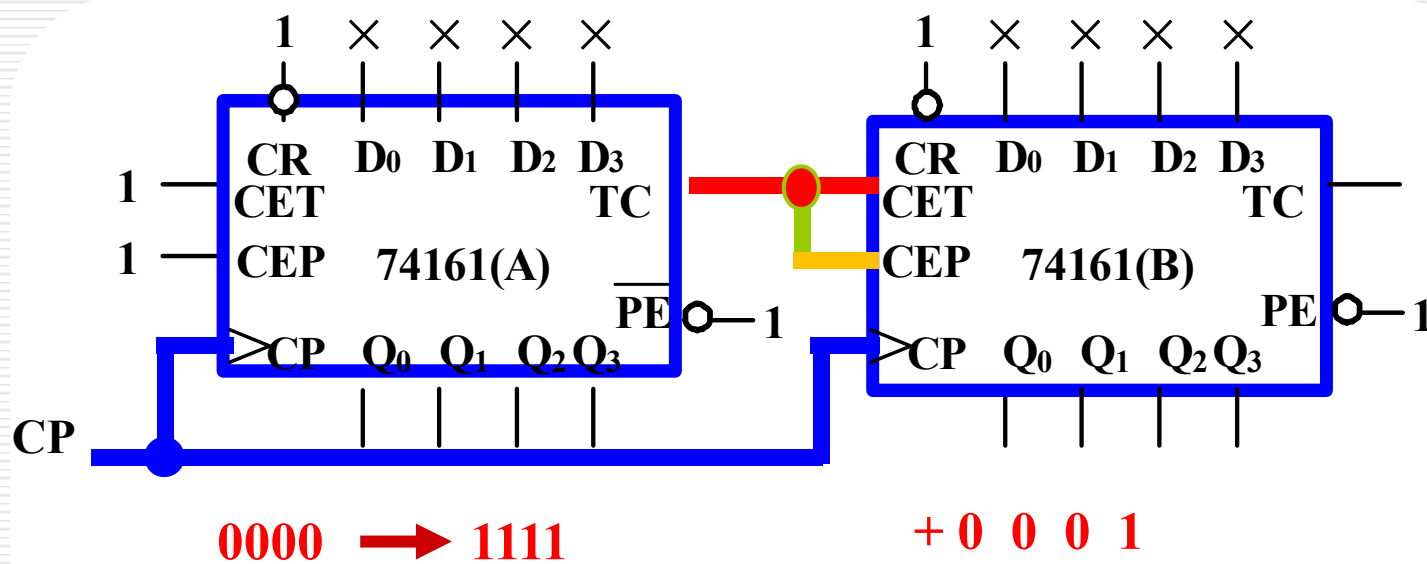
解： 设计思想

- 1片74161是16进制计数器
- $256 = 16 \times 16$
- 所以256进制计数器需用两片74161构成

• 片与片之间的连接通常有两种方式：

- 并行进位 (低位片的进位信号作为高位片的使能信号)
  - 串行进位 (低位片的进位信号作为高位片的时钟脉冲，  
即异步计数方式)
-

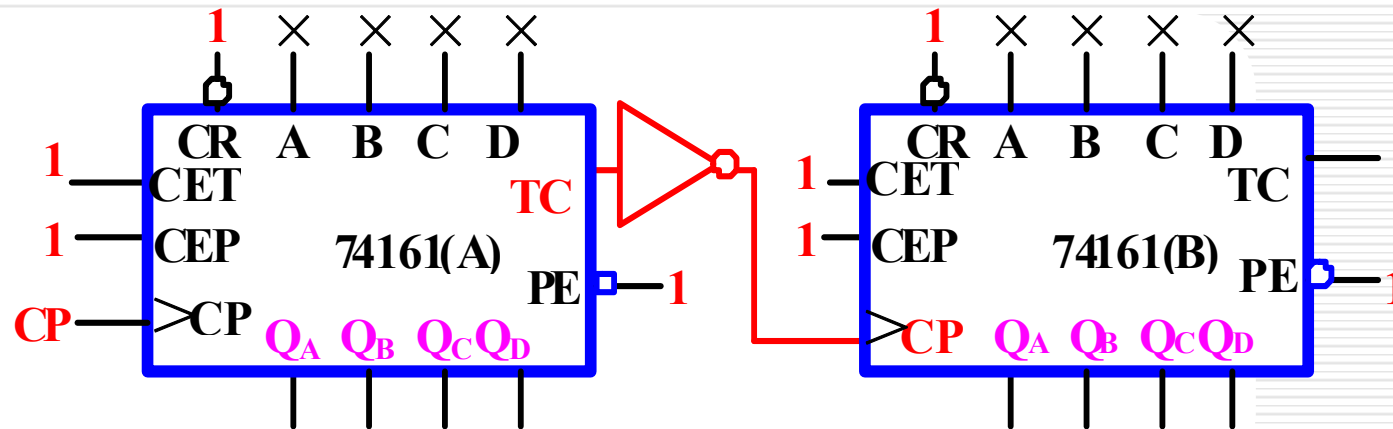
## 并行进位：低位片的进位作为高位片的使能



计数状态：0000 0000 ~ 1111 1111

$$N = 16 \times 16 = 256$$

## 串行进位：低位片的进位作为高位片的时钟



0000 → 1111

+ 0 0 0 1

计数状态：0000 0000 ~ 1111 1111

采用串行进位时，为什么低TC要经反相器后作为高位的CP？

# 小结

---

用集成计数器构成任意进制计数器的一般方法

1)  $N < M$  的情况 :

( 已有的集成计数器是 $M$  进制 , 需组成的是 $N$  进制计数器 )

实现的方法 :

反馈清零法

利用清零输入端 , 使电路计数到某状态时产生清零操作 , 清除 $M-N$ 个状态实现 $N$ 进制计数器。

反馈置数法

利用计数器的置数功能 , 通过给计数器重复置入某个数码的方法减少 $(M-N)$ 个独立状态 , 实现 $N$ 进制计数器。

---

## 2) $N > M$ 的情况

---

实现的方法： ----采用多片M进制计数器构成。

按芯片连接方式可分为：

(1) 串行进位方式：            构成异步计数器

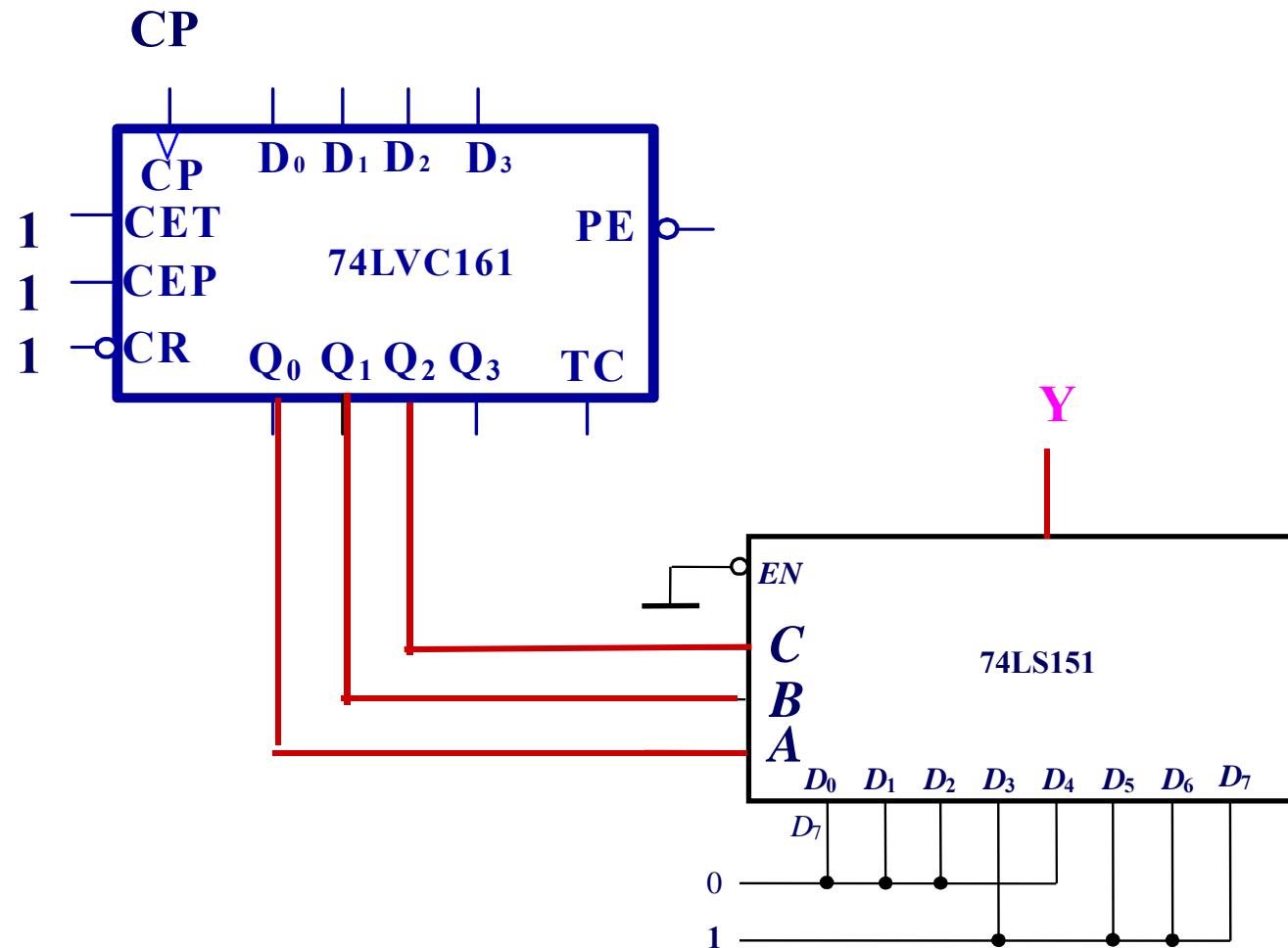
(2) 并行进位方式：            构成同步计数器

---

## 应用举例

## 序列信号发生器

在CP的作用下，Y端产生00010111循环序列信号



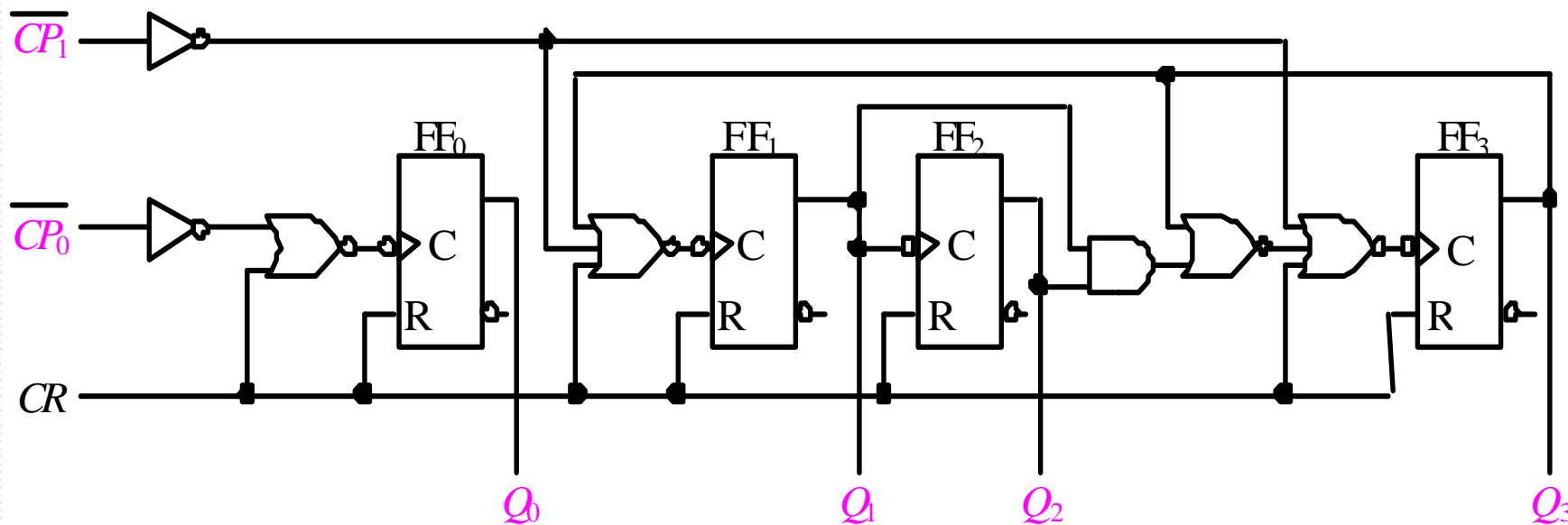
如要求Y端产生10110010循环序列信号，如何改变电路的连接？

## 2. 异步二进制计数器

将图中电路按以下两种方式连接：

- (1)  $\overline{CP_0}$  接计数脉冲信号，将  $Q_0$  与  $\overline{CP_1}$  相连；
- (2)  $\overline{CP_1}$  接计数脉冲信号，将  $Q_3$  与  $\overline{CP_0}$  相连

试分析它们的逻辑输出状态。



两种连接方式的状态表

计数顺序	连接方式1 ( 8421码 )				连接方式2 ( 5421码 )			
	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_0$	$Q_3$	$Q_2$	$Q_1$
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	1	0	0	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	1	1
9	1	0	0	1	1	1	0	0

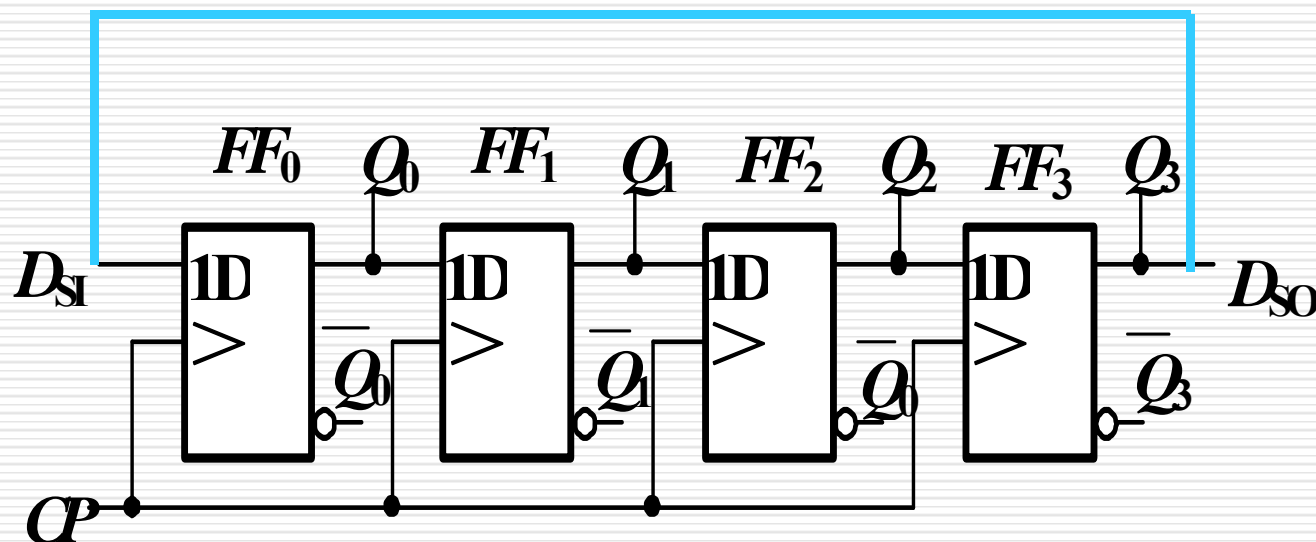


### 3. 环形计数器

#### (1) 工作原理

##### ① 基本环形计数器

置初态 $Q_3Q_2Q_1Q_0=0001$ ,



第一个 $CP: Q_3Q_2Q_1Q_0=0010$ ,

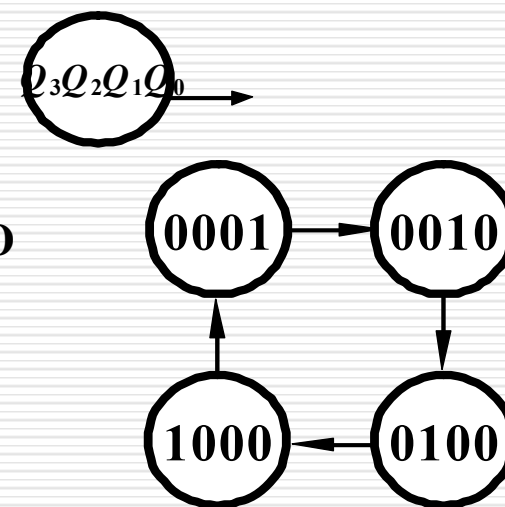
第二个 $CP: Q_3Q_2Q_1Q_0=0100$ ,

第三个 $CP: Q_3Q_2Q_1Q_0=1000$ ,

第四个 $CP: Q_3Q_2Q_1Q_0=0001$ ,

第五个 $CP: Q_3Q_2Q_1Q_0=0010$ ,

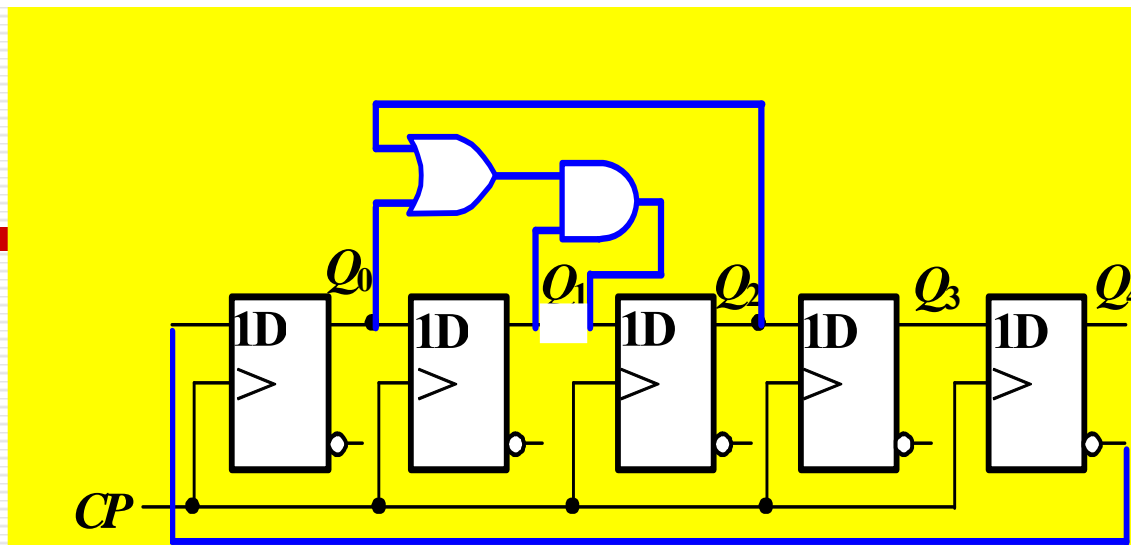
状态图



## ② 扭环形计数器

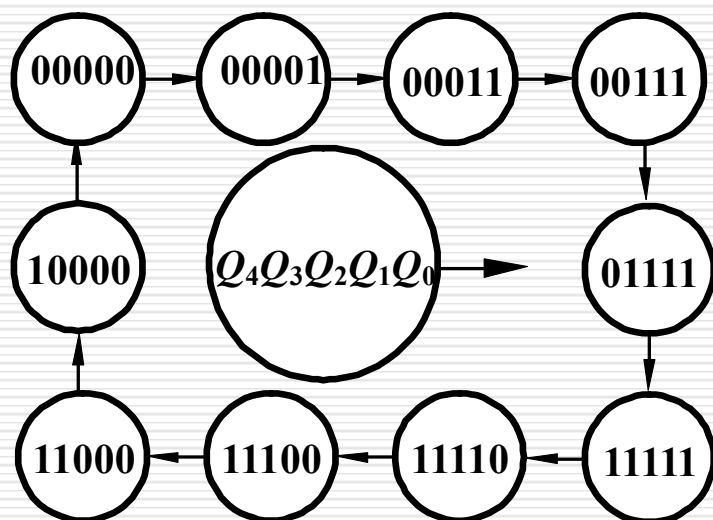
a、电路

b、状态表



置初态 $Q_3Q_2Q_1Q_0=0001$ ,

c、状态图



状态编号	$Q_4$	$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0	0	0
1	0	0	0	0	1
2	0	0	0	1	1
3	0	0	1	1	1
4	0	1	1	1	1
5	1	1	1	1	1
6	1	1	1	1	0
7	1	1	1	0	0
8	1	1	0	0	0
9	1	0	0	0	0

状态编号	$Q_4$	$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0	0	0
1	0	0	0	0	1
2	0	0	0	1	1
3	0	0	1	1	1
4	0	1	1	1	1
5	1	1	1	1	1
6	1	1	1	1	0
7	1	1	1	0	0
8	1	1	0	0	0
9	1	0	0	0	0

$$Y_0 = \overline{Q_4} \overline{Q_0}$$

$$Y_1 = \overline{Q_1} Q_0$$

$$Y_2 = \overline{Q_2} Q_1$$

$$Y_3 = \overline{Q_3} Q_2$$

$$Y_4 = \overline{Q_4} Q_3$$

$$Y_5 = Q_4 Q_0$$

$$Y_6 = Q_1 \overline{Q_0}$$

$$Y_7 = Q_2 \overline{Q_1}$$

$$Y_8 = Q_3 \overline{Q_2}$$

$$Y_9 = Q_4 \overline{Q_3}$$

译码电路简单,且不会出现竞争冒险