

---

# 数 字 逻 辑

丁 贤 庆

ahhfdxq@163.com

---

# 通知

# 实验安排

---

数字逻辑电路课程有16个学时的实验，初步安排：  
具体安排参见公共邮箱中的word文档。

本周开始进行实验环节，实验结束后16周周日（6月16号）晚23点前，各班学委要提交实验报告的电子版给我的邮箱ahhfdxq@163.com。不用收纸质报告了。

实验地点：综合实验楼306房间

---

---

# 关于实验报告

---

- 8次实验中，自己选择4次写到实验报告中就可以了。
  - 补充的实验不需要写到实验报告中。
-

# 通知

---

- 1、下周还有实验。
  - 2、实验空闲时间可以答疑。
  - 3、第14周实验时可以带上另外一本课本《搭建你的数字积木——数字电路与逻辑设计（Verilog HDL&Vivado版）》，这本书中有些实践文档，可以作为参考。
  - 4、第14周的周六下午的计算机2班的实验 调到第14周的周五晚上19:00-20:50
-

---

# 第十一章

## 数字系统设计基础

算法状态机和ASM图

# 采用数据选择器来设计控制器

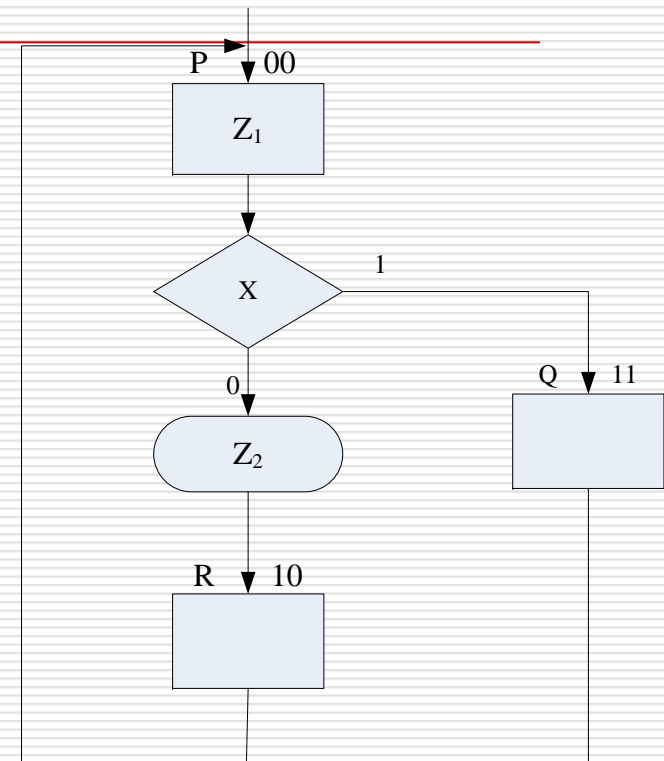
## □ 三级电路结构:

- 决定寄存器次态的数据选择器组成
- 保存现态的寄存器
- 译码器，产生每个控制状态对应的输出

## □ 设计一个多路选择器型控制器，完成左图的控制算法。

## □ 根据算法流程图，得到状态转移表

现态			次态		条件输出	
$Q_2$	$Q_1$	$X$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Z_2$	$Z_1$
0	0	0	1	0	1	1
0	0	1	1	1	0	1
0	1	Ø	0	0	0	0
1	0	Ø	0	0	0	0
1	1	Ø	0	0	0	0



# 采用数据选择器来设计控制器

现态			次态		条件输出	
$Q_2$	$Q_1$	$X$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Z_2$	$Z_1$
0	0	0	1	0	1	1
0	0	1	1	1	0	1
0	1	∅	0	0	0	0
1	0	∅	0	0	0	0
1	1	∅	0	0	0	0

触发器的驱动方程:

$$Q_2^{n+1} = \overline{Q_2} \overline{Q_1} \rightarrow F_2 = \overline{S_1} \overline{S_0}$$

$$Q_1^{n+1} = \overline{Q_2} \overline{Q_1} X \rightarrow F_1 = \overline{S_1} \overline{S_0} X$$

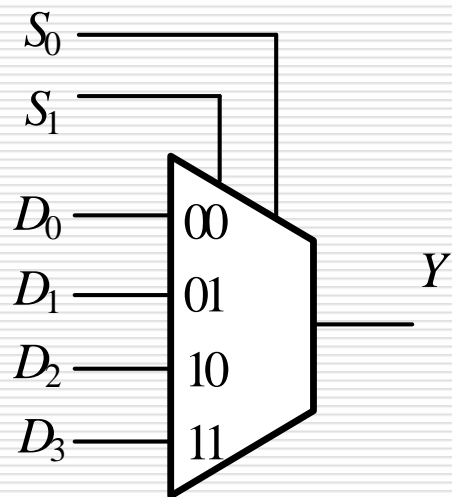
输出方程:

$$Z_2 = \overline{Q_2} \overline{Q_1} \overline{X}$$

$$Z_1 = \overline{Q_2} \overline{Q_1}$$

## (1) 4选1数据选择器工作原理及逻辑功能

真值表



选择输入		输 出
$S_1$	$S_0$	$Y$
<b>0</b>	<b>0</b>	$D_0$
<b>0</b>	<b>1</b>	$D_1$
<b>1</b>	<b>0</b>	$D_2$
<b>1</b>	<b>1</b>	$D_3$

$$Y = \overline{S_1}\overline{S_0}D_0 + \overline{S_1}S_0D_1 + S_1\overline{S_0}D_2 + S_1S_0D_3$$



# 采用数据选择器来设计控制器

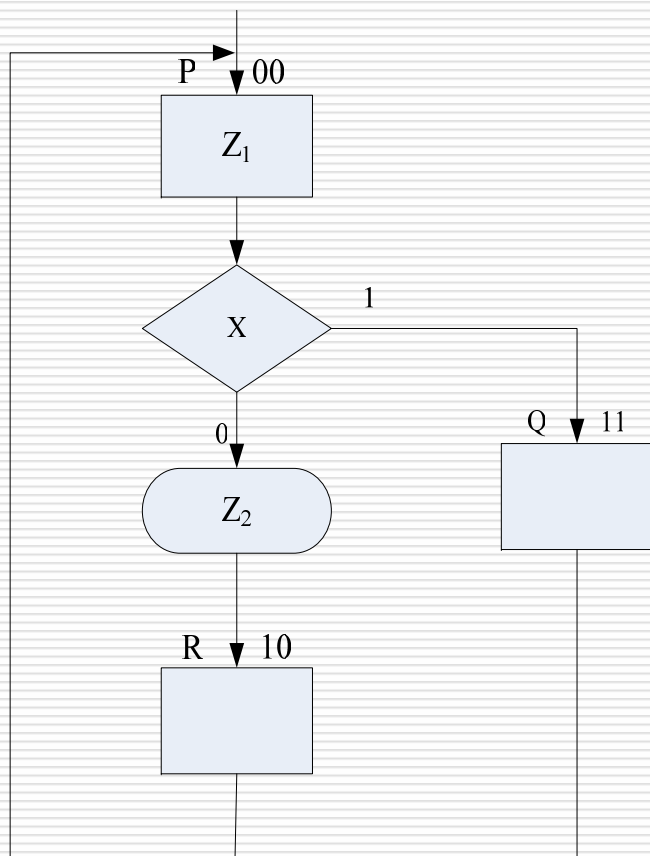
现态			次态		条件输出	
$Q_2$	$Q_1$	$X$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Z_2$	$Z_1$
0	0	0	1	0	1	1
0	0	1	1	1	0	1
0	1	∅	0	0	0	0
1	0	∅	0	0	0	0
1	1	∅	0	0	0	0

$$Y = \overline{S_1} \overline{S_0} D_0 + \overline{S_1} S_0 D_1 + S_1 \overline{S_0} D_2 + S_1 S_0 D_3$$

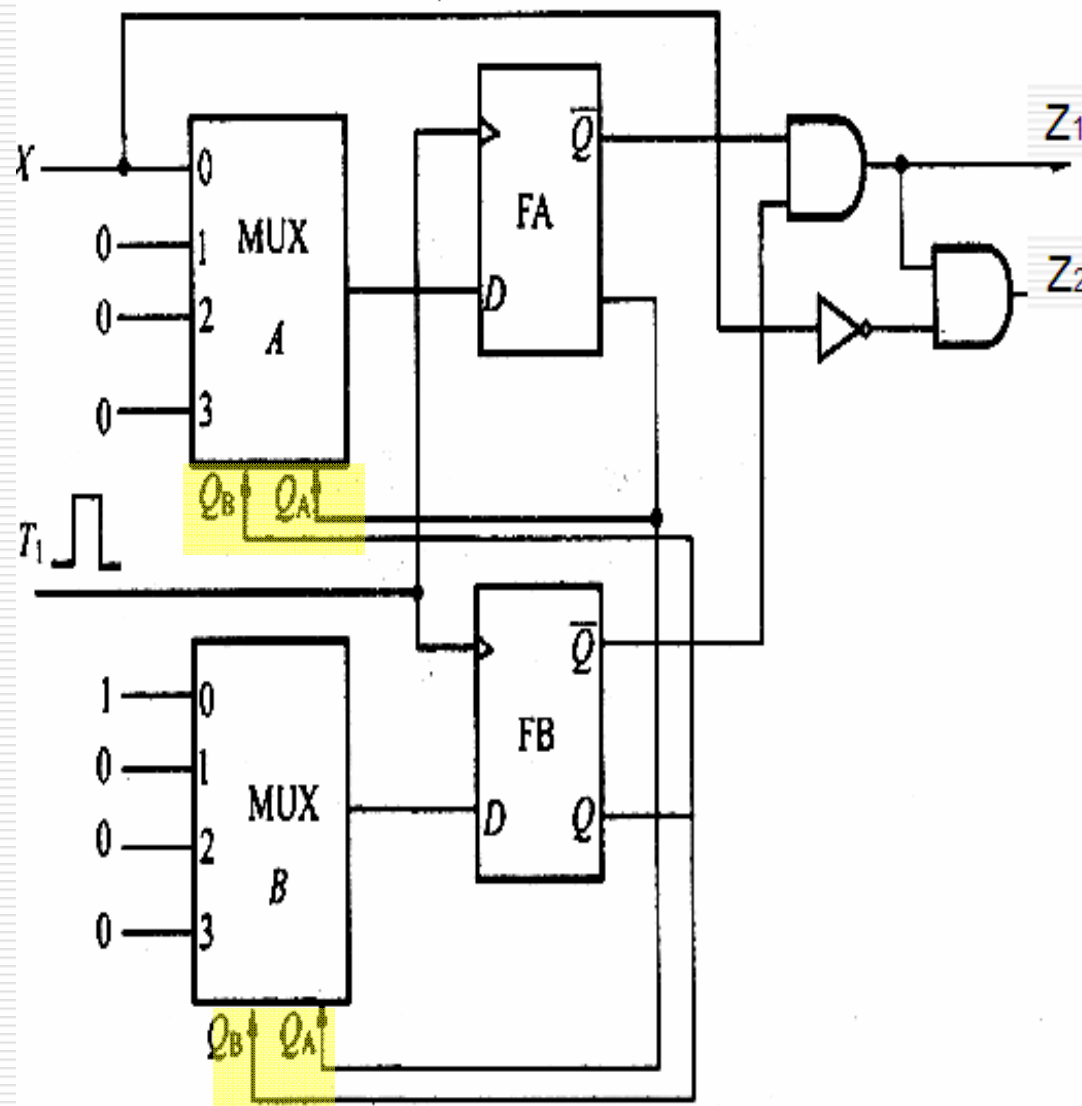
$$F_2 = \overline{S_1} \overline{S_0} \xrightarrow{\text{cyan arrow}} D_0=1 \quad D_1=0 \quad D_2=0 \quad D_3=0$$

$$F_1 = \overline{S_1} \overline{S_0} X \xrightarrow{\text{cyan arrow}} D_0=X \quad D_1=0 \quad D_2=0 \quad D_3=0$$

# 采用数据选择器来设计控制器



ASM图



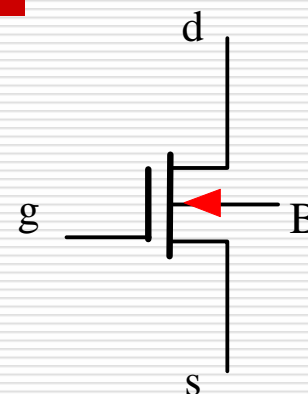
---

# 关键知识点回顾

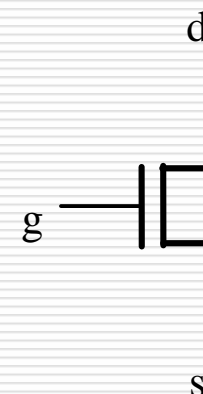
(此部分内容来源于前面课堂教学的PPT)

## 1、 N沟道增强型MOS管

N沟道增强型MOS管符号如图。



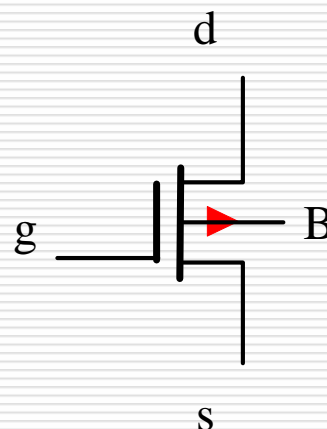
(a) 标准符号



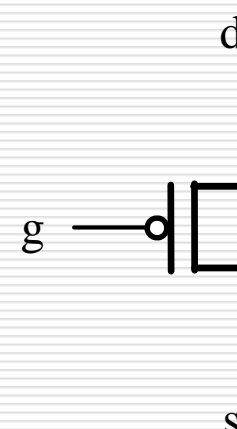
(b) 简化符号

## 2、 P沟道增强型MOS管

P沟道增强型MOS管符号如图。

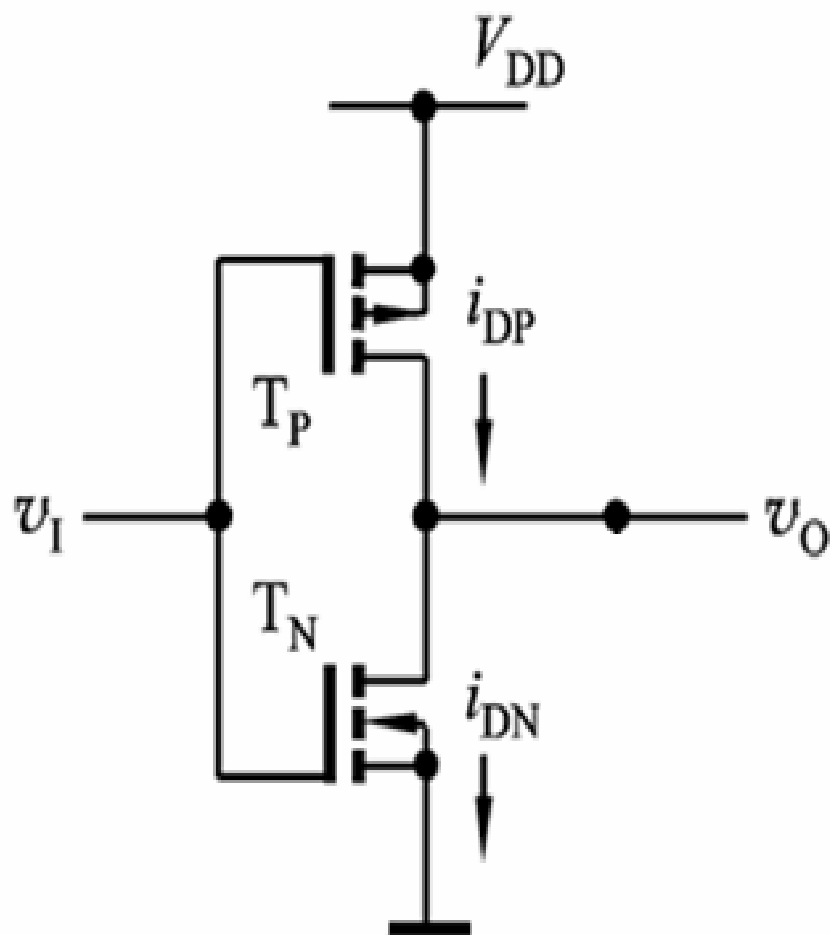


(a) 标准符号



(b) 简化符号

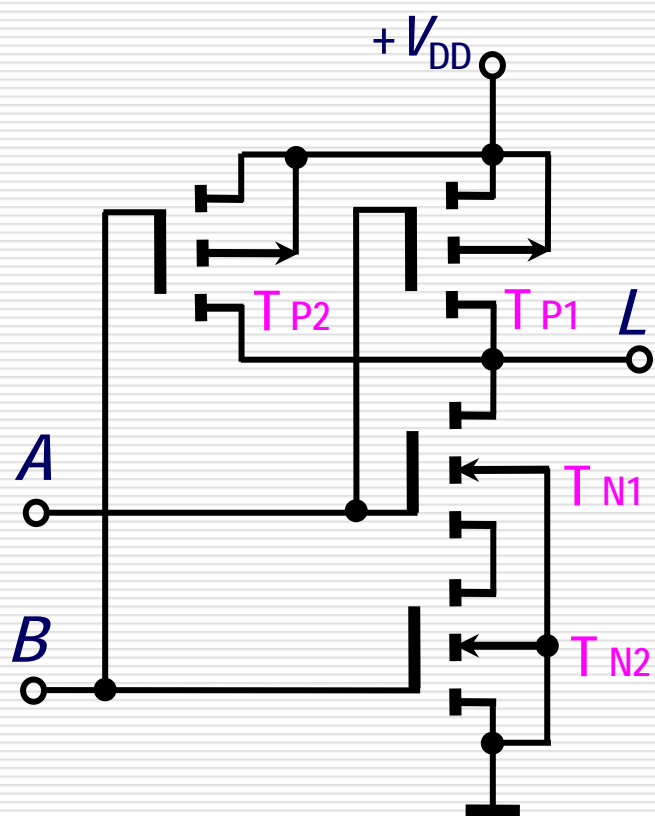
### 3. CMOS反相器



逻辑真值表

$V_i$	$V_o$
0	1
1	0

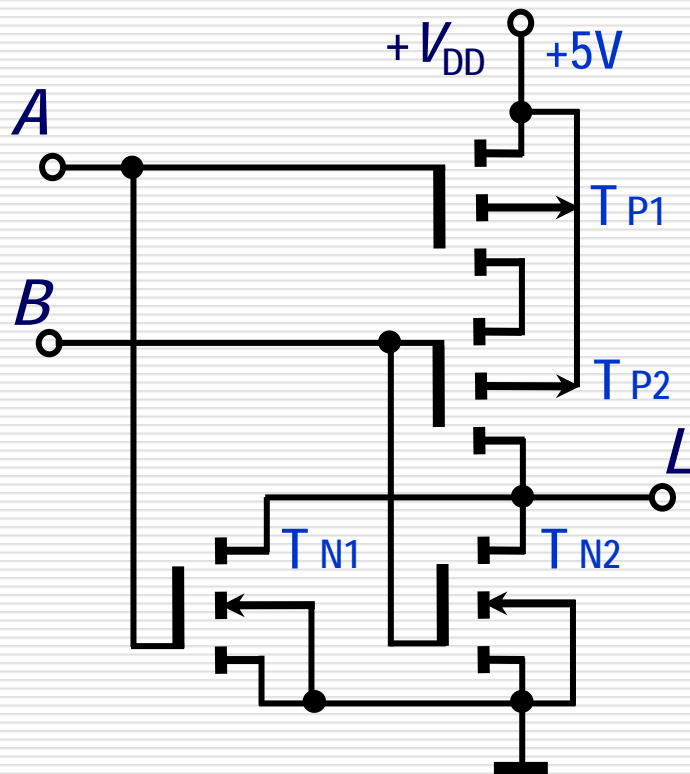
## 4. CMOS 与非门



(b) 工作原理

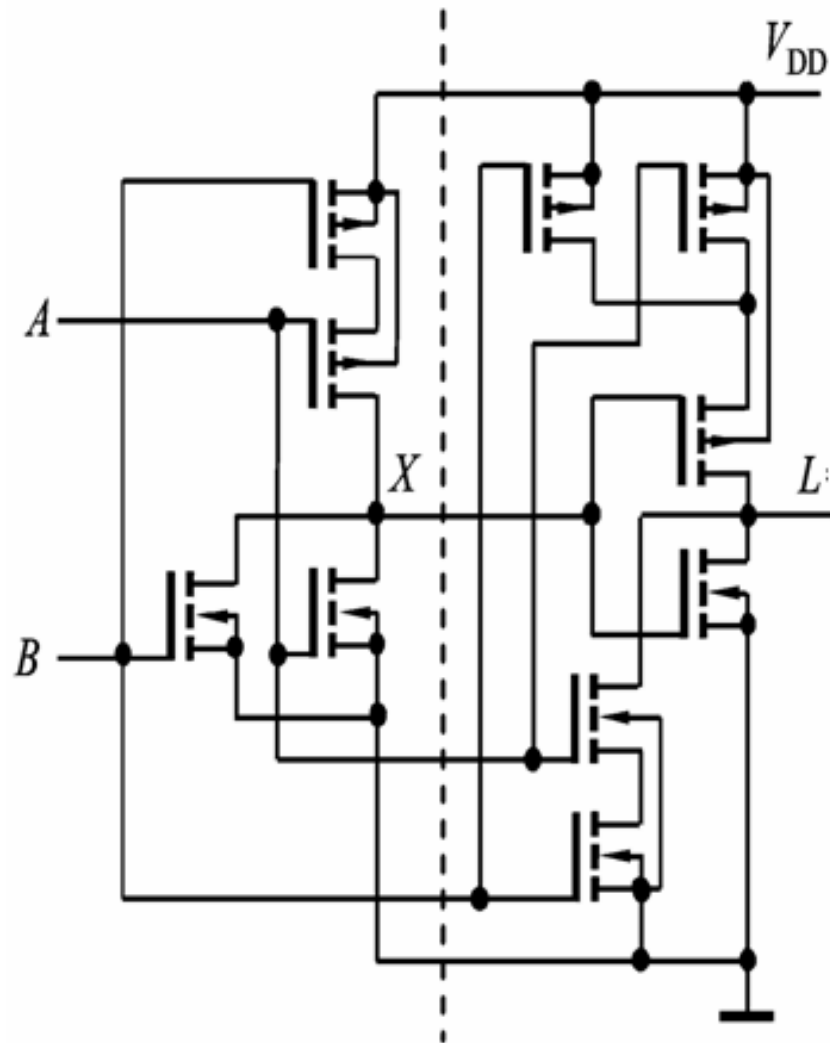
$A$	$B$	$T_{N1}$	$T_{P1}$	$T_{N2}$	$T_{P2}$	$L$
0	0	截止	导通	截止	导通	1
0	1	截止	导通	导通	截止	1
1	0	导通	截止	截止	导通	1
1	1	导通	截止	导通	截止	0

## 5. CMOS 或非门



A	B	T <sub>N1</sub>	T <sub>P1</sub>	T <sub>N2</sub>	T <sub>P2</sub>	L
0	0	截止	导通	截止	导通	1
0	1	截止	导通	导通	截止	0
1	0	导通	截止	截止	导通	0
1	1	导通	截止	导通	截止	0

例：分析CMOS电路，说明其逻辑功能。

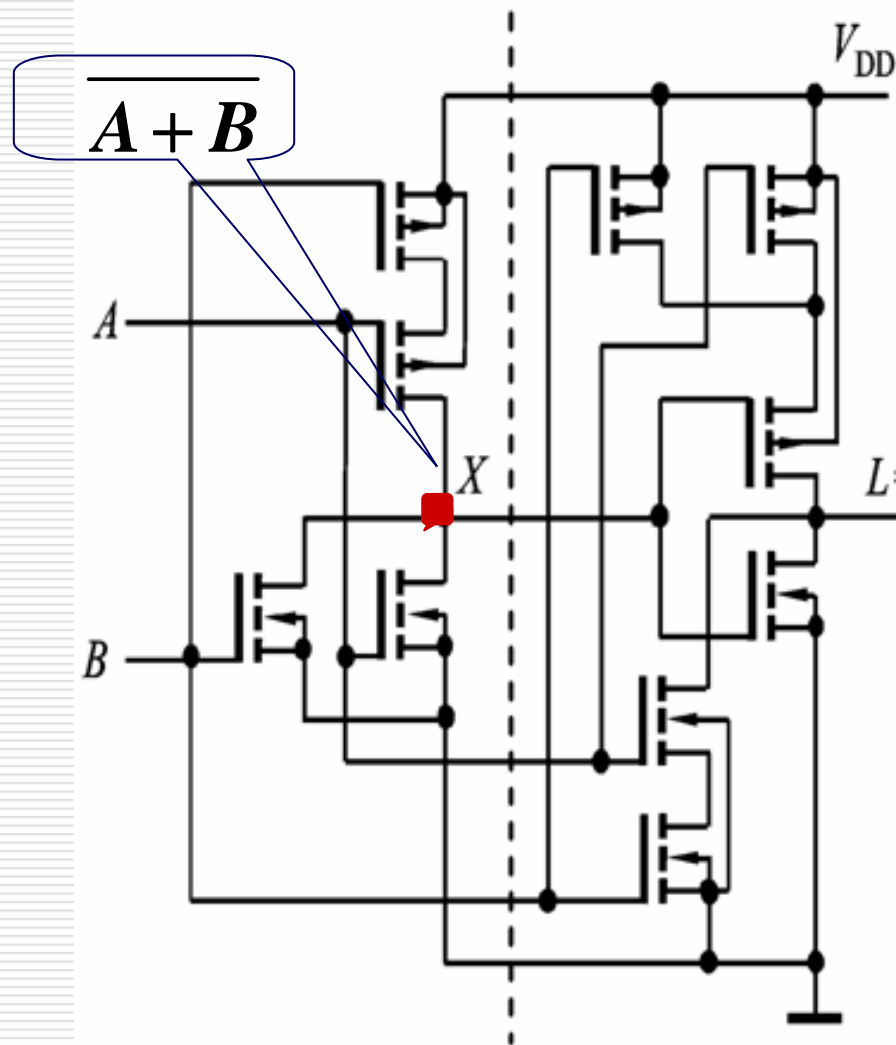


解法一：真值表法

A	B	L
0	0	
0	1	
1	0	
1	1	



例：分析CMOS电路，说明其逻辑功能。

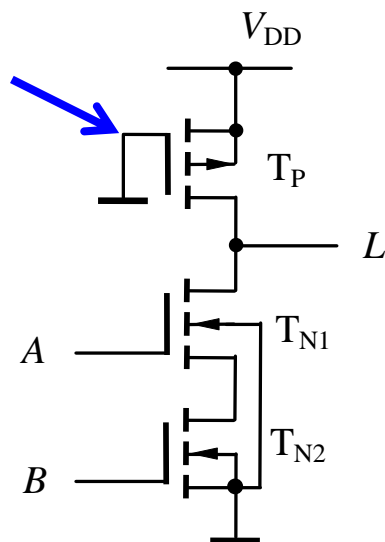


解法二：观察法（参照与非、或非）

只看PMOS管，并联对应与，串联对应或，  
上下对称（NMOS与PMOS）加个非。

## 6. 类NMOS与非门和或非门

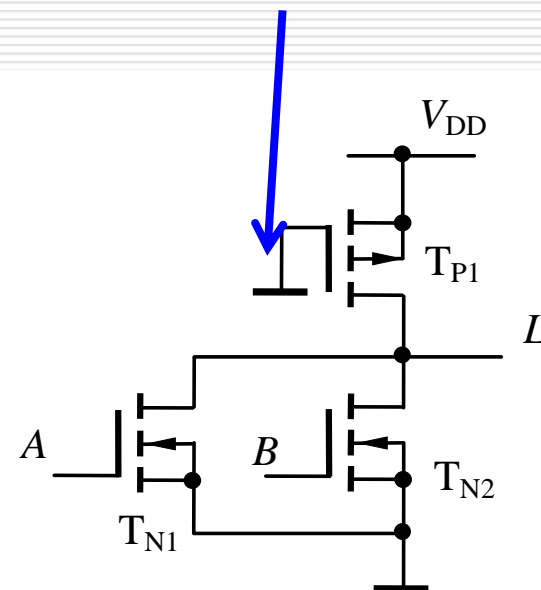
上面PMOS管的  
栅极固定接地。



解法：真值表法

<i>A</i>	<i>B</i>	<i>L</i>
0	0	
0	1	
1	0	
1	1	

上面PMOS管的  
栅极接地。



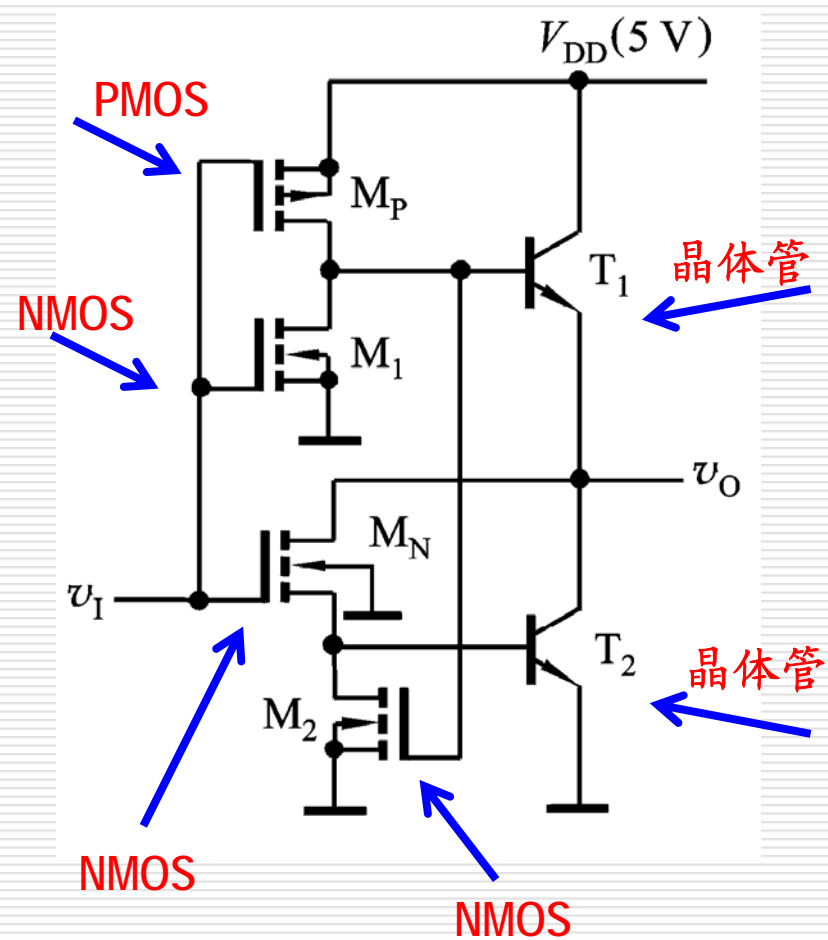
<i>A</i>	<i>B</i>	<i>L</i>
0	0	
0	1	
1	0	
1	1	

## 3.4.2 BiCMOS门电路

解法：真值表法

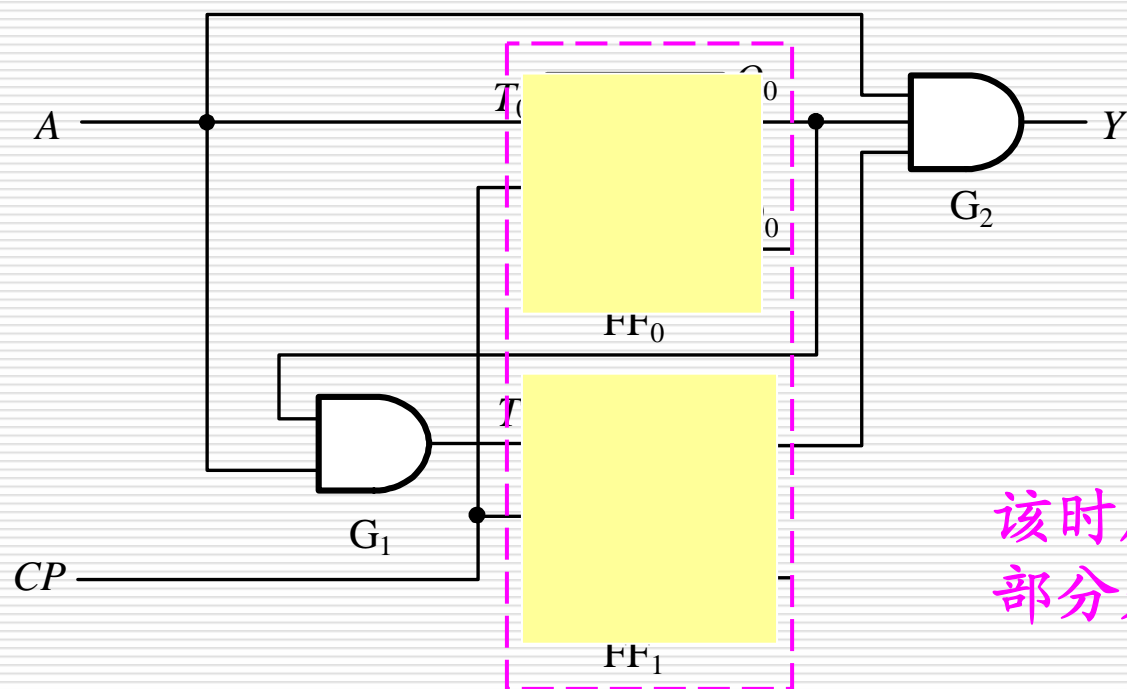
逻辑真值表

$V_i$	$V_O$
0	1
1	0



## 一、同步时序逻辑电路分析举例

例1 试分析如图所示时序电路的逻辑功能。



该时序电路核心  
部分是两个T触发器

解： (1) 了解电路组成。

电路是由两个**T 触发器**组成的同步时序电路。

## (2) 根据电路列出三个方程组

输出方程组:  $Y=AQ_1Q_0$

激励方程组:

$$T_0=A$$

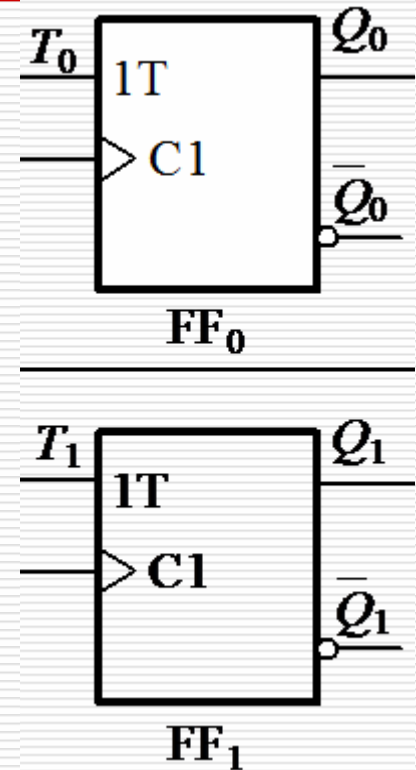
$$T_1=AQ_0$$

将激励方程组代入T触发器的特性方程得  
状态方程组

$$Q^{n+1} = T \oplus Q^n = T\overline{Q^n} + \overline{T}Q^n$$

$$Q_0^{n+1} = A \oplus Q_0^n$$

$$Q_1^{n+1} = (AQ_0^n) \oplus Q_1^n$$



(3) 根据状态方程组和输出方程列出状态表

$$Q_0^{n+1} = A \oplus Q_0^n$$

$$Q_1^{n+1} = (A Q_0^n) \oplus Q_1^n$$

$$Y = A Q_1 Q_0$$

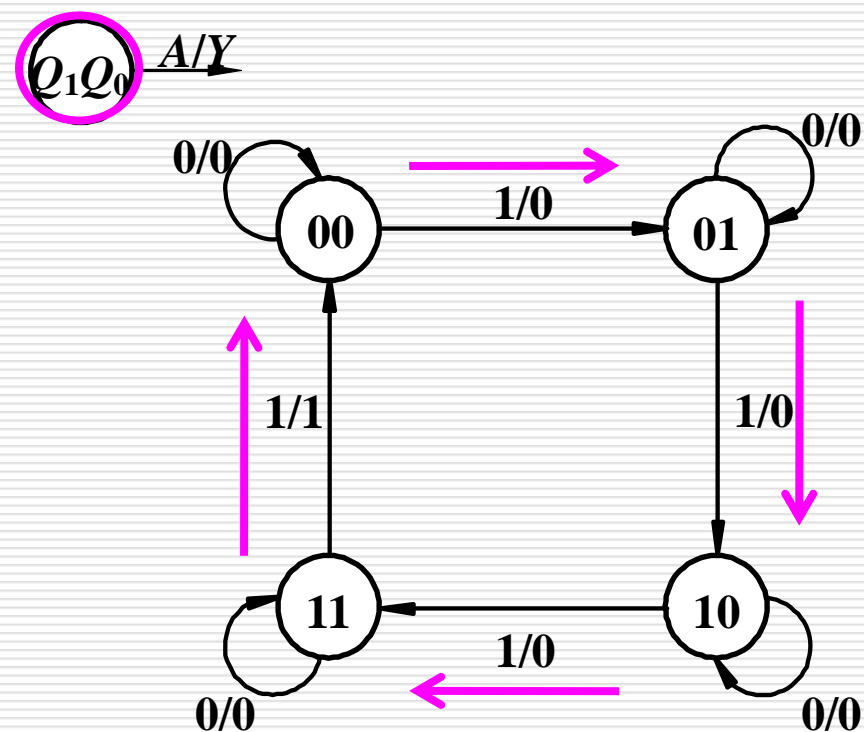
状态转换真值表

$Q_1^n$	$Q_0^n$	$A$	$Q_1^{n+1}$	$Q_0^{n+1}$	$Y$
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
0 0		
0 1		
1 0		
1 1		

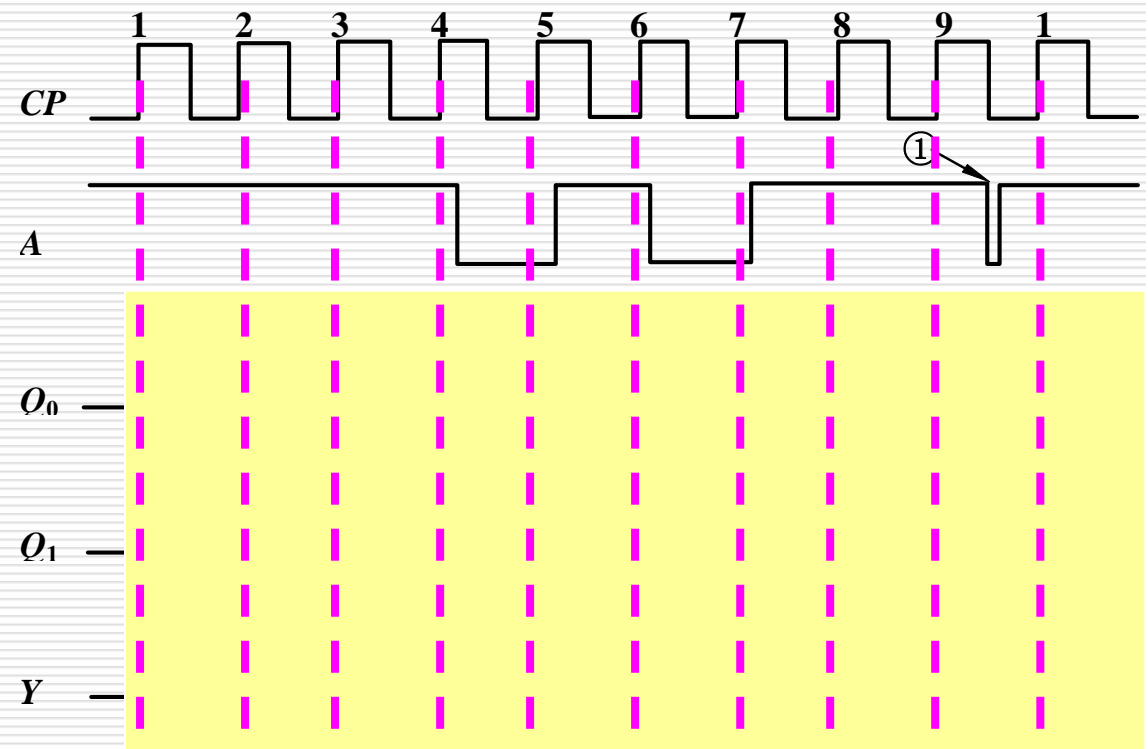
#### (4) 画出状态图,找出闭合回路

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
0 0	0 0 / 0	0 1 / 0
0 1	0 1 / 0	1 0 / 0
1 0	1 0 / 0	1 1 / 0
1 1	1 1 / 0	0 0 / 1



## (5) 画出时序图

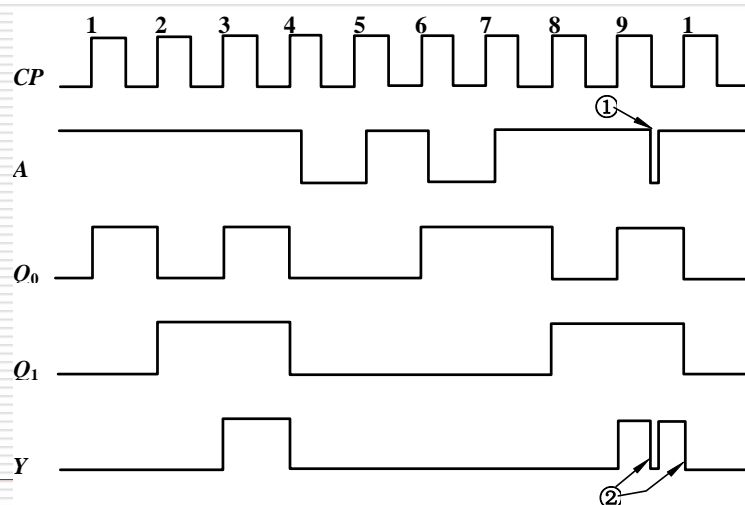
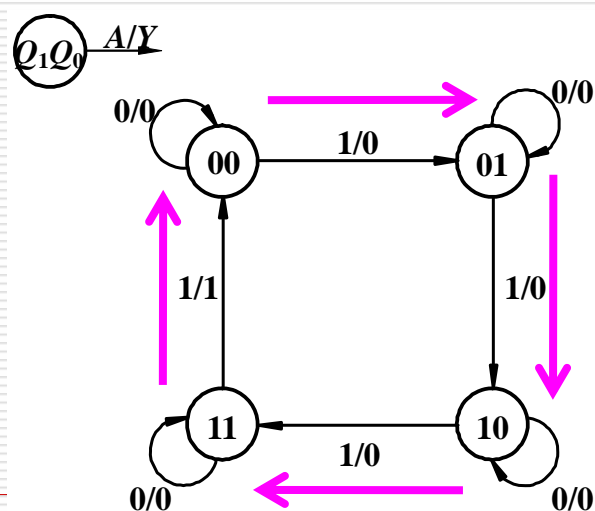
$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
0 0	0 0 / 0	0 1 / 0
0 1	0 1 / 0	1 0 / 0
1 0	1 0 / 0	1 1 / 0
1 1	1 1 / 0	0 0 / 1





## (6) 逻辑功能分析

观察状态图和时序图可知，电路是一个由信号 $A$ 控制的可控二进制计数器。当 $A=0$ 时停止计数，电路状态保持不变；当 $A=1$ 时，在 $CP$ 上升沿到来后电路状态值加1，一旦计数到11状态， $Y$ 输出1，且电路状态将在下一个 $CP$ 上升沿回到00。输出信号 $Y$ 的下降沿可用于触发进位操作。



## 例2 试分析如图所示时序电路的逻辑功能。

解： 1. 了解电路组成。

电路是由两个JK触发器组成的莫尔型同步时序电路。

2. 写出下列各逻辑方程式：

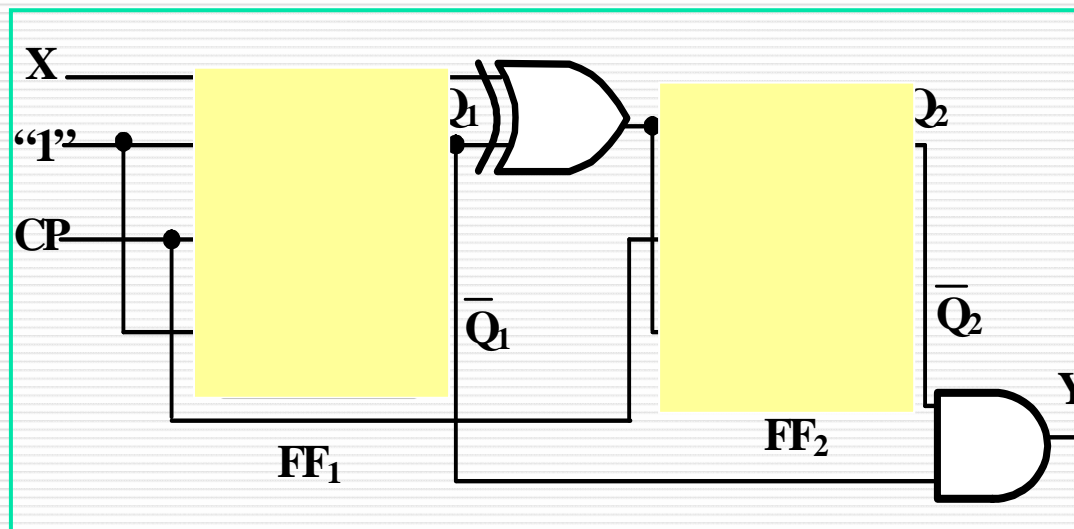
激励方程

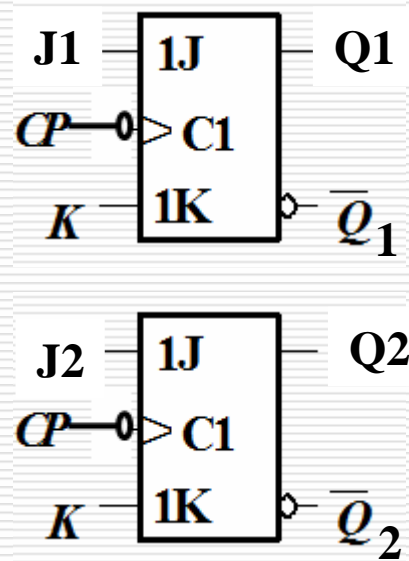
$$J_1 = K_1 = 1$$

$$J_2 = K_2 = X \oplus Q_1$$

输出方程

$$Y = Q_2 Q_1$$





状态转换真值表

$Q_2^n$	$Q_1^n$	$X$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Y$
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

将激励方程代入JK触发器的特性方程得状态方程

---

$$\text{FF}_1 \quad J_1=K_1=1$$



$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$



$$Q_1^{n+1} = 1 \cdot \bar{Q}_1^n + \bar{1} \cdot Q_1^n = \bar{Q}_1^n$$

$$\text{FF}_2 \quad J_2=K_2=X \oplus Q_1$$



$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$



$$Q_2^{n+1} = X \oplus Q_1^n \cdot \bar{Q}_2^n + \overline{X \oplus Q_1^n} \cdot Q_2^n$$

整理得:

$$Q_2^{n+1} = X \oplus Q_1^n \oplus Q_2^n$$

---

3.列出其状态转换表，画出状态转换图和波形图

$$Q_1^{n+1} = \overline{Q_1^n} \quad Q_2^{n+1} = X \oplus Q_1^n \oplus Q_2^n$$

$$Y = Q_2 Q_1$$

状态转换表

$Q_2^n Q_1^n$	$Q_2^{n+1} Q_1^{n+1} / Y$	
	$X=0$	$X=1$
0 0		
0 1		
1 0		
1 1		
1 1		

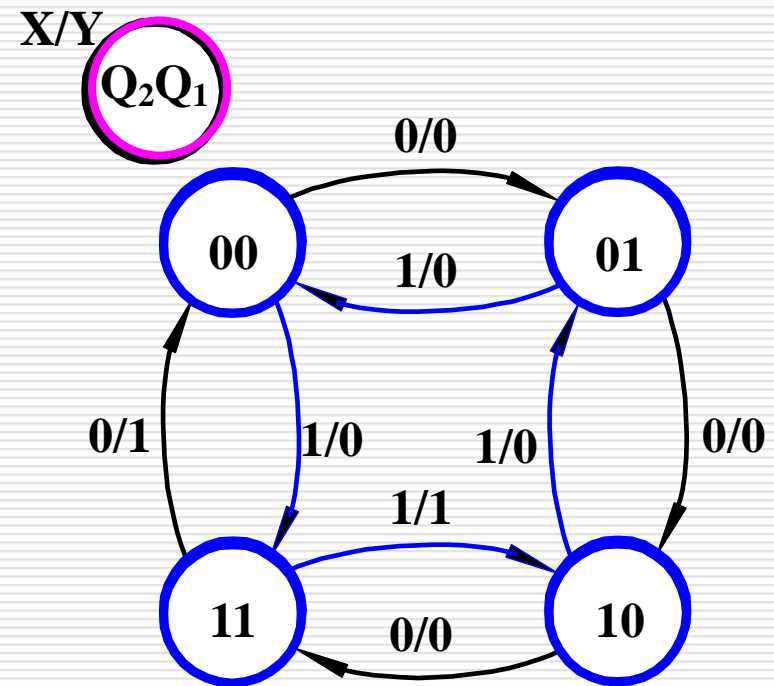
状态转换真值表

$Q_2^n$	$Q_1^n$	$X$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Y$
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

## 画出状态图

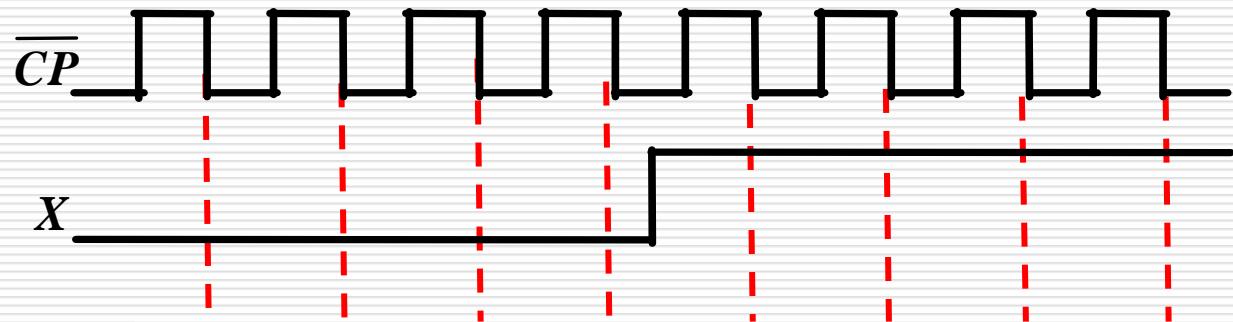
$Q_2^n Q_1^n$	$Q_2^{n+1} Q_1^{n+1} / Y$	
	X=0	X=1
0 0	0 1 / 0	1 1 / 0
0 1	1 0 / 0	0 0 / 0
1 0	1 1 / 0	0 1 / 0
1 1	0 0 / 1	1 0 / 1

## 状态图



根据状态转换表，画出波形图。

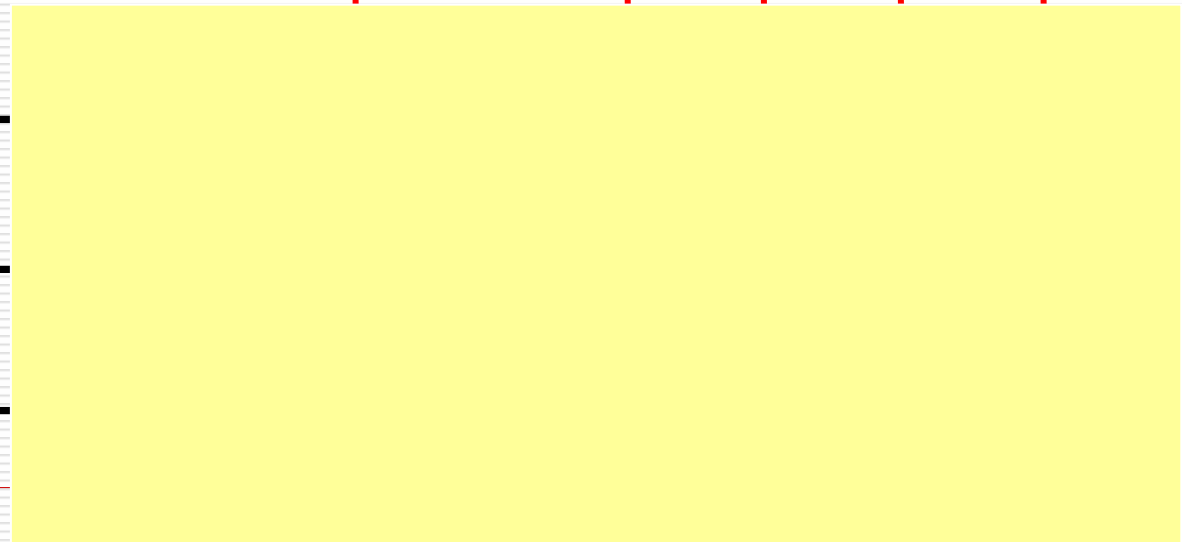
$Q_2^n Q_1^n$	$Q_2^{n+1} Q_1^{n+1}$		$Y$
	$X=0$	$X=1$	
00	01	11	0
01	10	00	0
10	11	01	0
11	00	10	1



$Q_1$  —

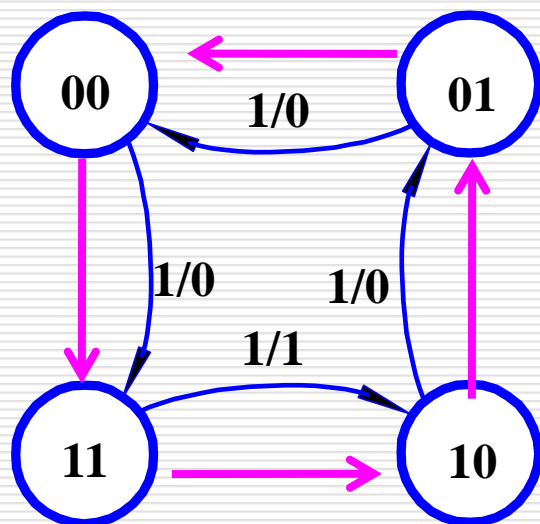
$Q_2$  —

$Y$  —



## 状态转换图

•X=1时



•X=1时

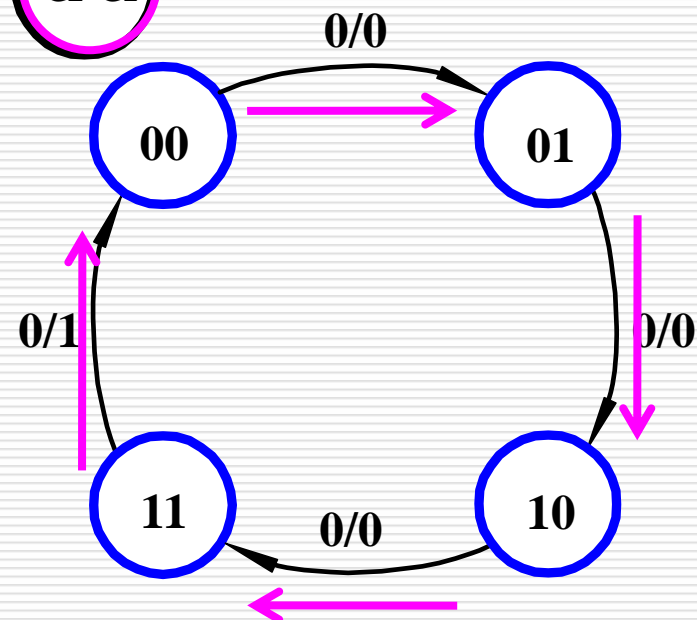


电路进行减1计数。

X/Y

$Q_2Q_1$

•X=0时



•X=0时



电路进行加1计数



#### 4. 确定电路的逻辑功能.

•X=0时



电路进行加1计数

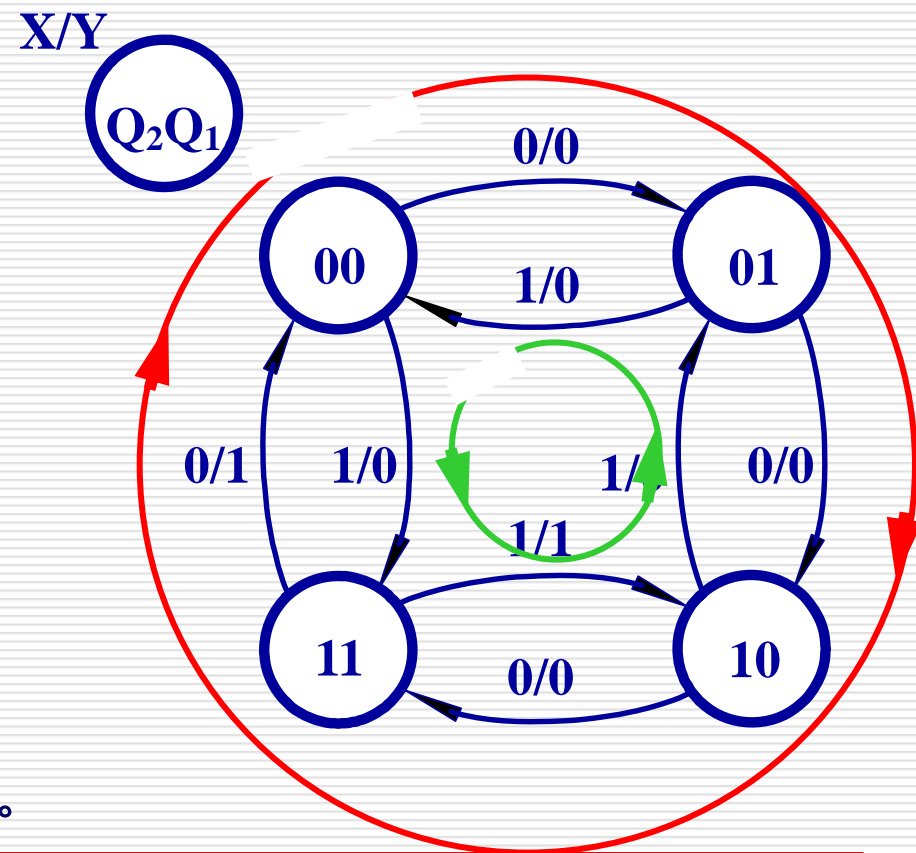
•X=1时



电路进行减1计数。

电路功能：可逆计数器

Y可理解为进位或借位端。

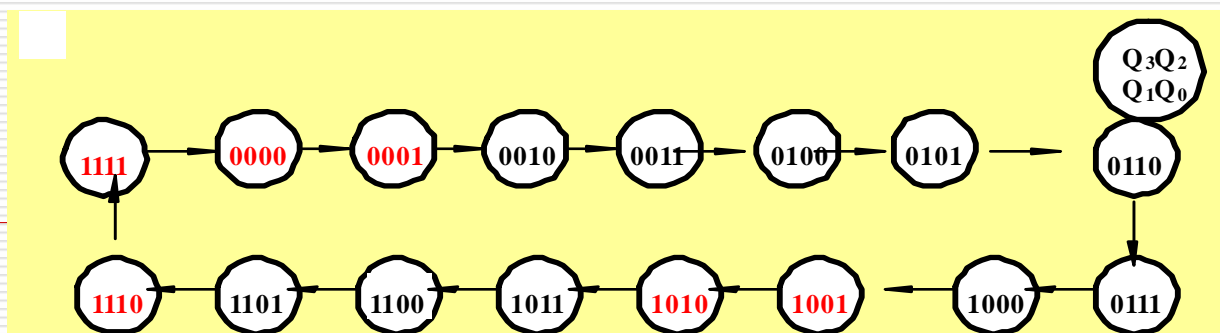


## 二、 74LVC161的功能表。

输入					功能	
$CP$	$\overline{CR}$	$\overline{PE}$	$CEP$	$CET$	说明	解释
×	0	×	×	×	异步复位	$Q_3Q_2Q_1Q_0=0000$
↑	1	0	×	×	同步置数	$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}=D_3D_2D_1D_0$
×	1	1	0	1	保持	保持
×	1	1	×	0		保持
↑	1	1	1	1	计数	加1计数

1、反馈清零法：利用异步置零输入端CR，得到N进制计数器

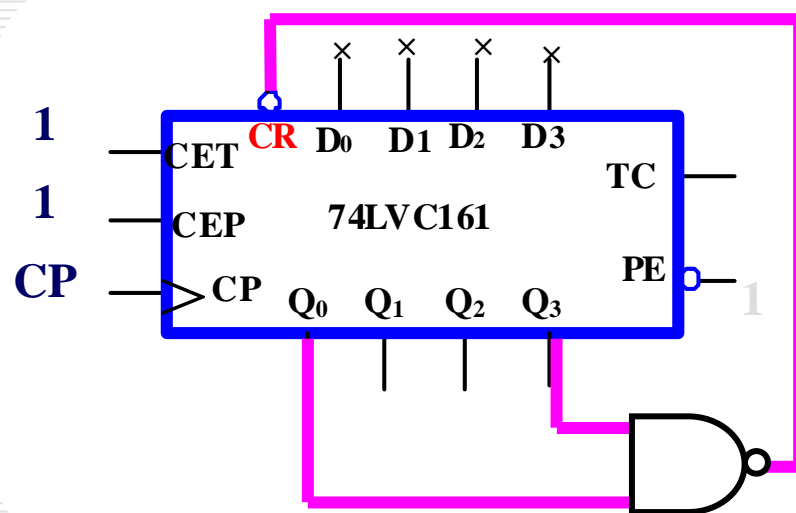
2、反馈置数法：利用同步置数端PE，在M进制计数器的计数过程中，跳过M-N个状态，得到N进制计数器



## 实例1: 用反馈清零法将74LVC161构成九进制加计数器。

(a) 反馈清零法: 利用异步置零输入端, 在M进制计数器的计数过程中, 跳过M-N个状态, 得到N进制计数器的方法。

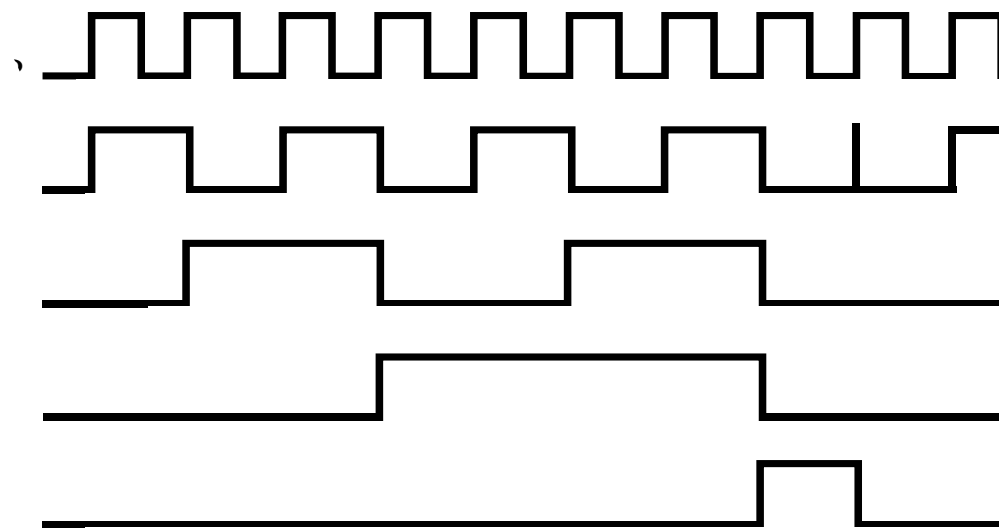
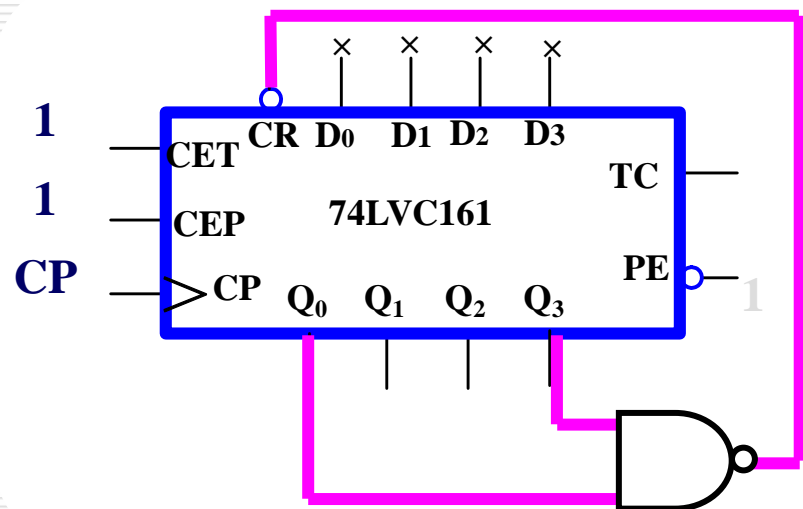
CP	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
...	.....			
8	1	0	0	0
9	1	0	0	1
...	...			
15	1	1	1	1



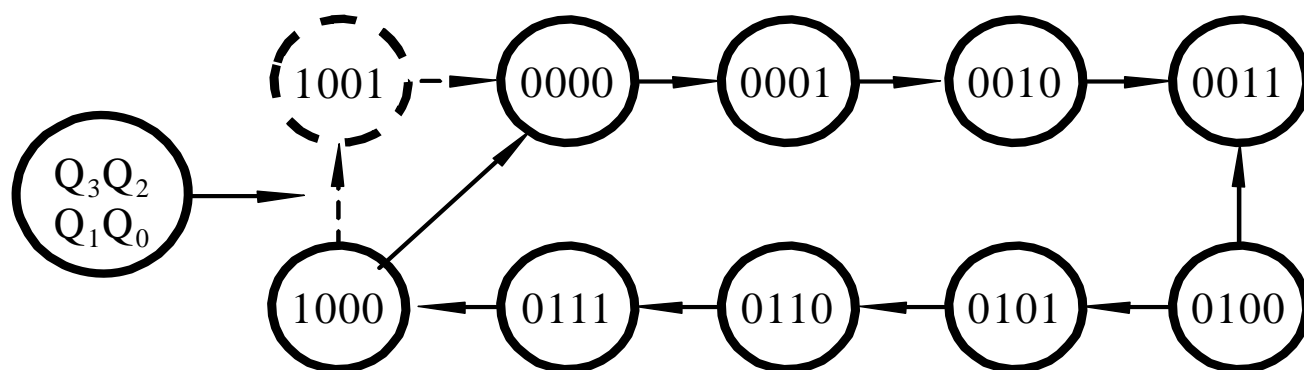
$$CR = \overline{Q_0 \cdot Q_3} = 0$$

设法跳过16-9=7个状态

## 工作波形



## 状态图

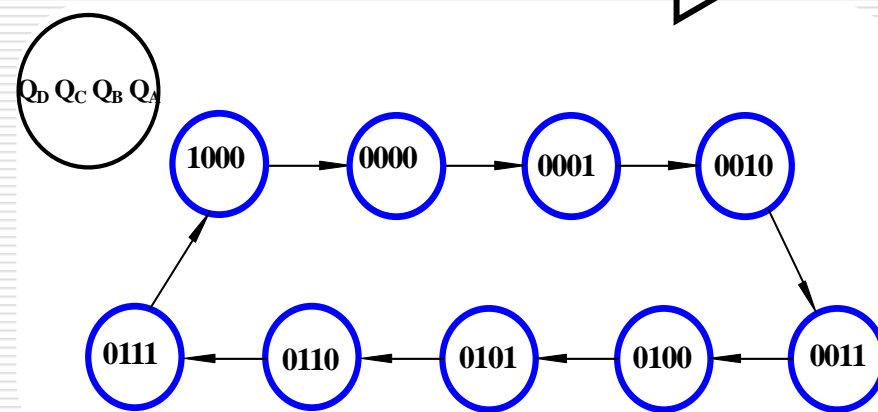
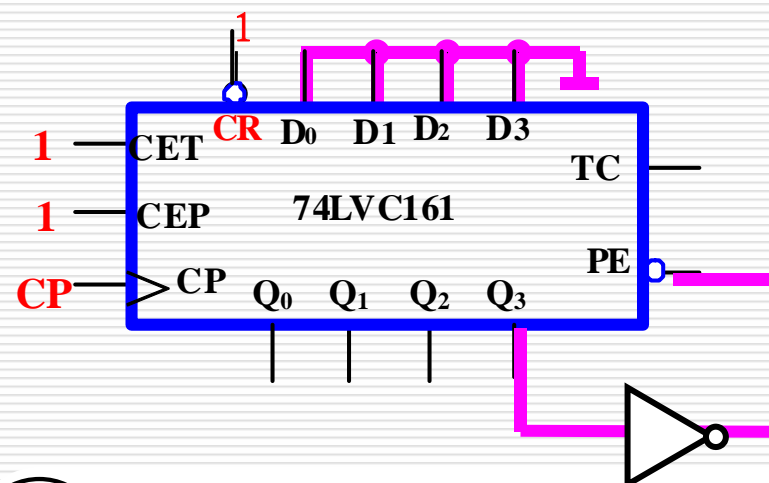


## 实例2: 利用同步置数端构成九进制计数器

(b) 反馈置数法: 利用同步置数端, 在M进制计数器的计数过程中, 跳过M-N个状态, 得到N进制计数器的方法。

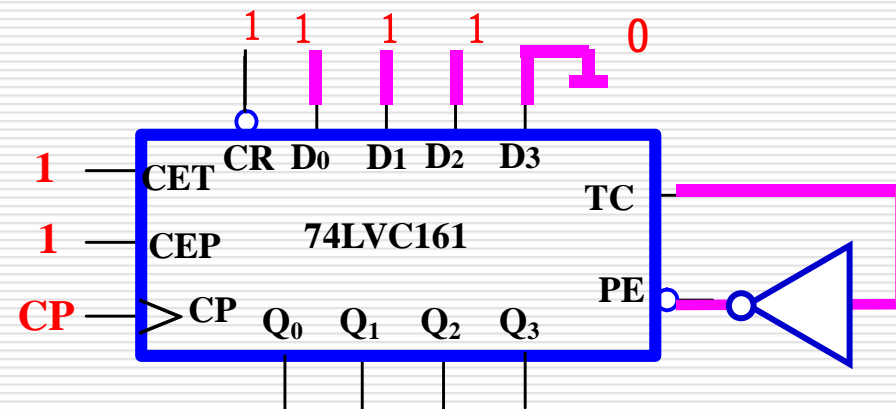
CP	$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
...	...	...	...	...
8	1	0	0	0

$PE = \overline{Q_3} = 0$

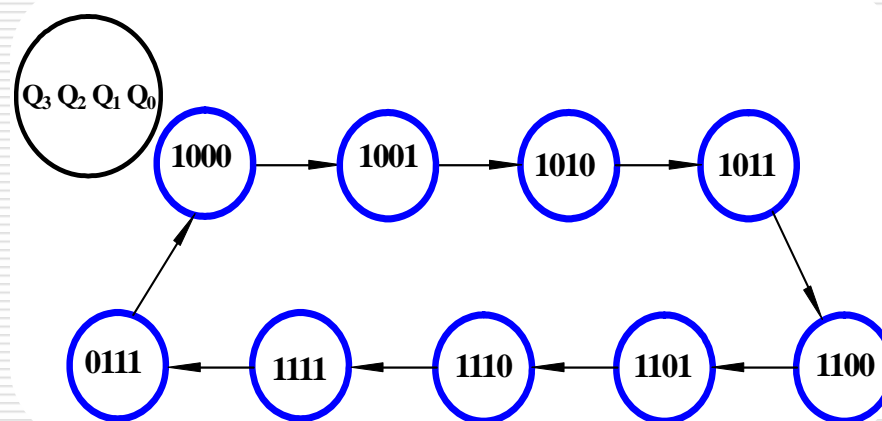


实例3：采用后九种状态作为有效状态，用反馈置数法构成九进制加计数器。

$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1



$$TC = CET \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0 = 1$$



### 三、 移位寄存器的Verilog建模

---

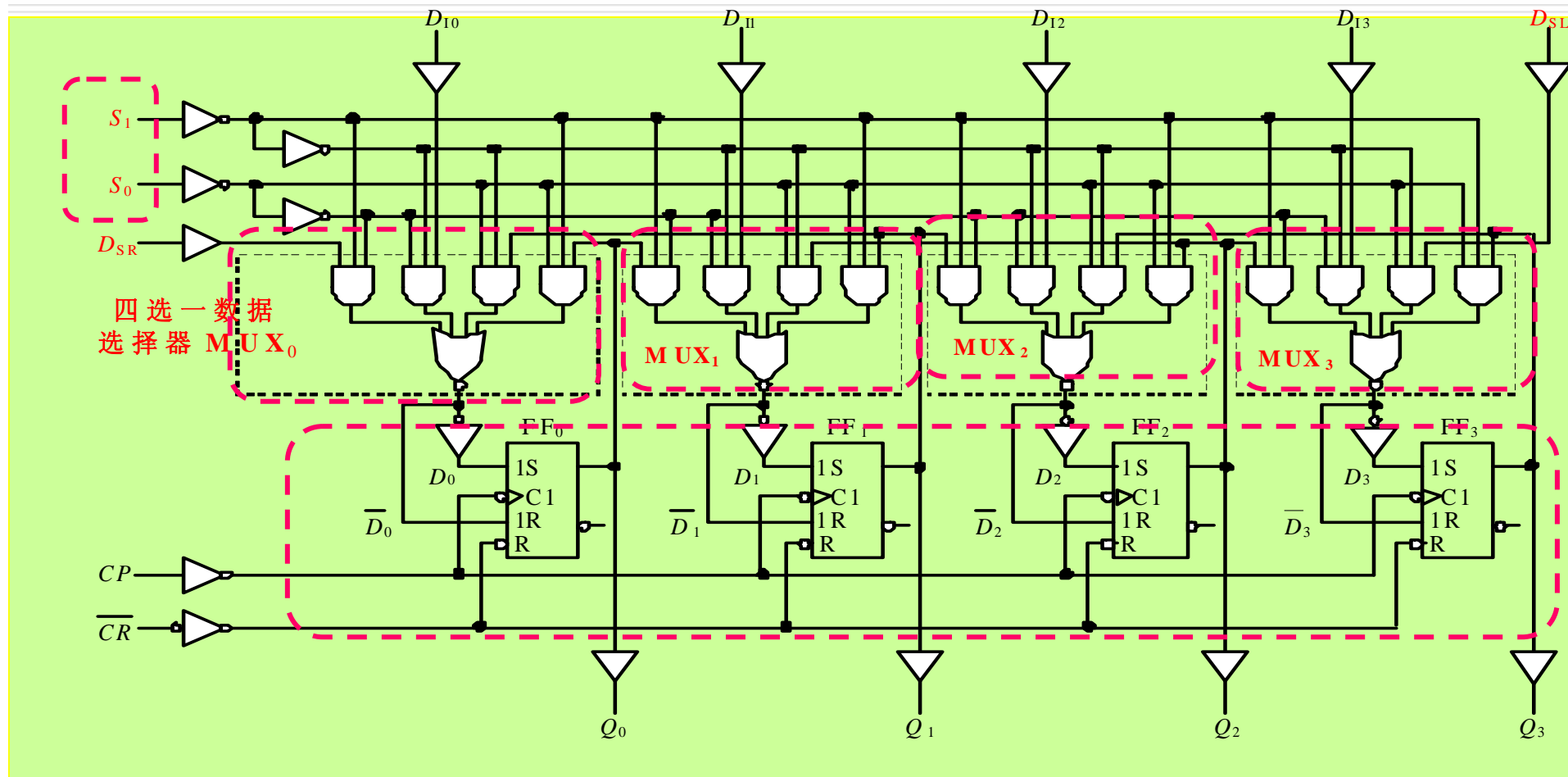
用行为级描述always描述一个4位双向移位寄存器，有异步清零、同步置数、左移、右移和保持。功能同74xx194。

其他单向移位寄存器和锁存器都可以类似的仿照着写。

---

74HCT194 的功能表

S1	S0	功能
0	0	保持
0	1	低位往高位移动
1	0	高位往低位移动
1	1	并行置入





# 1、移位寄存器的Verilog建模

---

用行为级描述always描述一个4位双向移位寄存器，有异步清零、同步置数、左移、右移和保持。功能同74xx194。

```
module shift74x194 (S1, S0, D, Dsl, Dsr, Q, CP, CR);
```

```
    input S1, S0;                                //控制输入
```

```
    input Dsl, Dsr;                               //串行输入
```

```
    input CP, CR;                                //时钟及清零
```

```
    input [3:0] D;                               //并行输入
```

```
    output [3:0] Q;                              //寄存器输出
```

```
    reg [3:0] Q;
```

---

# 1、移位寄存器的Verilog建模

---

```
always @ (posedge CP or negedge CR)
```

```
if (~CR) Q <= 4'b0000;
```

```
else
```

```
case ({S1,S0})
```

```
2'b00: Q <= Q;           //保持
```

```
2'b01: Q <= {Q[2:0],Dsr}; //右移
```

```
2'b10: Q <= {Dsl,Q[3:1]}; //左移
```

```
2'b11: Q <= D;           //并行输入
```

```
endcase
```

```
endmodule
```

---

## 四、 计数器的Verilog建模实例

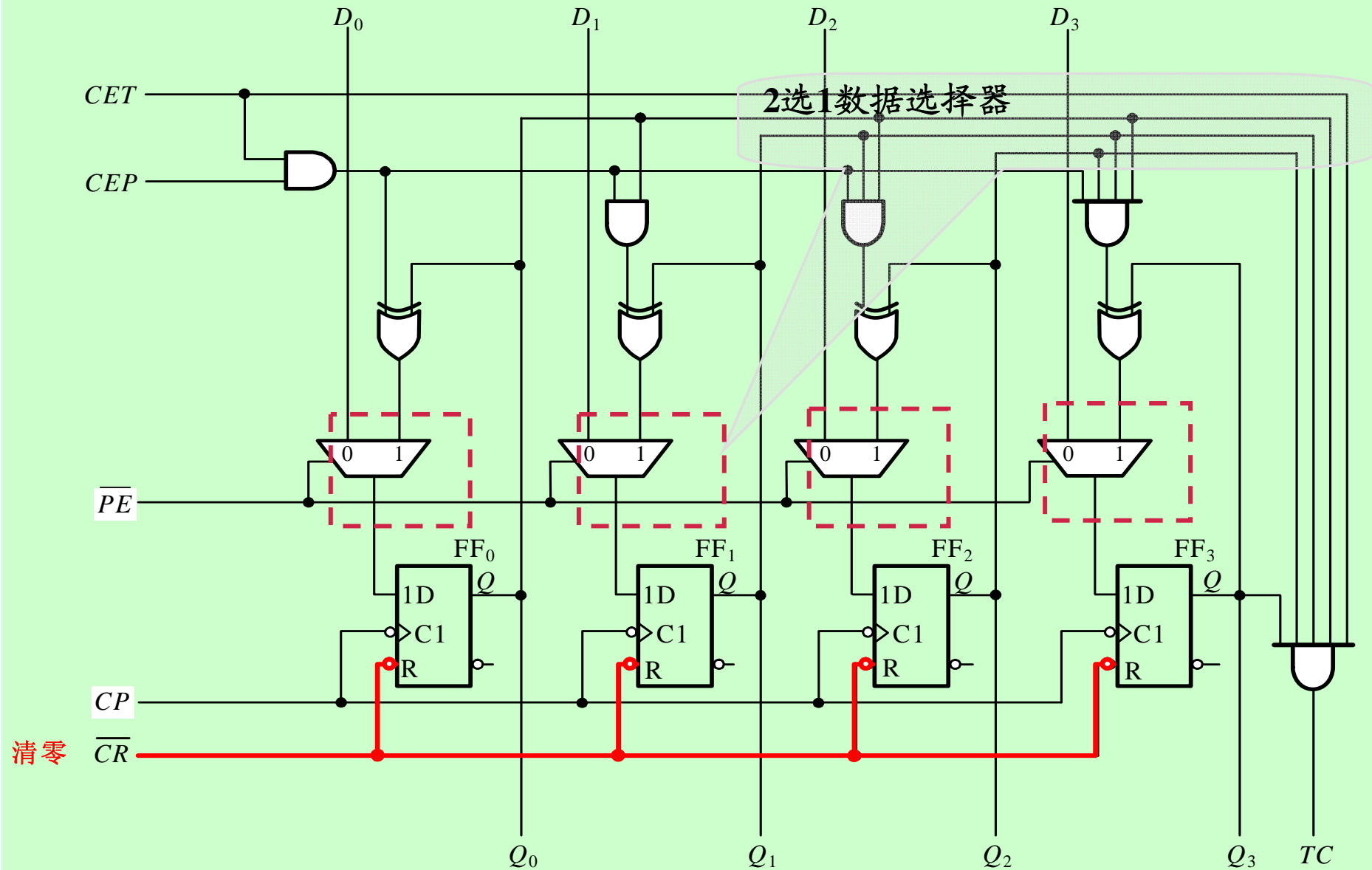
---

用Verilog描述具有使能端、异步置零、同步置数、计数、保持的16进制计数器（仿照74LVC161芯片）。

6进制、30进制等  
计数器都可以类似  
的仿照着写。

---

# 芯片74LVC161



## 2、计数器的Verilog建模实例

---

用Verilog描述具有使能端、异步置零、同步置数、计数、保持的16进制计数器

```
module counter74x161_beh (  
    input CEP, CET, PE, CP, CR, //输入端口声明  
    input [3:0] D,               //并行数据输入  
    output TC,                   //进位输出  
    output reg [3:0] Q           //数据输出端口及变量的数据类型声明  
);  
    wire CE;                     //中间变量声明
```

---

## 2、 计数器的Verilog建模实例

---

```
assign CE=CEP&CET; //CE=1时，计数器计数
assign TC=CET&PE&(Q == 4'b1111); //产生进位输出信号

always @(posedge CP, negedge CR)
    if (~CR) Q<=4'b0000; //实现异步清零功能
    else if (~PE) Q<=D; //PE=0, 同步装入输入数据
    else if (CE) Q<=Q+1'b1; //加1计数
    else Q<=Q; //输出保持不变
endmodule
```

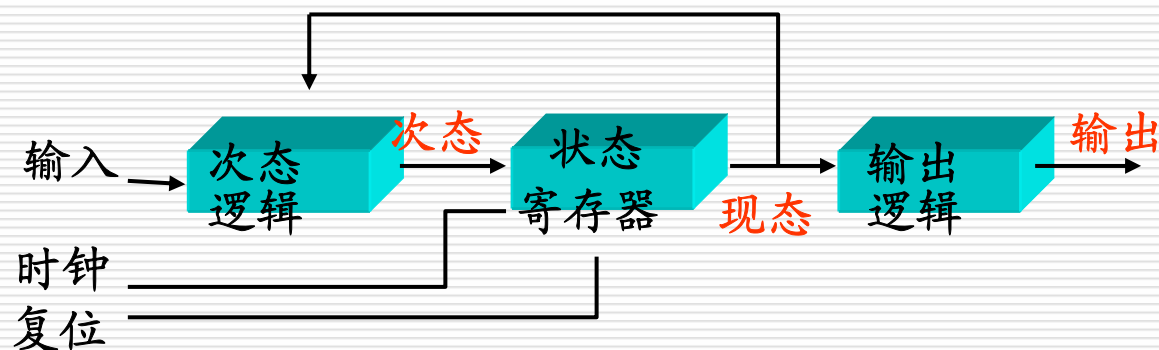
---

## 五、有限状态机

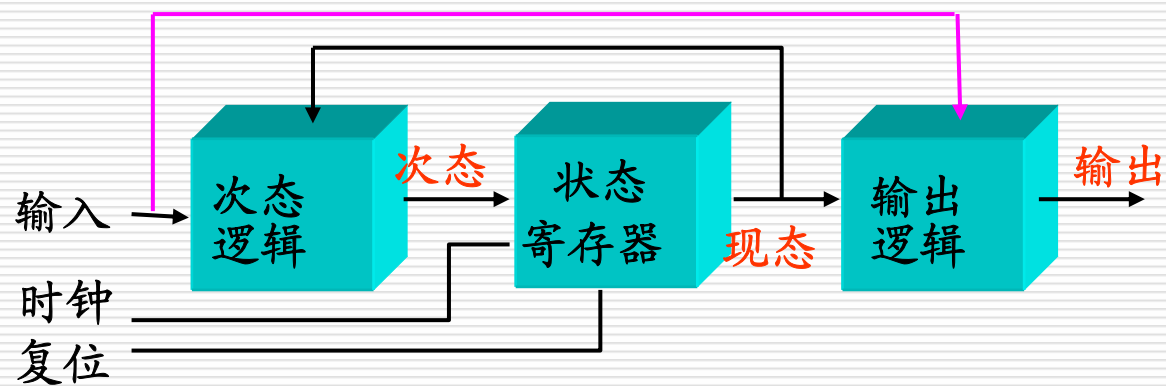
有限状态机类型

摩尔型 (Moore)

米里型 (Mealy)



摩尔型有限状态机的结构图



米里型有限状态机的结构图

## 描述有限状态机中：

- \* 至少包含一个状态信号，它们用来指定有限状态机的状态。
- \* 包含状态转移指定和输出指定，它们对应于控制单元中与每个控制步骤有关的转移条件。
- \* 包含时钟信号，它是用来同步的。
- \* 包含同步或异步复位信号。

描述方式		进程描述功能	所用进程数
三进程描述方式		进程1: 描述次态逻辑	3
		进程2: 描述状态寄存器	
		进程3: 描述输出逻辑	
双进程描述方式	形式1	进程1: 描述次态逻辑、状态寄存器	2
		进程2: 描述输出逻辑	
	形式2	进程1: 描述次态逻辑	2
		进程2: 描述状态寄存器、输出逻辑	
	形式3	进程1: 描述状态寄存器	2
		进程2: 描述次态逻辑、输出逻辑	
单进程描述方式		进程1: 描述次态逻辑、状态寄存器和输出逻辑	1

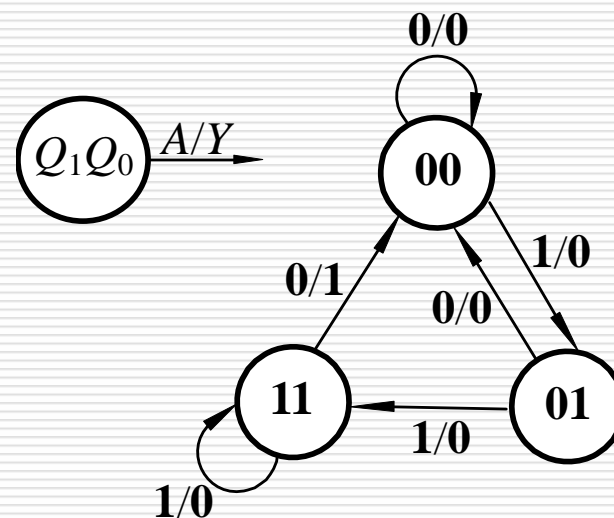


### 3、 状态图的Verilog建模实例

---

用Verilog描述状态图非常方便，常用always或case语句

以后根据状态图设计电路等都可以类似的仿照着写。



### 3、 状态图的Verilog建模实例

```
module Mealy_sequence_detector (A, CP, CR, Y);  
  input A, CP, CR;  
  output Y;  
  reg Y;  
  reg [1:0] current_state, next_state;  
  parameter S0=2'b00, S1=2'b01, S2=2'b11;
```

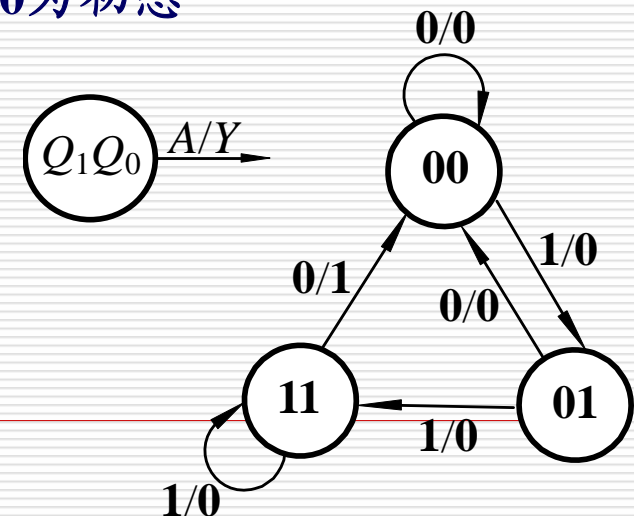
```
always @( negedge CP or negedge CR)
```

```
begin
```

```
  if (~CR) current_state <= S0; //在CR下降沿设s0为初态
```

```
  else      current_state <= next_state;
```

```
end
```



### 6.7.3 状态图的Verilog建模实例

第二个**always**是将**current\_state**和输入**A**作为敏感变量

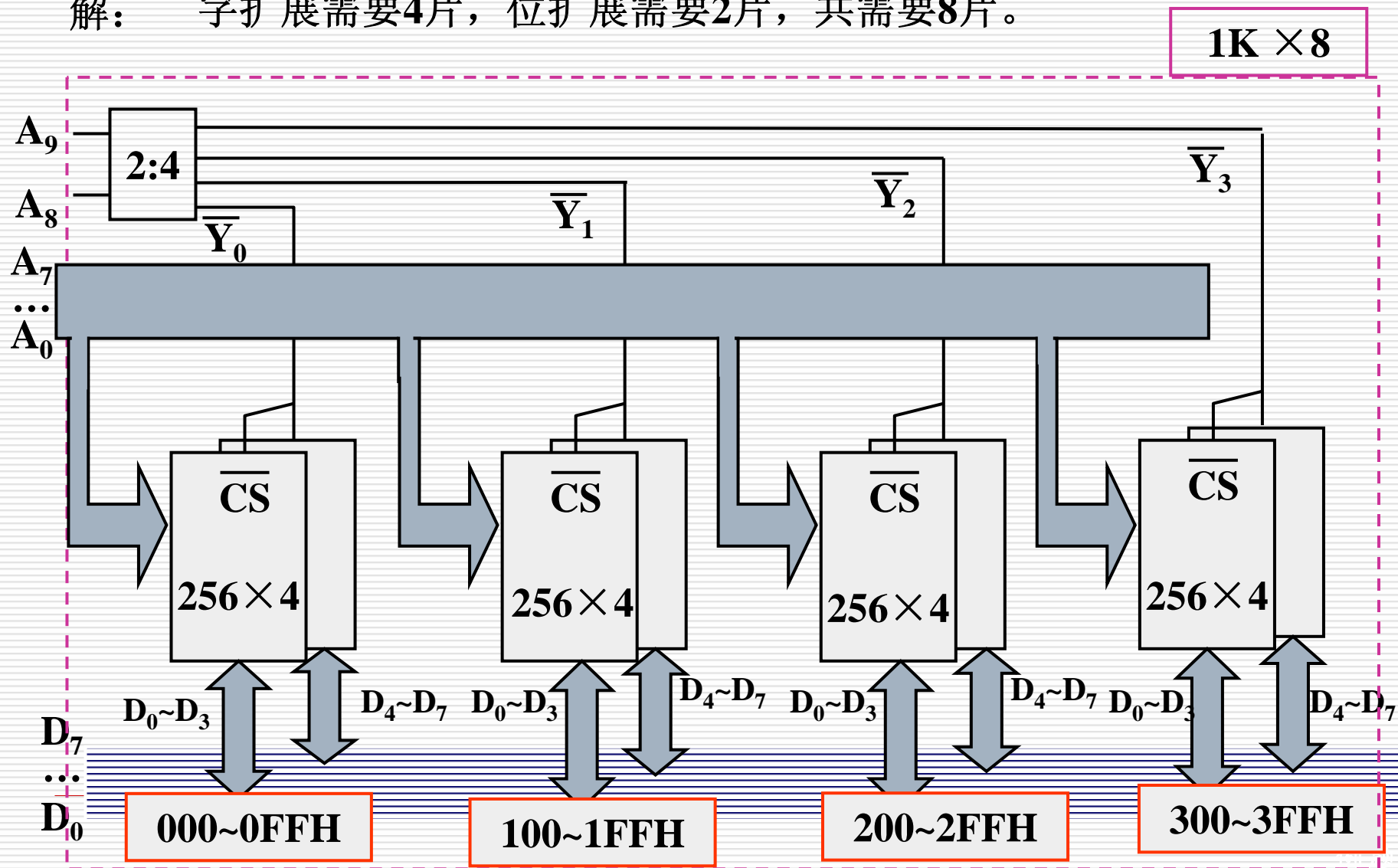
```
always @(current_state or A)
begin
    case(current_state)
        S0: begin Y<=0; next_state=(A==1)? S1: S0; end
        S1: begin Y<=0; next_state=(A==1)? S2: S0; end
        S2: if (A==1)
            begin Y<=0; next_state<=S2; end
        else
            begin Y=1; next_state<=S0; end
        default: begin Y<=0; next_state<=S0; end
    endcase
end
endmodule
```

**例1**

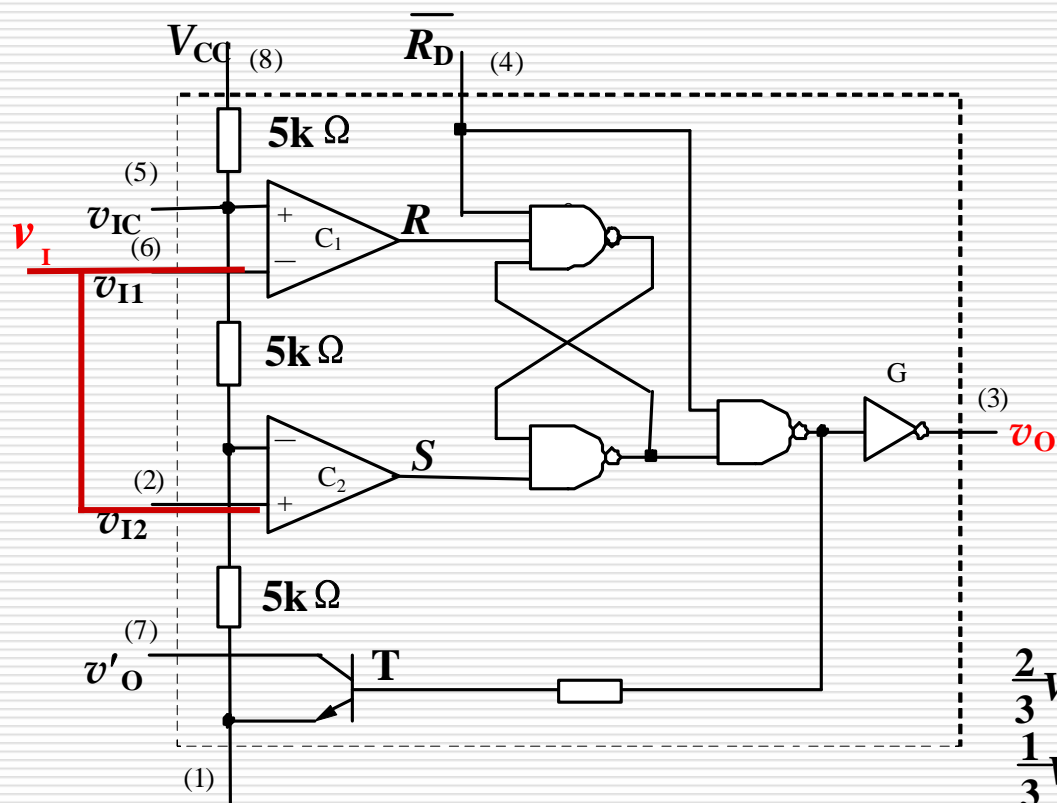
现有 $256 \times 4$ 的存储芯片若干，试问要组成 $1K \times 8$ 的存储器需要芯片多少片？画出连线图。

**字位都扩展**

解：字扩展需要4片，位扩展需要2片，共需要8片。

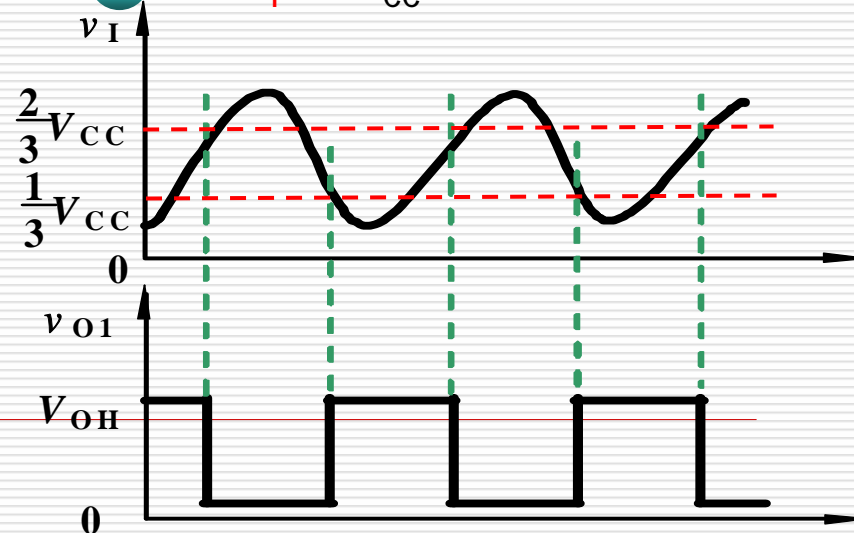


## 六、用555定时器组成施密特触发器



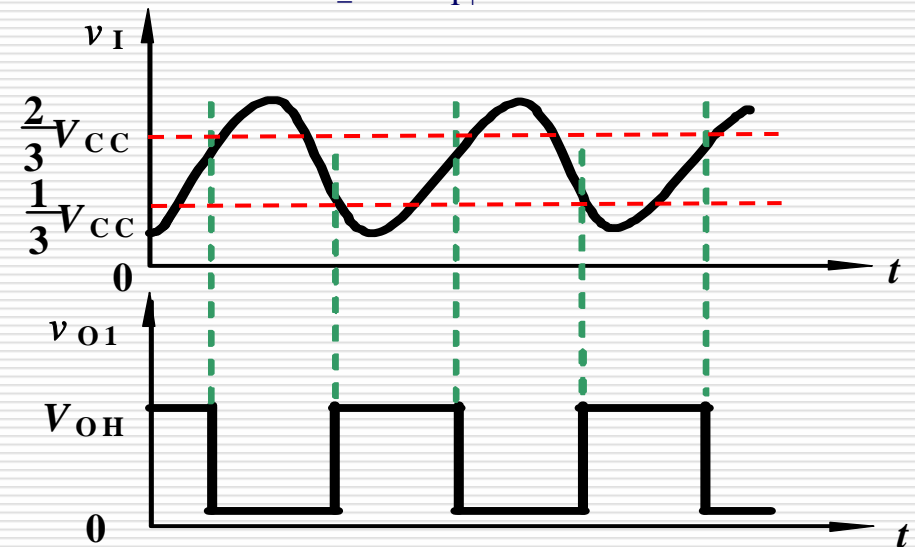
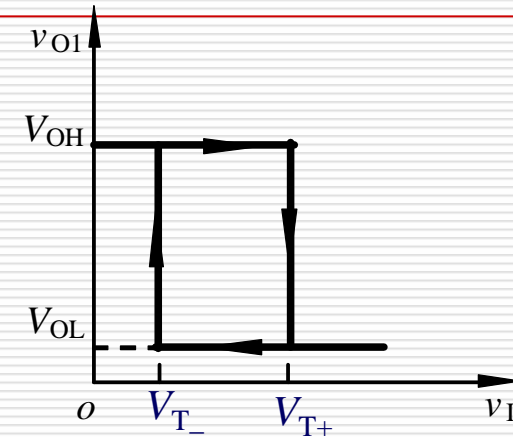
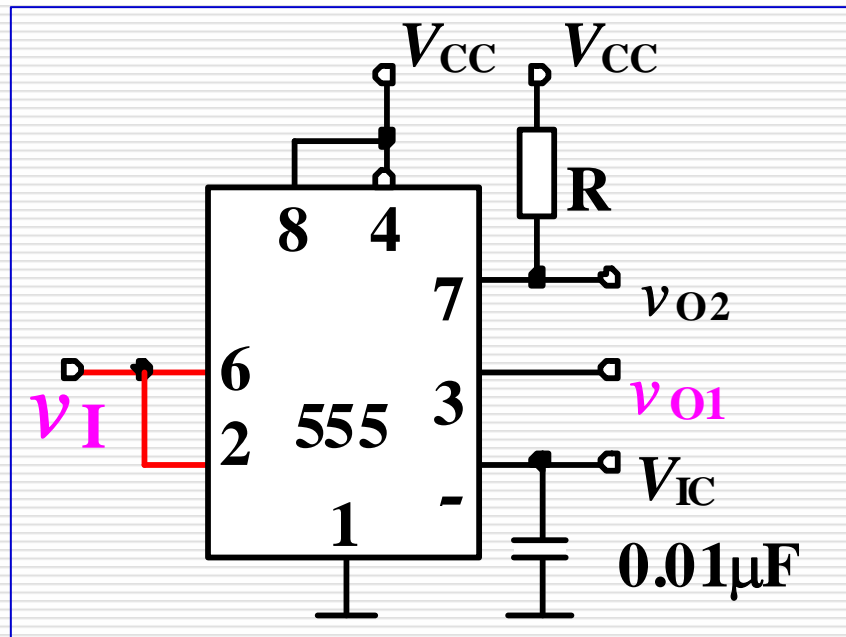
## 如何改变电路的阈值电压和回差电压？

- $V_I=0, \quad R=1, \quad S=0, \quad v_0=1$
- $0 < V_I < 1/3 V_{CC} \quad R=1, \quad S=0, \quad v_0=1$
- $1/3 V_{CC} \leq V_I < 2/3 V_{CC} \quad R=1, \quad S=1, \quad v_0=1$
- $2/3 V_{CC} \leq V_I \quad R=0, \quad S=1, \quad v_0=0$
- $1/3 V_{CC} \leq V_I < 2/3 V_{CC} \quad R=1, \quad S=1, \quad v_0=0$
- $0 < V_I < 1/3 V_{CC} \quad R=1, \quad S=0, \quad v_0=0$



# 555芯片连接成施密特触发器时对应的应用

## ①波形变换



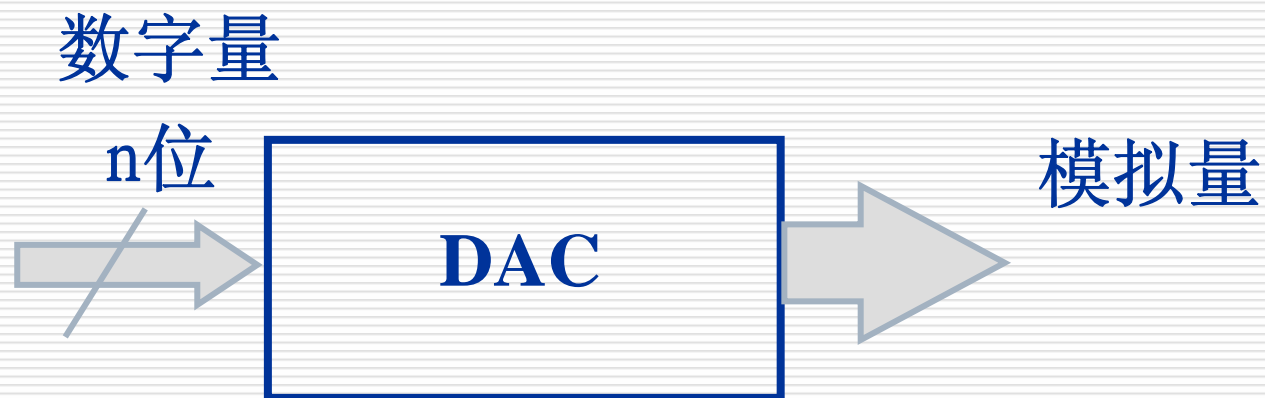
电路的频率可变?占空比可变?

如何改变占空比? 回差电压减小,占空比如何变化?

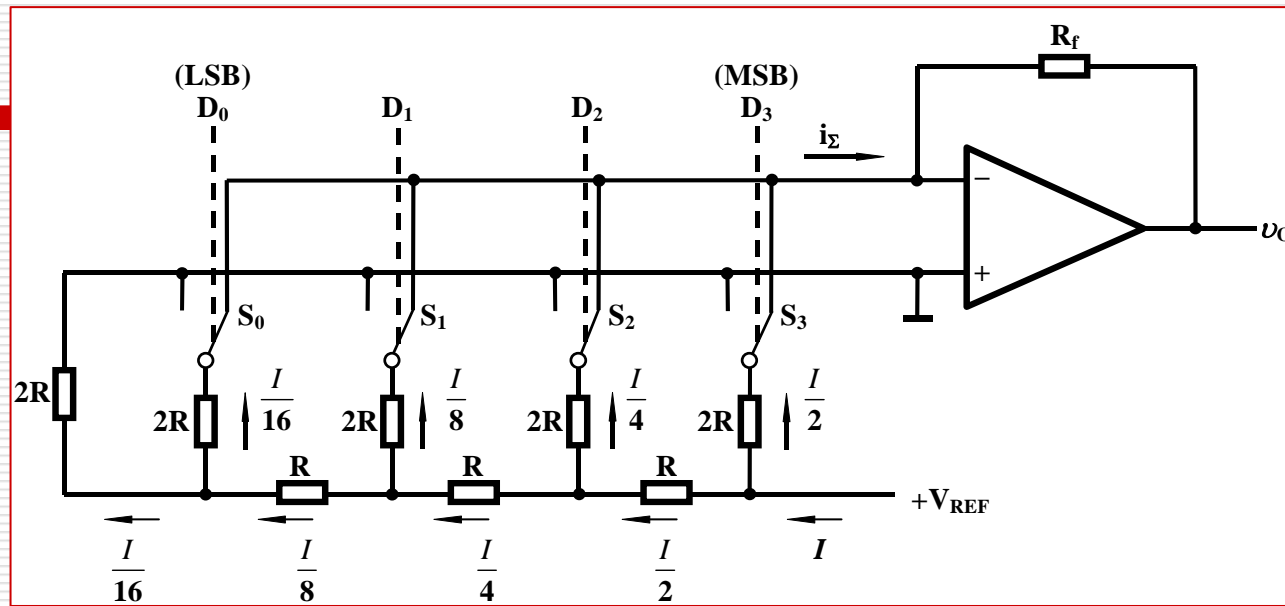
## 七、 D/A转换器

D/A转换器：将数字量转换为与之成正比的模拟量 。

$$v_O = -K N_B$$



## D/A转换器的倒T形电阻网络



流入运放的总电流： $i_{\Sigma} = I_0 + I_1 + I_2 + I_3$

$$= \frac{V_{\text{REF}}}{R} \left( \frac{D_0}{2^4} + \frac{D_1}{2^3} + \frac{D_2}{2^2} + \frac{D_3}{2^1} \right)$$

输出模拟电压：

$$v_O = -i_{\Sigma} R_f = -\frac{R_f}{R} \cdot \frac{V_{\text{REF}}}{2^4} \sum_{i=0}^3 (D_i \cdot 2^i)$$

$$v_O = -\frac{V_{\text{REF}}}{2^n} \cdot \frac{R_f}{R} \left[ \sum_{i=0}^{n-1} (D_i \cdot 2^i) \right]$$

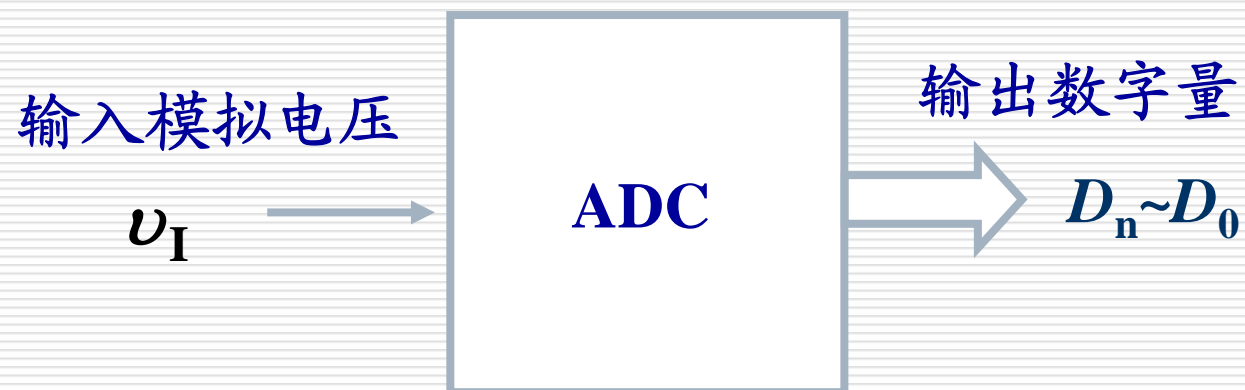


## 八、A/D 转换器

---

### 1. A/D转换器功能

**A/D转换器**能将模拟电压成正比地转换成对应的数字量。



## 2. A/D转换器分类

---

### ① 并联比较型

特点: 转换速度快, 转换时间  $10\text{ns} \sim 1\mu\text{s}$ , 但电路复杂。

### ② 逐次逼近型

特点: 转换速度适中, 转换时间为  $\mu\text{s} \sim 100\mu\text{s}$ , 转换精度高, 在转换速度和硬件复杂度之间达到一个很好的平衡。

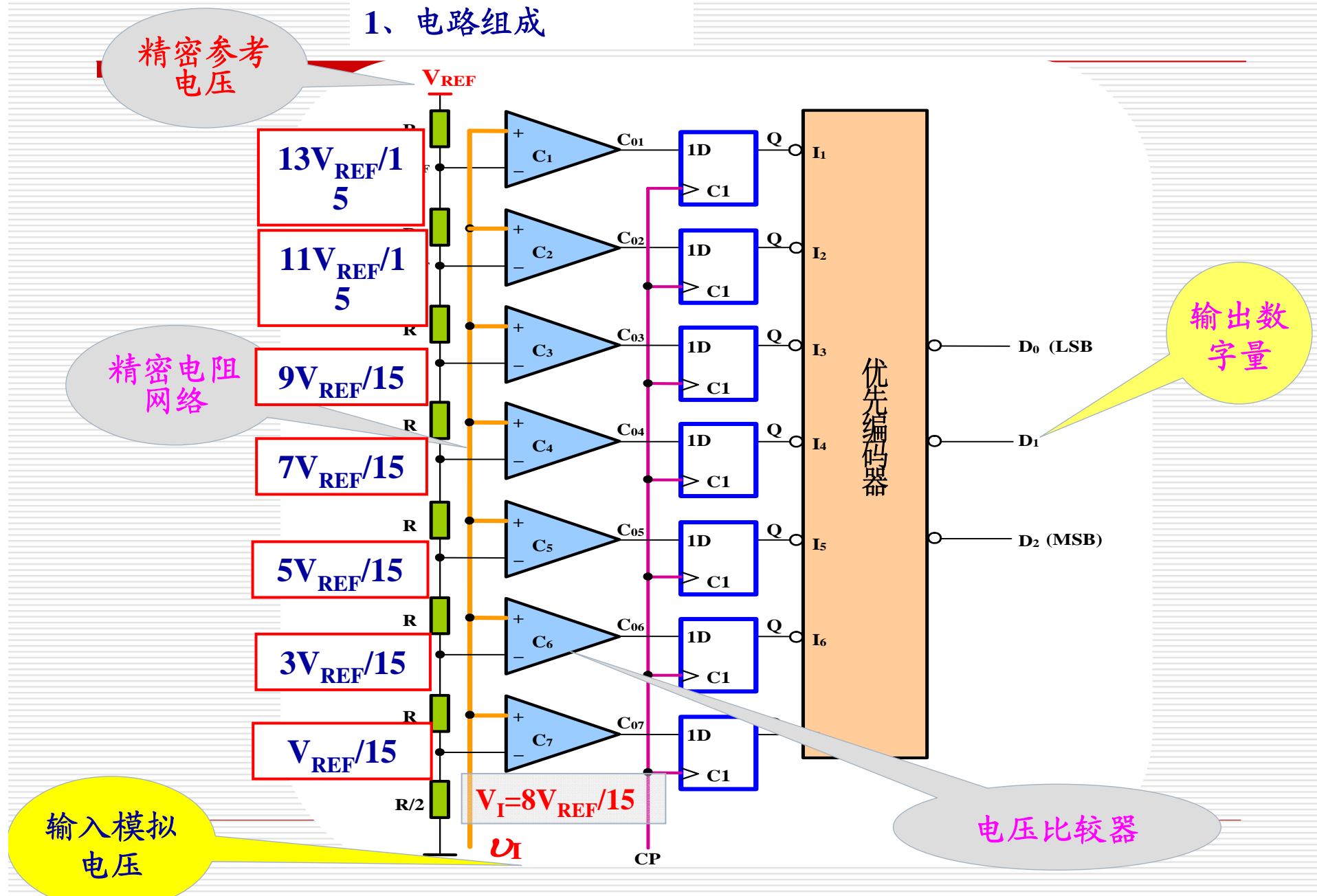
### ③ 双积分型

特点: 转换速度慢, 转换时间 几百  $\mu\text{s} \sim$  几  $\text{ms}$ , 但抗干扰能力最强。

A/D转换器一般要包括取样, 保持, 量化及编码4个过程。

## 2 并行比较型A/D转换器

### 1、电路组成



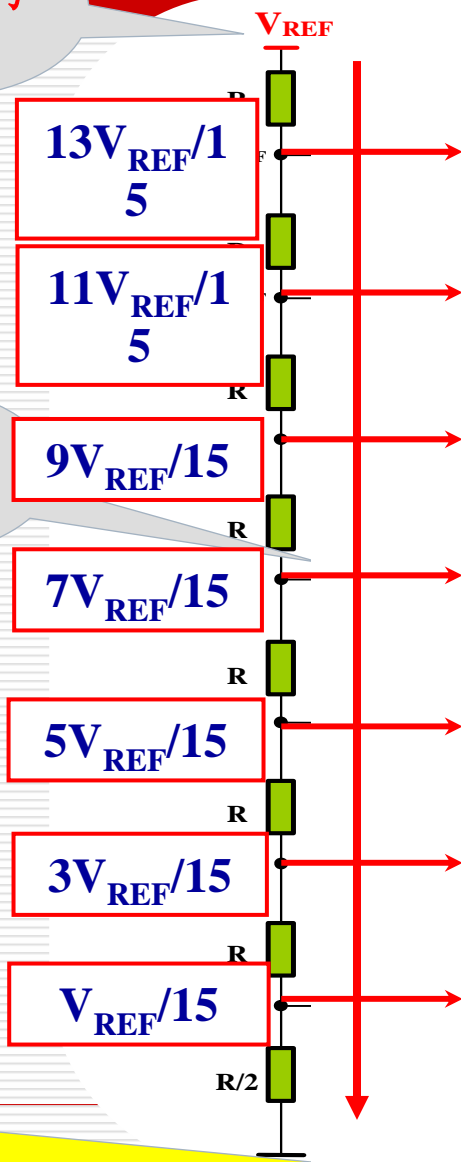
## 10.2.2 并行比较型A/D转换器

### 1、电路组成

精密参考电压

精密电阻网络

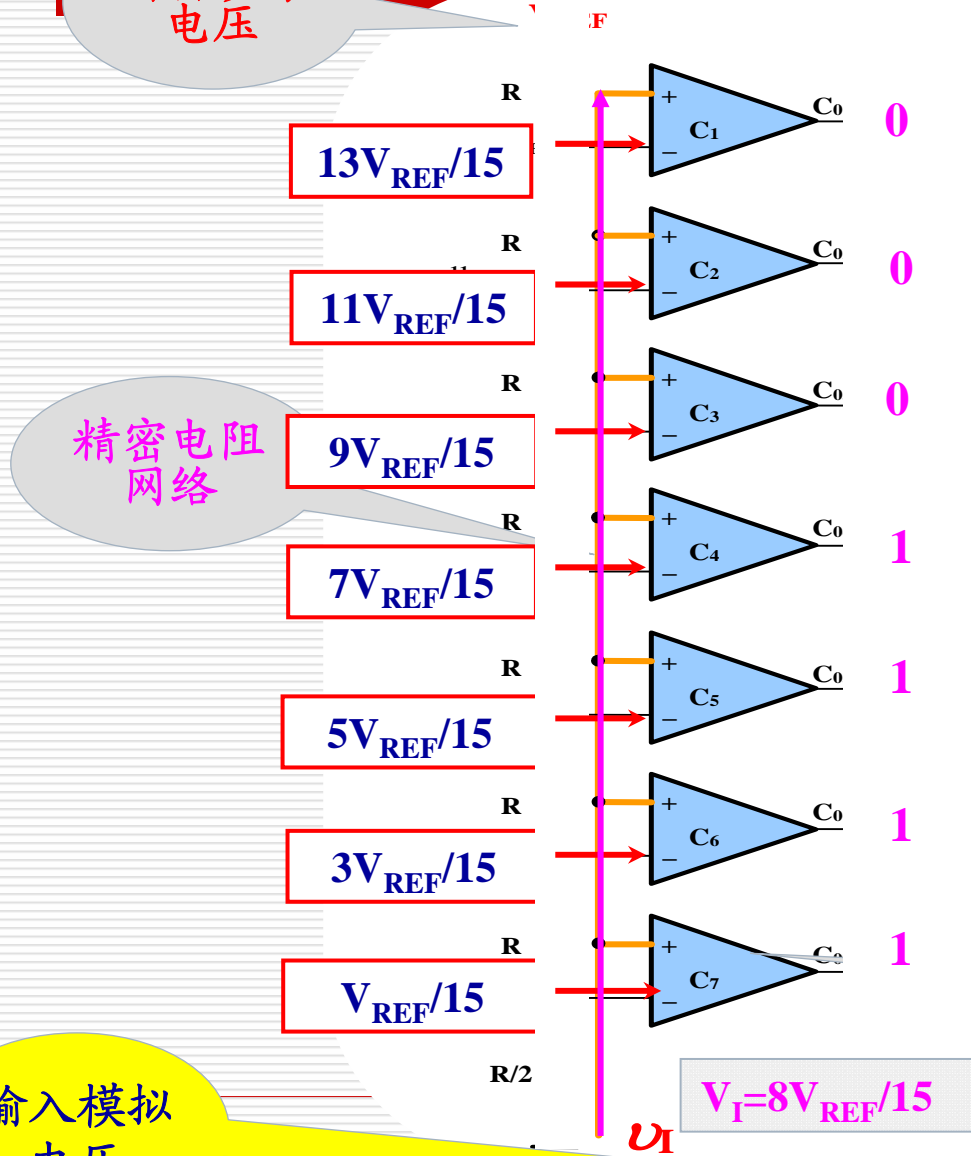
输入模拟电压



### 10.2.2 并行比较型A/D转换器

## 1、电路组成

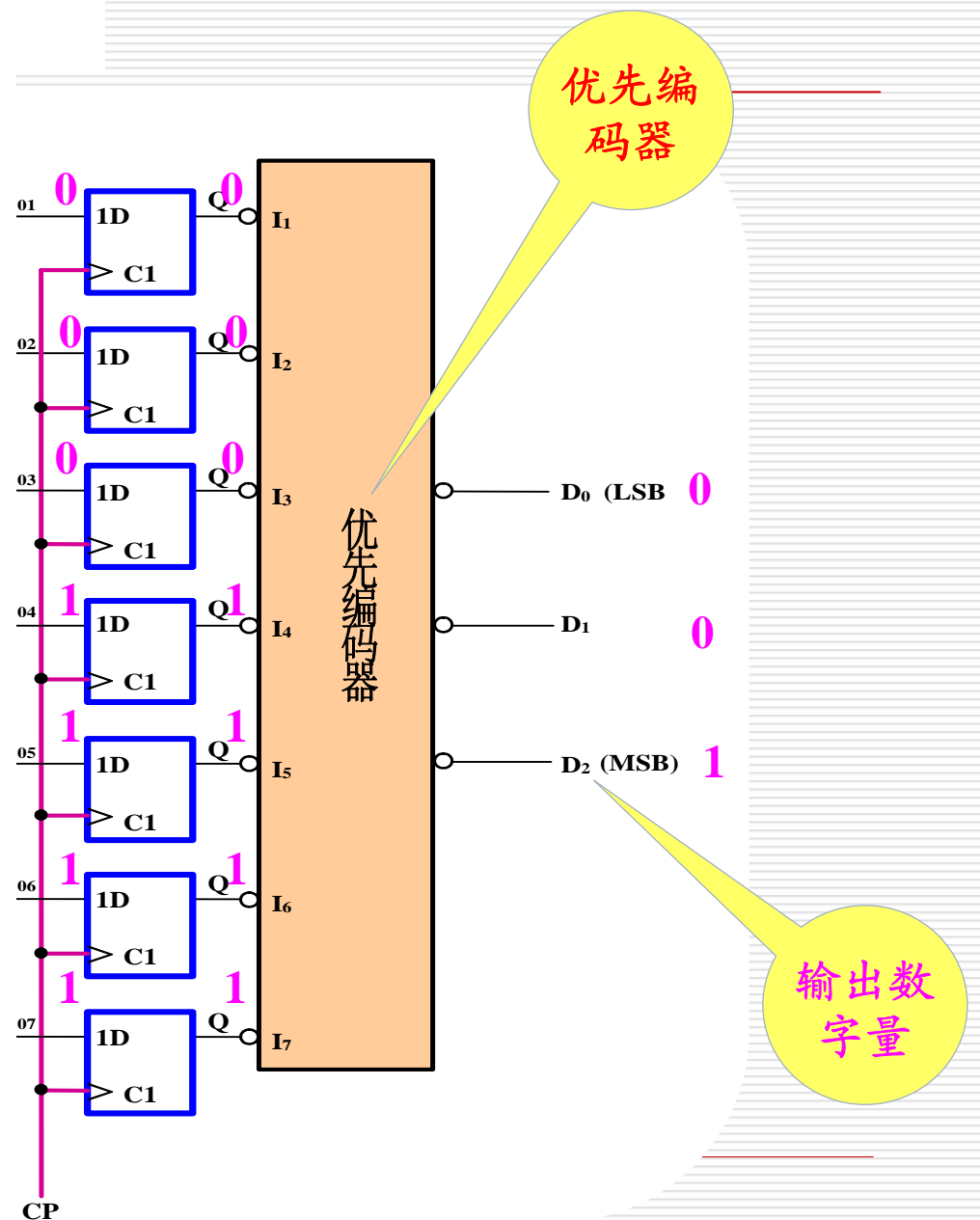
精密参考  
电 压



## 输入模拟电压

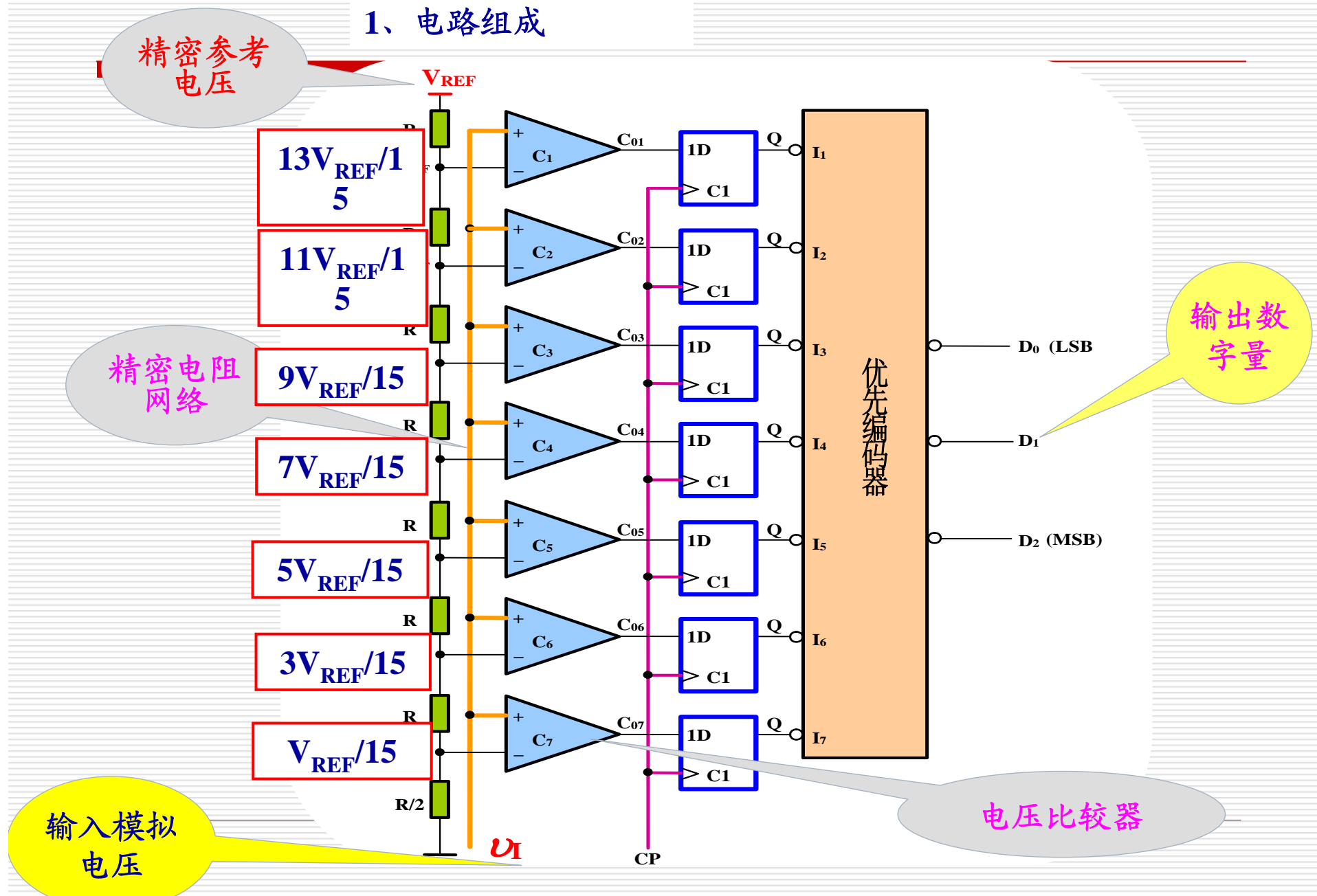
$$V_I = 8V_{REF}/15$$

## 10.2.2 并行比较型A/D转换器



## 10.2.2 并行比较型A/D转换器

### 1、电路组成







## 考试题型：

---

- 单选 20分
  - 填空 20分
  - 分析题和设计题 60分
  
  - 说明：考试难度不会超过PPT和课后习题。
  - 课本《搭建你的数字积木——数字电路与逻辑设计（Verilog HDL&Vivado版）》不作要求。
-

# 课本章节分数比例：

- 第一章 数字逻辑概论 10%
- 第二章 逻辑代数与硬件描述语言基础 10%
- 第三章 逻辑门电路 10%
- 第四章 组合逻辑电路 15%
- 第五章 锁存器和触发器 10%
- 第六章 时序逻辑电路 30%
- 第七章 半导体存储器 10%
- 第八章 CPLD和FPGA 5%
- 第九章 脉冲波形的变换与产生 5%
- 第十章 数模与模数转换器 10 %
- 第十一章 数字系统设计基础 5%

考试时间：5月28号周二晚上