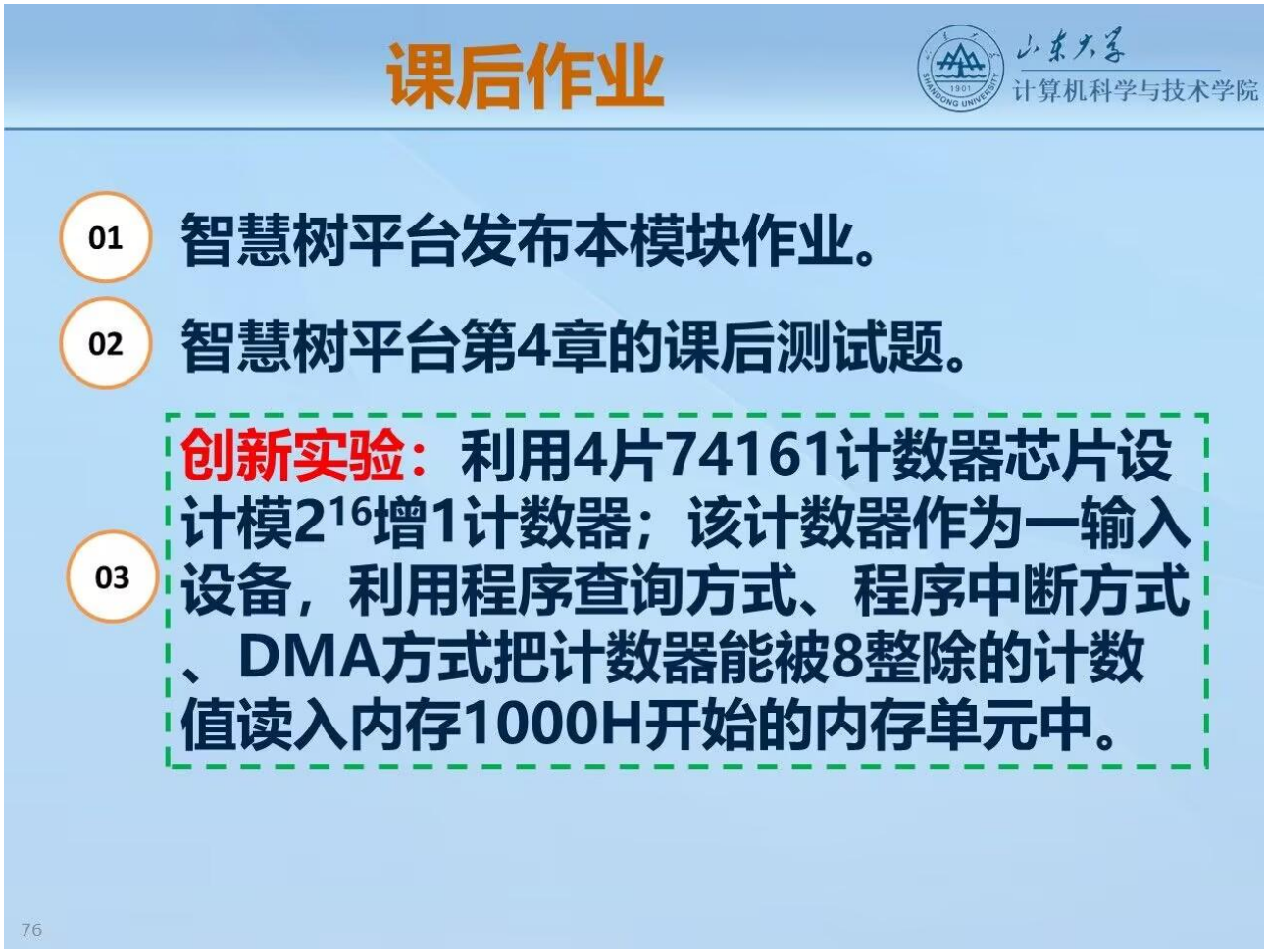
山东大学计算机科学与技术学院

计算机组成与设计课程实验报告

学号：202300130183	姓名： 宋浩宇	班级： 23 级人工智能
实验题目： 创新实验		
实验学时： 2	实验日期： 2024/12/24	

实验目的：



硬件环境：

13th Gen Intel(R) Core(TM) i9-13980HX 2.20 GHz

32.0 GB (31.6 GB 可用)

康芯 KX-CDS FPGA 平台

芯片 Cyclong IV E EP4CE6E22C8

软件环境：

Windows 11 家庭中文版 23H2 22631.4317

Intel Quartus II 13.0sp1(64 bit)

实验内容与设计：

1、实验内容

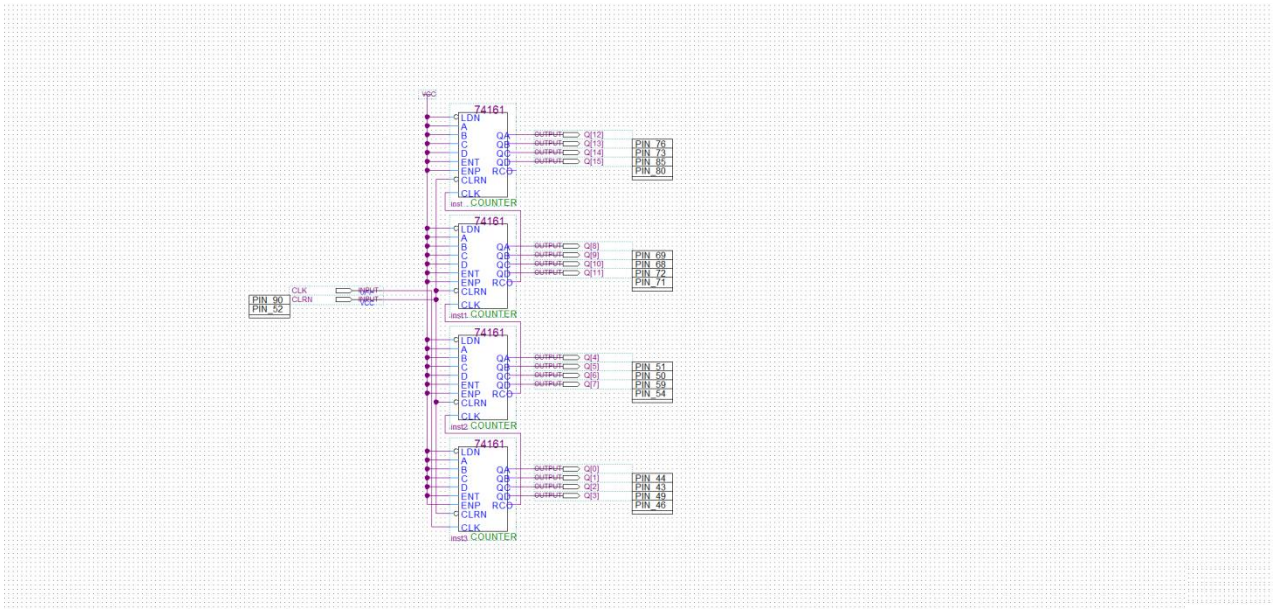
用 4 片 74161 计数器芯片设计模 2^16 增 1 计数器;该计数器作为一输入设备，利用程序查询方式、程序中断方式 DMA 方式把计数器能被 8 整除的计数

2、实验原理图

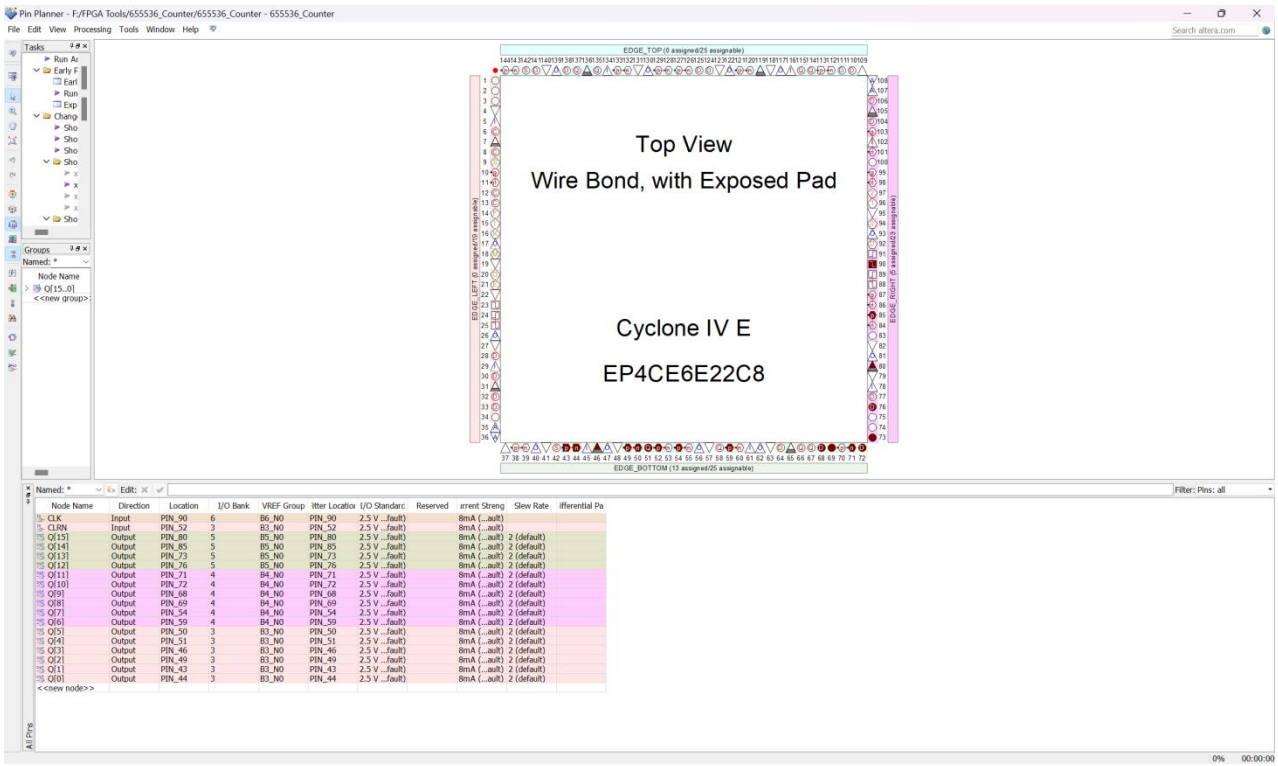
本实验的原理图分为多个部分，分模块来进行展示

65536 计数器部分

原理图：

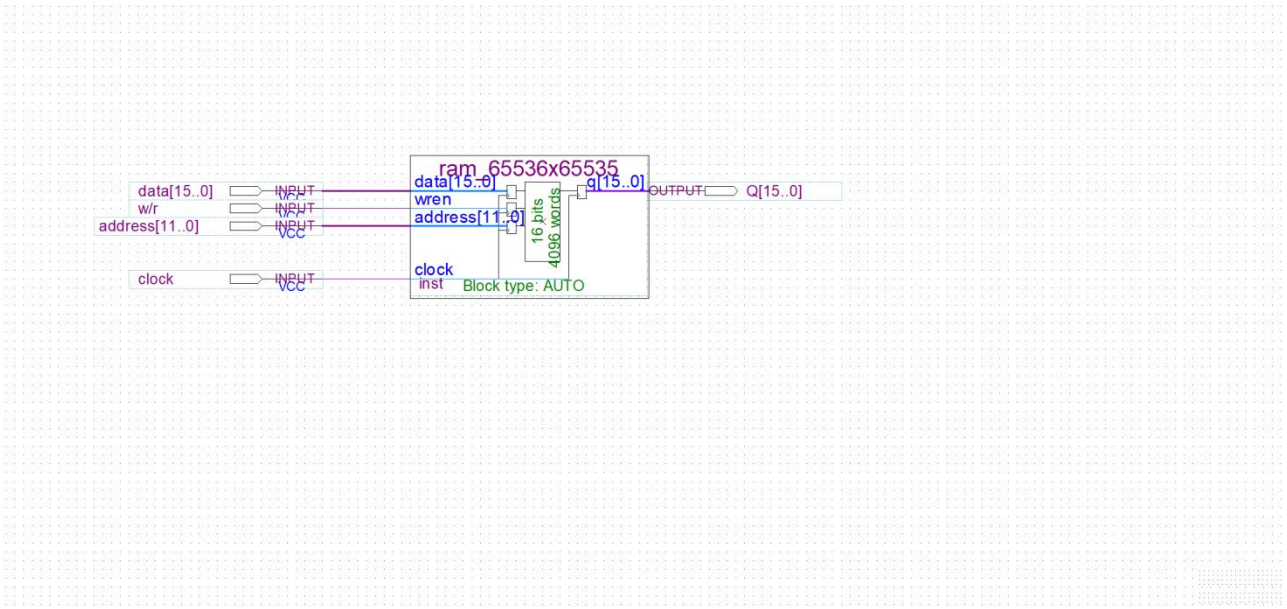


引脚图：



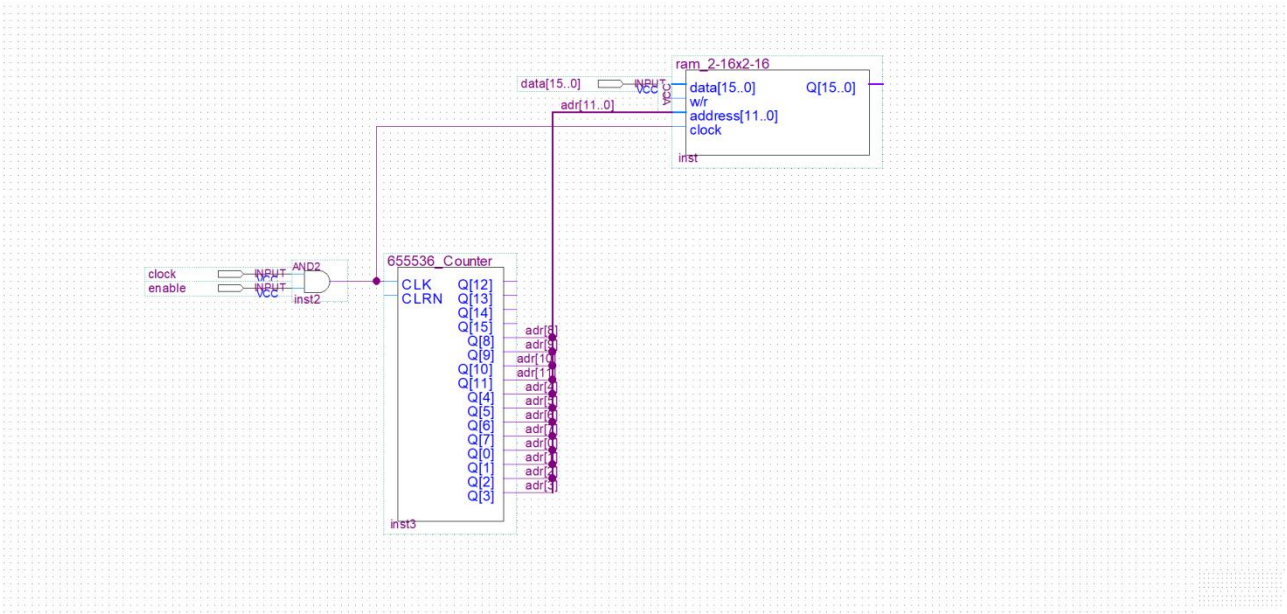
2^12x2^16ram 部分

原理图：



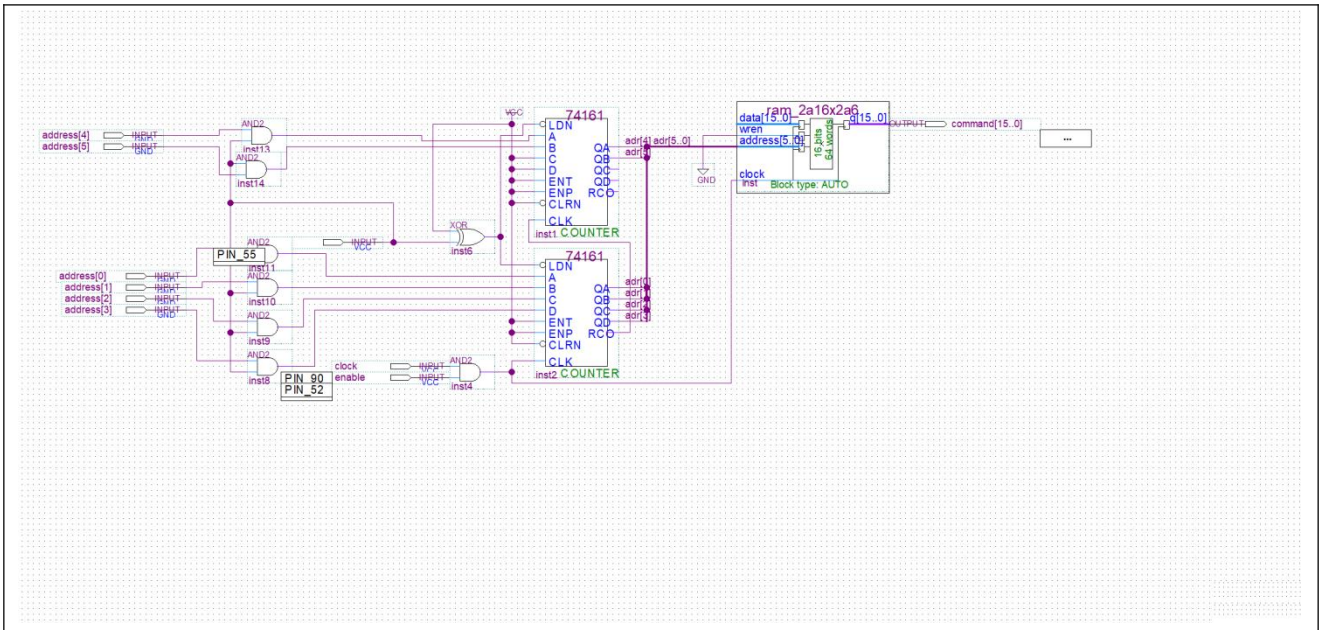
2^12x2^16 栈部分

原理图：

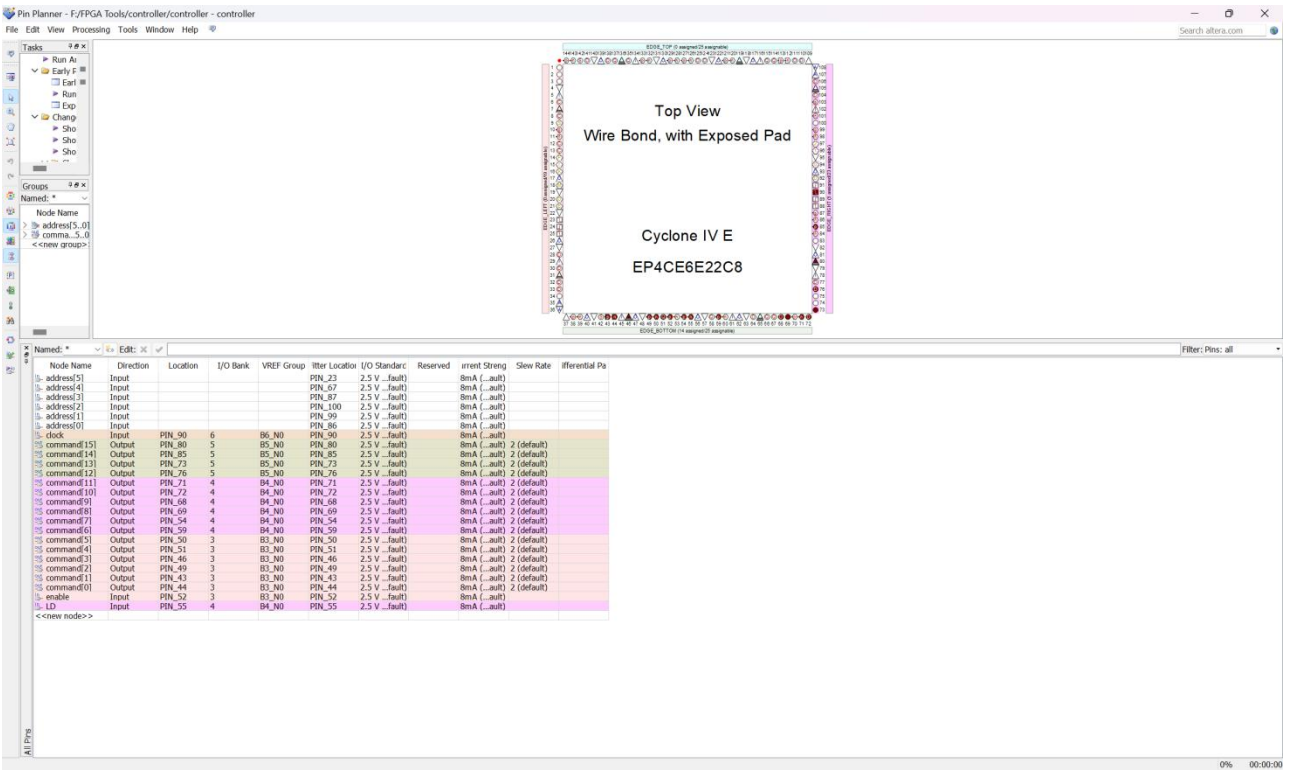


通用控制器部分：

原理图：

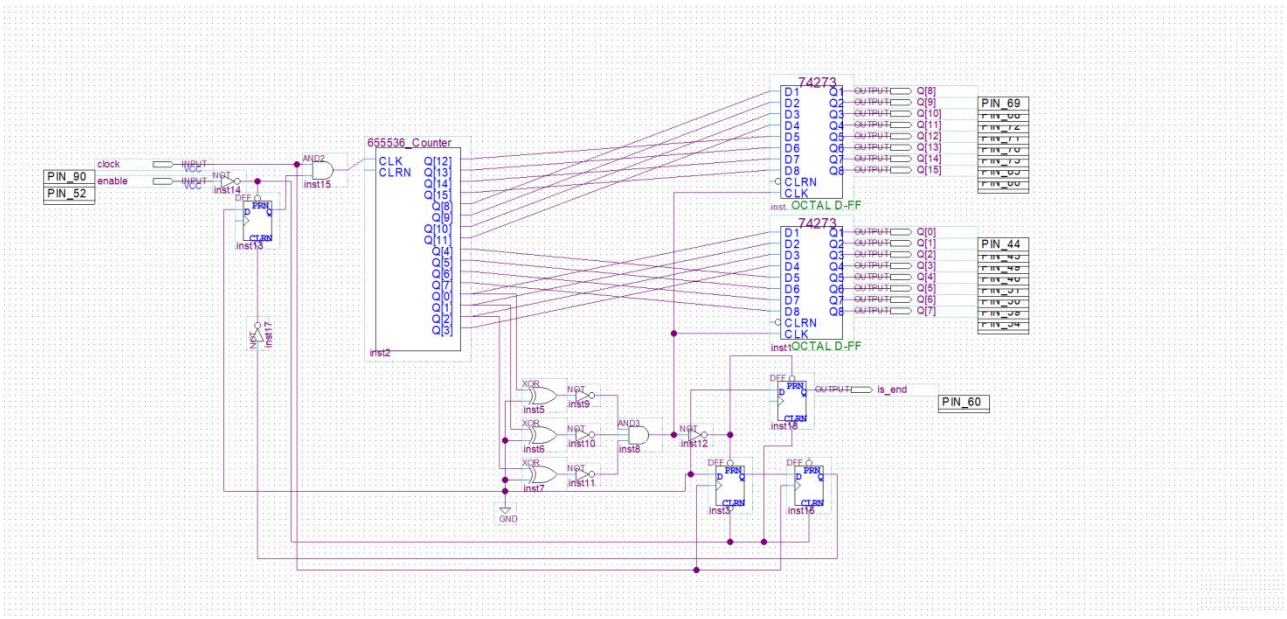

address[4]
address[5]
address[0]
address[1]
address[2]
address[3]
PIN_55
PIN_90
PIN_52
clock
enable
74161
LDN
A
B
C
D
ENT
ENP
CLRN
CLK
QA
QB
QC
QD
RCO
inst1 COUNTER
inst2 COUNTER
ram_2a16x2a6
data[15..0]
wren
address[5..0]
clock
inst
Block type: AUTO
q[15..0]
OUTPUT
command[15..0]
16 bits
64 words
adr[4]
adr[5..0]
GND
VCC
XOR
inst6
inst4
inst8
inst9
inst10
inst11
inst13
inst14

引脚图：

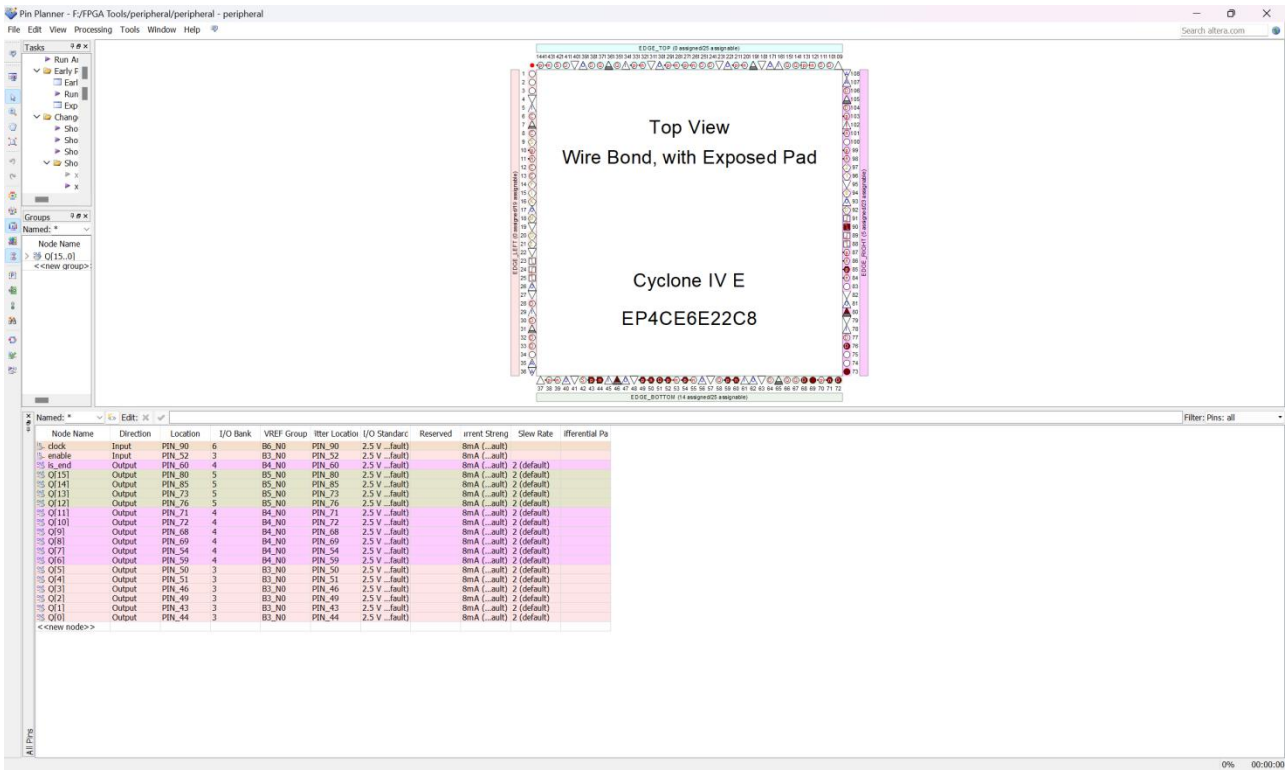

Pin Planner - F:/FPGA Tools/controller/controller - controller
File Edit View Processing Tools Window Help
Top View
Wire Bond, with Exposed Pad
Cyclone IV E
EP4CE6E22C8
Node Name
Direction
Location
I/O Bank
VREF Group
I/O Standard
Reserved
Slew Rate
address[5] Input PIN_23
address[4] Input PIN_67
address[3] Input PIN_87
address[2] Input PIN_100
address[1] Input PIN_99
address[0] Input PIN_86
clock Input PIN_90 6 B6_N0 PIN_90
command[15] Output PIN_80 5 B5_N0 PIN_80
command[14] Output PIN_85 5 B5_N0 PIN_85
command[13] Output PIN_73 5 B5_N0 PIN_73
command[12] Output PIN_76 5 B5_N0 PIN_76
command[11] Output PIN_71 4 B4_N0 PIN_71
command[10] Output PIN_72 4 B4_N0 PIN_72
command[9] Output PIN_68 4 B4_N0 PIN_68
command[8] Output PIN_69 4 B4_N0 PIN_69
command[7] Output PIN_54 4 B4_N0 PIN_54
command[6] Output PIN_59 4 B4_N0 PIN_59
command[5] Output PIN_50 3 B3_N0 PIN_50
command[4] Output PIN_51 3 B3_N0 PIN_51
command[3] Output PIN_46 3 B3_N0 PIN_46
command[2] Output PIN_49 3 B3_N0 PIN_49
command[1] Output PIN_43 3 B3_N0 PIN_43
command[0] Output PIN_44 3 B3_N0 PIN_44
enable Input PIN_52 3 B3_N0 PIN_52
LD Input PIN_55 4 B4_N0 PIN_55
2.5 V (default)
8mA (default)
2 (default)

外设部分：

原理图：

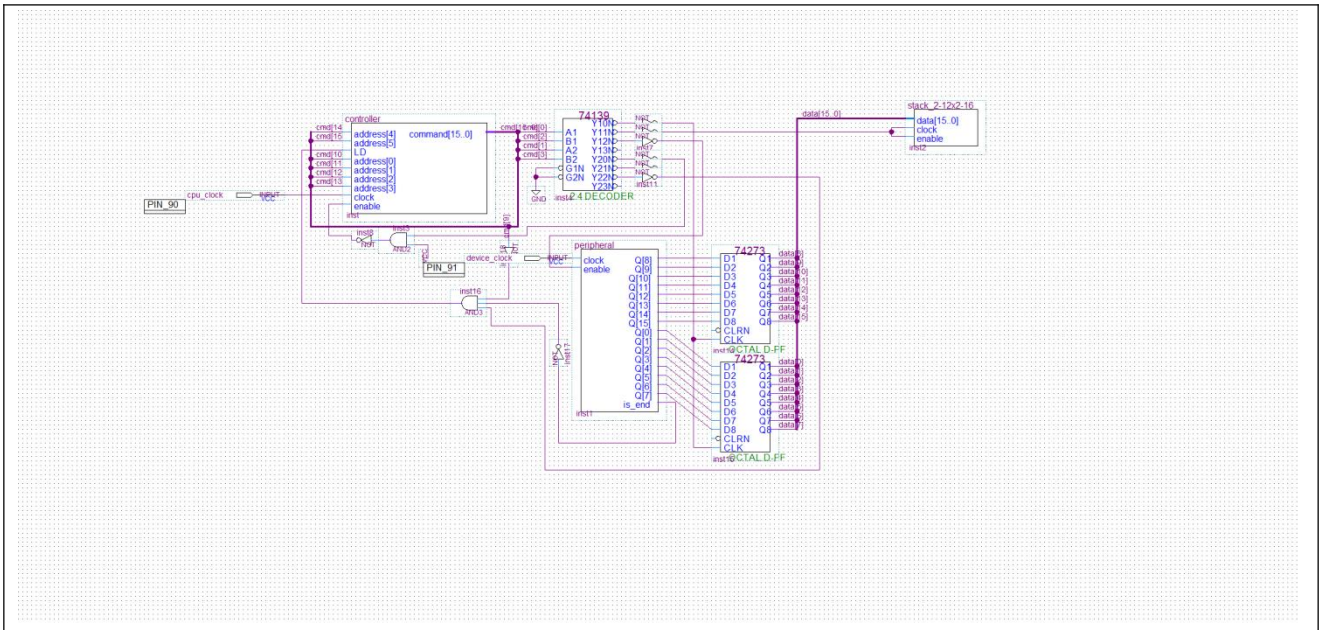


引脚图：

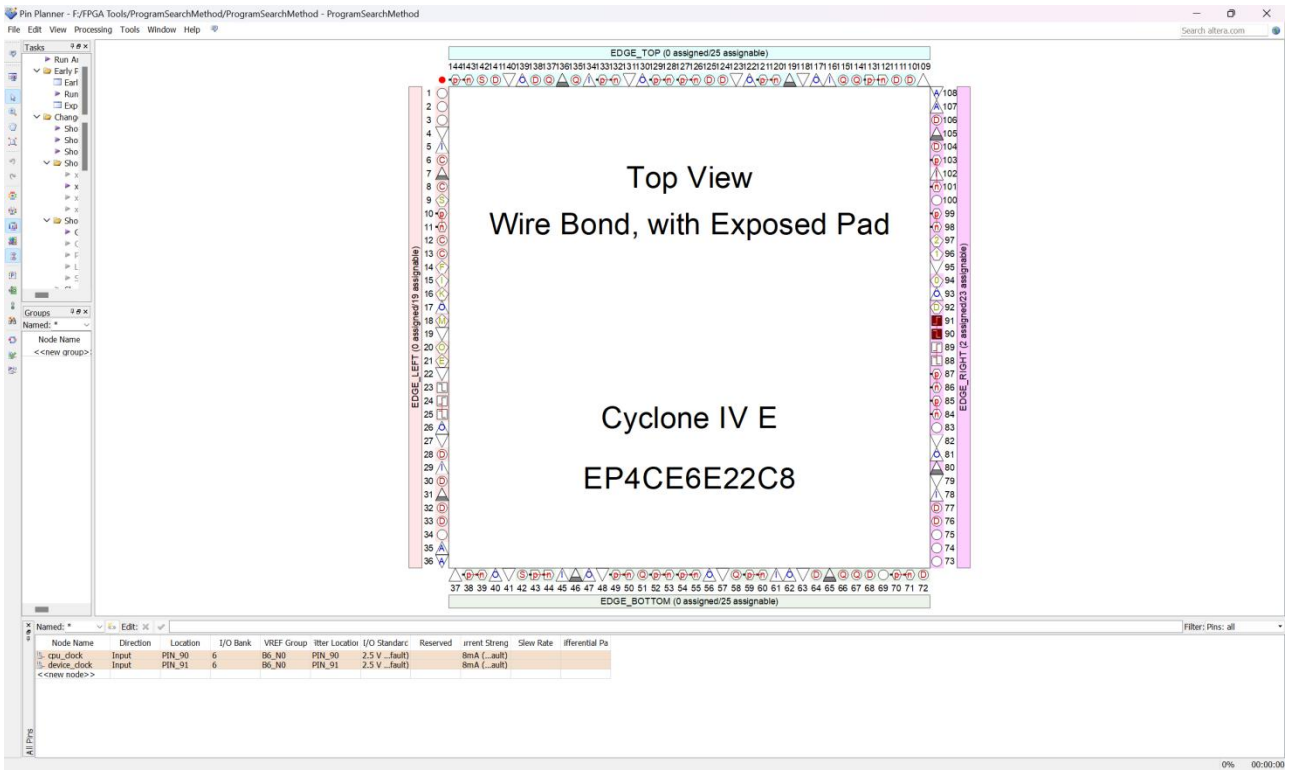


程序查询方式部分：

原理图：


controller
command[15..0]
74139
2:4DECODER
peripheral
74273
CTAL D-FF
stack_2-12x2-16
PIN_90
PIN_91
cpu_clock
device_clock
is_end

引脚图：


Pin Planner - F:/FPGA Tools/ProgramSearchMethod/ProgramSearchMethod - ProgramSearchMethod
EDGE_TOP (0 assigned/25 assignable)
Top View
Wire Bond, with Exposed Pad
Cyclone IV E
EP4CE6E22C8
EDGE_LEFT (0 assigned/19 assignable)
EDGE_RIGHT (2 assigned/23 assignable)
EDGE_BOTTOM (0 assigned/25 assignable)
cpu_clock
device_clock

使用指令：

Addr	+0	+1	+2	+3	+4	+5	+6	+7	ASCII
00	000E	000E	080B	000C	000D	0003	0000	0000	.....
08	0000	0000	0000	0000	0000	0000	0000	0000	.....
10	0000	0000	0000	0000	0000	0000	0000	0000	.....
18	0000	0000	0000	0000	0000	0000	0000	0000	.....
20	0000	0000	0000	0000	0000	0000	0000	0000	.....
28	0000	0000	0000	0000	0000	0000	0000	0000	.....
30	0000	0000	0000	0000	0000	0000	0000	0000	.....
38	0000	0000	0000	0000	0000	0000	0000	0000	.....

指令解释：
程序查询方式中：

000C
从外设读取数据

000D
将数据存入内存

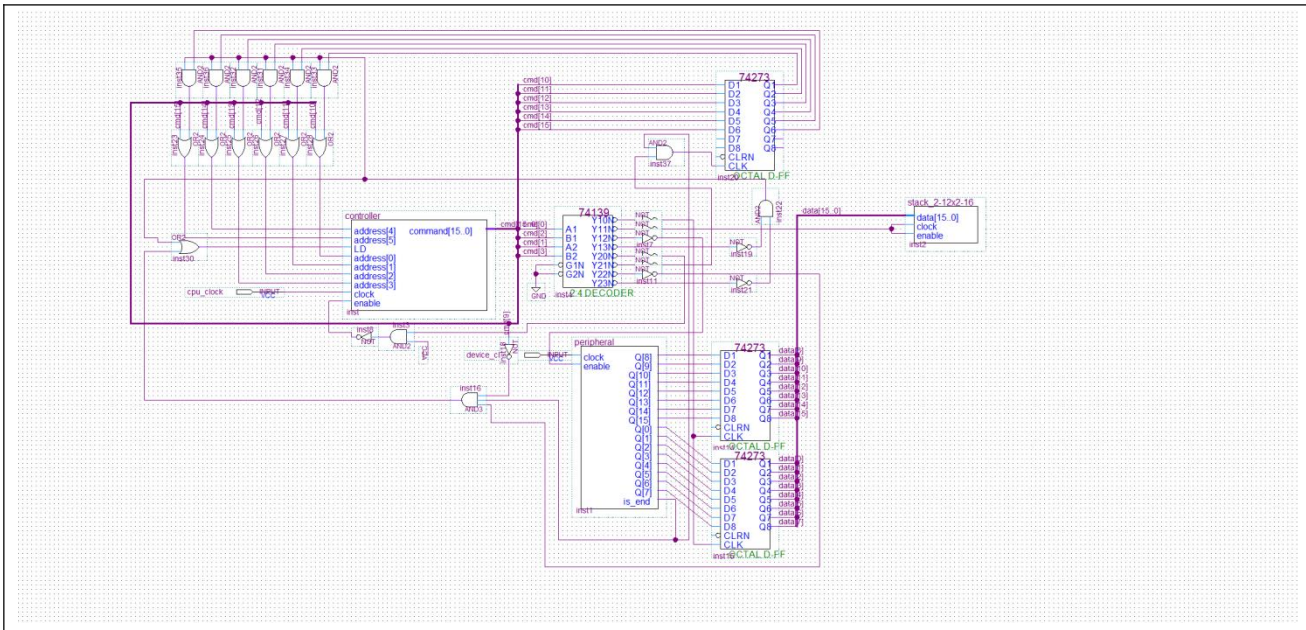
000E
启动外设

xx0B
如果外设没有结果
将 PC 的地址设为 xx
在循环这里使用的是 080B

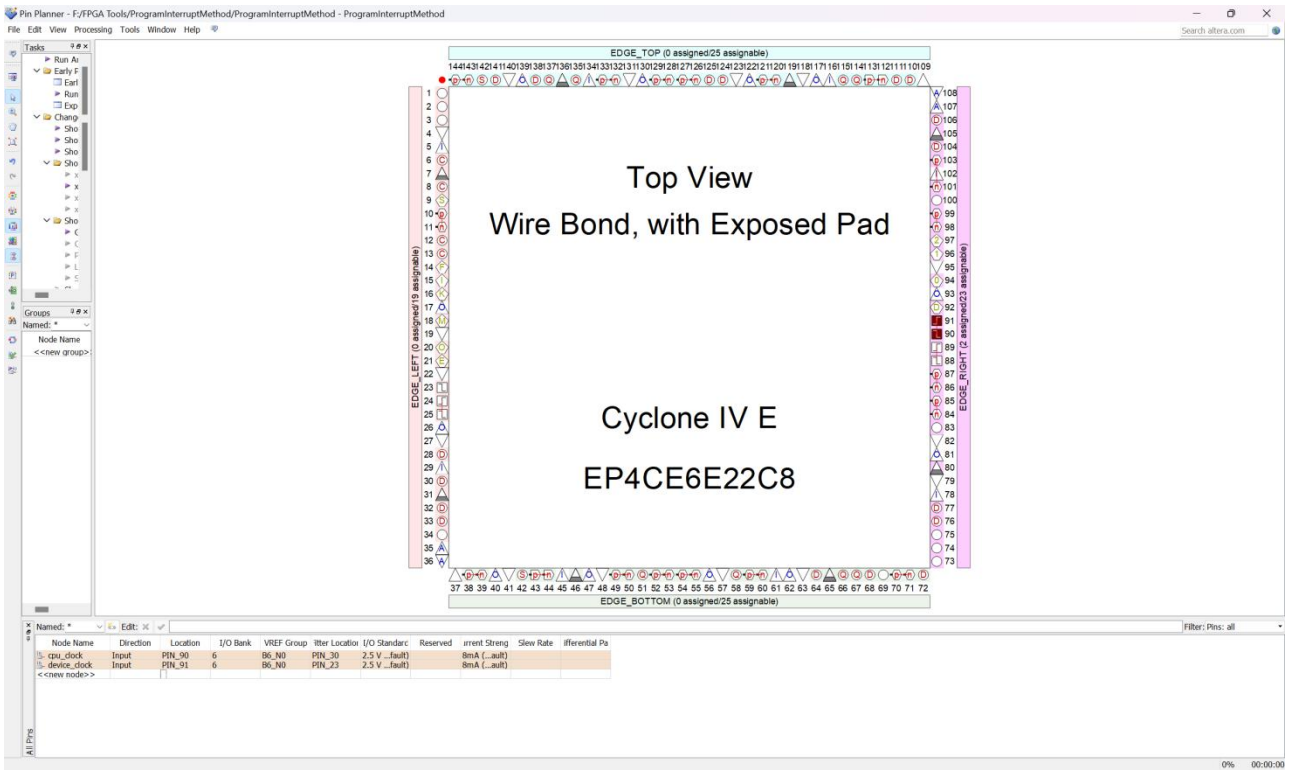
0003
结束程序运行

000F
无效果

程序中断方式部分：
原理图：


74273
controller
command[15..0]
74139
2:4 DECODER
peripheral
clock
enable
is_end
stack_2_12x2-16
data[15..0]
cpu_clock
device_clock

引脚图：


Pin Planner - F:/FPGA Tools/ProgramInterruptMethod/ProgramInterruptMethod - ProgramInterruptMethod
EDGE_TOP (0 assigned/25 assignable)
EDGE_BOTTOM (0 assigned/25 assignable)
EDGE_LEFT (0 assigned/19 assignable)
EDGE_RIGHT (2 assigned/23 assignable)
Top View
Wire Bond, with Exposed Pad
Cyclone IV E
EP4CE6E22C8
cpu_clock
device_clock

使用指令：

Addr	+0	+1	+2	+3	+4	+5	+6	+7	ASCII
00	000E	0007	E00B	0007	E00B	0007	E00B	0007	.....
08	E00B	0007	E00B	0007	E00B	0007	E00B	0007	.....
10	E00B	0007	E00B	0007	E00B	0007	E00B	0007	.....
18	E00B	0007	E00B	0007	E00B	0007	E00B	0007	.....
20	E00B	0007	E00B	0007	E00B	0007	E00B	0007	.....
28	E00B	0007	E00B	0007	E00B	0007	E00B	0007	.....
30	E00B	0007	E00B	0007	E00B	0007	E00B	0007	.....
38	000C	000D	000F	0000	0000	0000	0000	0000	.....

指令解释：
程序中断方式中：

000C
从外设读取数据

000D
将数据存入内存

000E
启动外设

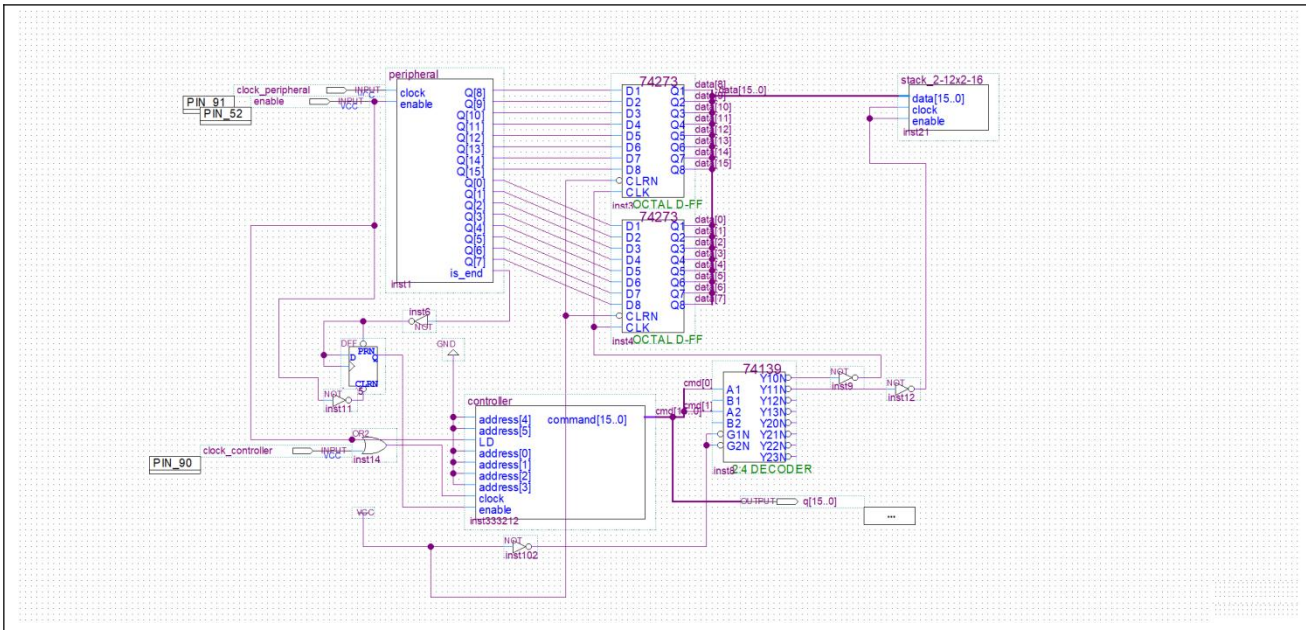
xx0B
如果外设有结果
将 PC 的地址设为 xx
在循环这里使用的是 080B

xx07
如果外设有结果
将 xx 地址存储下来

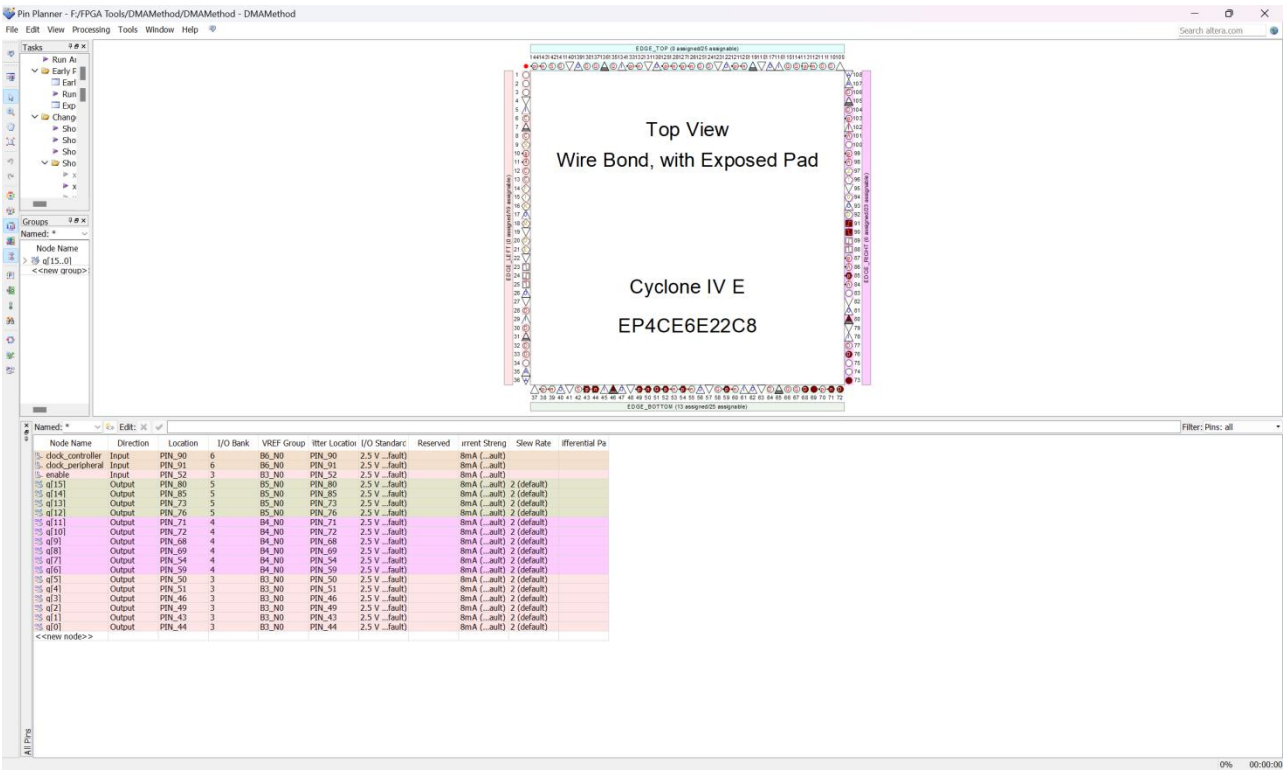
000F
将存储下来的地址赋给 PC

0003
结束程序运行

DMA 方式部分：
原理图：


peripheral
clock_peripheral
enable
PIN_91
PIN_52
clock
enable
Q[8]
Q[9]
Q[10]
Q[11]
Q[12]
Q[13]
Q[14]
Q[15]
Q[0]
Q[1]
Q[2]
Q[3]
Q[4]
Q[5]
Q[6]
Q[7]
is_end
inst1
74273
D1
D2
D3
D4
D5
D6
D7
D8
CLRN
CLK
OCTAL D-FF
inst3
inst4
data[15..0]
stack_2-12x2-16
data[15..0]
clock
enable
inst21
inst6
GND
inst11
controller
address[4]
address[5]
LD
address[0]
address[1]
address[2]
address[3]
clock
enable
command[15..0]
inst33212
PIN_90
clock_controller
inst14
VCC
inst102
74139
Y10N
Y11N
Y12N
Y13N
Y20N
Y21N
Y22N
Y23N
A1
B1
A2
B2
G1N
G2N
2:4 DECODER
inst2
cmd[0]
cmd[1]
inst9
inst12
OUTPUT
q[15..0]

引脚图：

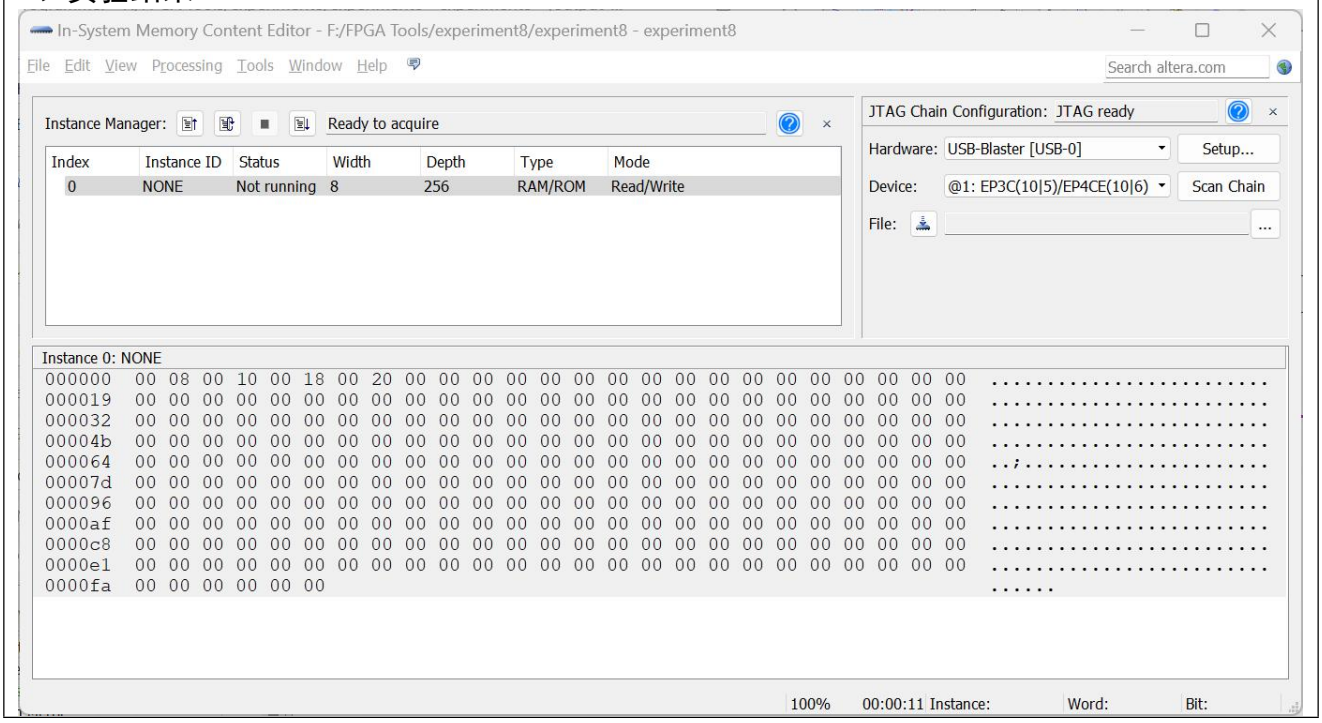

Pin Planner - F:/FPGA Tools/DMAMethod/DMAMethod - DMAMethod
File Edit View Processing Tools Window Help
Top View
Wire Bond, with Exposed Pad
Cyclone IV E
EP4CE6E22C8
Node Name
Direction
Location
I/O Bank
VREF Group
I/O Standard
Reserved
Slew Rate
clock_controller Input PIN_90 6 B6_N0 PIN_90 2.5 V (default) 8mA (default)
clock_peripheral Input PIN_91 6 B6_N0 PIN_91 2.5 V (default) 8mA (default)
enable Input PIN_52 3 B3_N0 PIN_52 2.5 V (default) 8mA (default)
q[15] Output PIN_80 5 B5_N0 PIN_80 2.5 V (default) 8mA (default) 2 (default)
q[14] Output PIN_85 5 B5_N0 PIN_85 2.5 V (default) 8mA (default) 2 (default)
q[13] Output PIN_73 5 B5_N0 PIN_73 2.5 V (default) 8mA (default) 2 (default)
q[12] Output PIN_76 5 B5_N0 PIN_76 2.5 V (default) 8mA (default) 2 (default)
q[11] Output PIN_71 4 B4_N0 PIN_71 2.5 V (default) 8mA (default) 2 (default)
q[10] Output PIN_72 4 B4_N0 PIN_72 2.5 V (default) 8mA (default) 2 (default)
q[9] Output PIN_68 4 B4_N0 PIN_68 2.5 V (default) 8mA (default) 2 (default)
q[8] Output PIN_69 4 B4_N0 PIN_69 2.5 V (default) 8mA (default) 2 (default)
q[7] Output PIN_54 4 B4_N0 PIN_54 2.5 V (default) 8mA (default) 2 (default)
q[6] Output PIN_59 4 B4_N0 PIN_59 2.5 V (default) 8mA (default) 2 (default)
q[5] Output PIN_50 3 B3_N0 PIN_50 2.5 V (default) 8mA (default) 2 (default)
q[4] Output PIN_51 3 B3_N0 PIN_51 2.5 V (default) 8mA (default) 2 (default)
q[3] Output PIN_46 3 B3_N0 PIN_46 2.5 V (default) 8mA (default) 2 (default)
q[2] Output PIN_49 3 B3_N0 PIN_49 2.5 V (default) 8mA (default) 2 (default)
q[1] Output PIN_43 3 B3_N0 PIN_43 2.5 V (default) 8mA (default) 2 (default)
q[0] Output PIN_44 3 B3_N0 PIN_44 2.5 V (default) 8mA (default) 2 (default)
<<new node>>

使用指令：

Addr	+0	+1	+2	+3	+4	+5	+6	+7	ASCII
00	0001	0001	0002	0000	0000	0000	0000	0000	.....
08	0000	0000	0000	0000	0000	0000	0000	0000	.....
10	0000	0000	0000	0000	0000	0000	0000	0000	.....
18	0000	0000	0000	0000	0000	0000	0000	0000	.....
20	0000	0000	0000	0000	0000	0000	0000	0000	.....
28	0000	0000	0000	0000	0000	0000	0000	0000	.....
30	0000	0000	0000	0000	0000	0000	0000	0000	.....
38	0000	0000	0000	0000	0000	0000	0000	0000	.....

指令解释：
DMA 方式中
0001
启动外设

0002
进行 DMA 数据传输
3、实验步骤
（1）原理图编写：在 Quartus II 中完成各个模块原理图的编制
（2）管脚锁定：将各个功能模块分别进行引脚的绑定用于模块功能的测试，将三种 IO 方式分别进行引脚的绑定以进行功能的测试。
（3）原理图编译、适配和下载：在 Quartus II 环境中选择 Cyclong IV E EP4CE6E22C8 器件，进行原理图的编译和适配，无误后完成下载。
（4）功能测试：根据时钟接入后实验台给出的结果进行功能的测试。
4、实验结果



效果描述为：

该实验结果为进行了若干次存储 8 的倍数的 io 操作后在栈中储存的结果。

均为十六进制数，以 4 位为一个数字

图中具体 io 操作次数为 4 次

存储下来的数据分别为：

8、16、24、32

结论分析与体会：

根据结果分析，实验平台的实验结果与预测结果一致，故成功完成了三种 I0 方式电路的设计。主要体会是，为了完成这个实验，进行了许多小功能模块的设计，还有外设的逻辑功能的实现、控制器的制作、栈的电路实现、还有指令的编制，三种方式需要使用的指令还不一样，且指令译码后的处理方式也不太一样。可以想象，现在的计算机需要集成这三种方式，那么实际内部的电路设计是非常困难的，我仅仅是分模块实现不需要考虑三者合一的情况就已经用了远超一整天的时间了，如果正经设计将是非常繁杂的工作量。模块化设计真的是独属于人类工程师的浪漫。能设计出计算机这种精密的仪器，人类的智慧真的叹为观止。