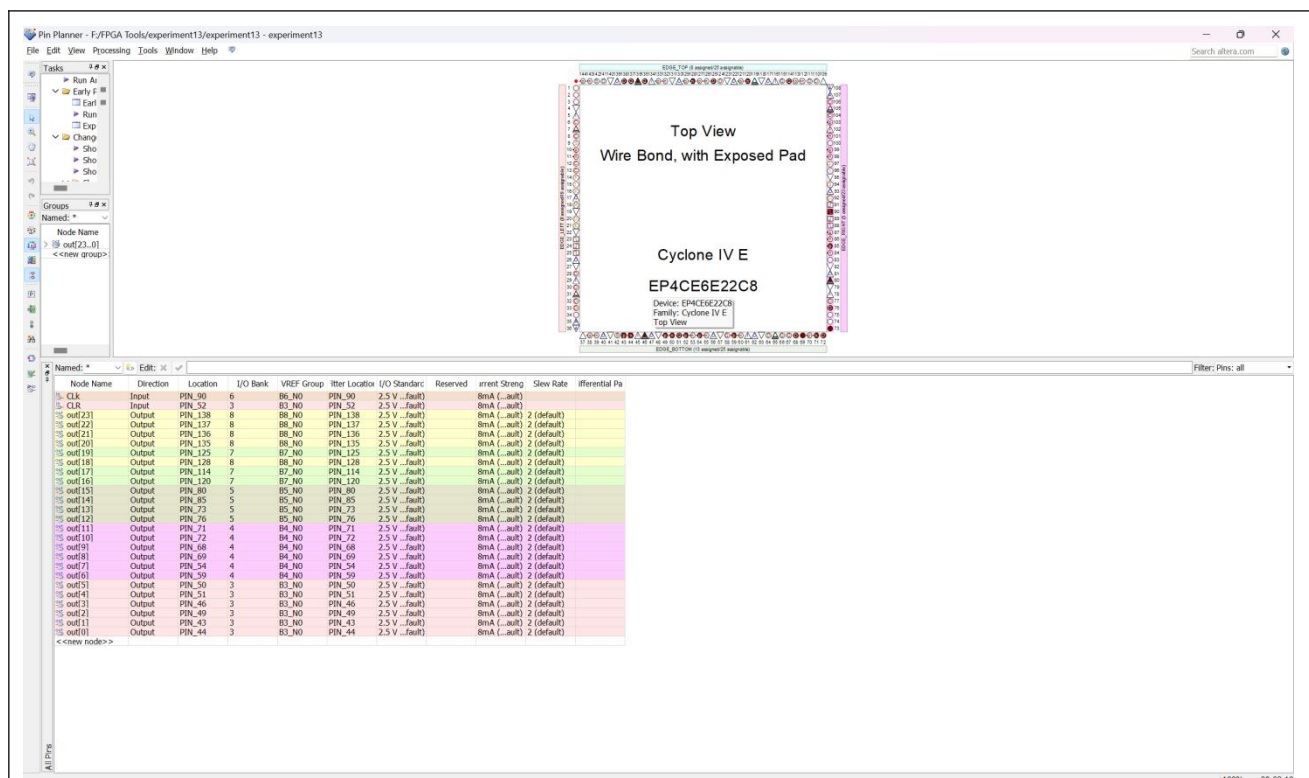


山东大学计算机科学与技术学院

计算机组成与设计课程实验报告

学号：202300130183		姓名： 宋浩宇		班级： 23 级人工智能	
实验题目： 控制器实验					
实验学时： 2			实验日期： 2024/12/24		
实验目的： 掌握控制器的工作原理和实现方式。					
硬件环境： 13th Gen Intel (R) Core(TM) i9-13980HX 2.20 GHz 32.0 GB (31.6 GB 可用) 康芯 KX-CDS FPGA 平台 芯片 Cyclong IV E EP4CE6E2208					
软件环境： Windows 11 家庭中文版 23H2 22631.4317 Intel Quartus II 13.0sp1 (64 bit)					
实验内容与设计： 1、实验内容 设计控制存储器并初始化；利用采用微程序实现，读取并验证控制存储器的内容。 2、实验原理图 必做实验原理图：					
必做实验引脚图：					



### 3、实验步骤

必做实验步骤：

- (1) 原理图输入：从元件库中选取合适的元件以及使用 MegaWizard Plug-In Manager 编辑
- (2) RAM 存储器完成原理图的输入
- (3) 管脚锁定：用单脉冲驱动  $\mu$  PC 的计数脉冲 CPPC、 $\mu$  RD、CP  $\mu$  IR。将  $\mu$  PC 的 8 位输出锁定在 A7—A0 上。实验平台工作于模式 5，将单脉冲锁定于键 8，将  $\mu$  PC 的复位端 CLR 锁定在键 7，输出 UIR 的 24 位接数显 3—数显 8。
- (4) 原理图编译、适配和下载：在 Quartus II 环境中选择 Cyclone IV E EP4CE6E22C8 器件，进行原理图的编译和适配，无误后完成下载。

(5) 功能测试：利用开关与指示灯和 In-System Memory Content Editor 工具测试结果，并分析结果的正确性。

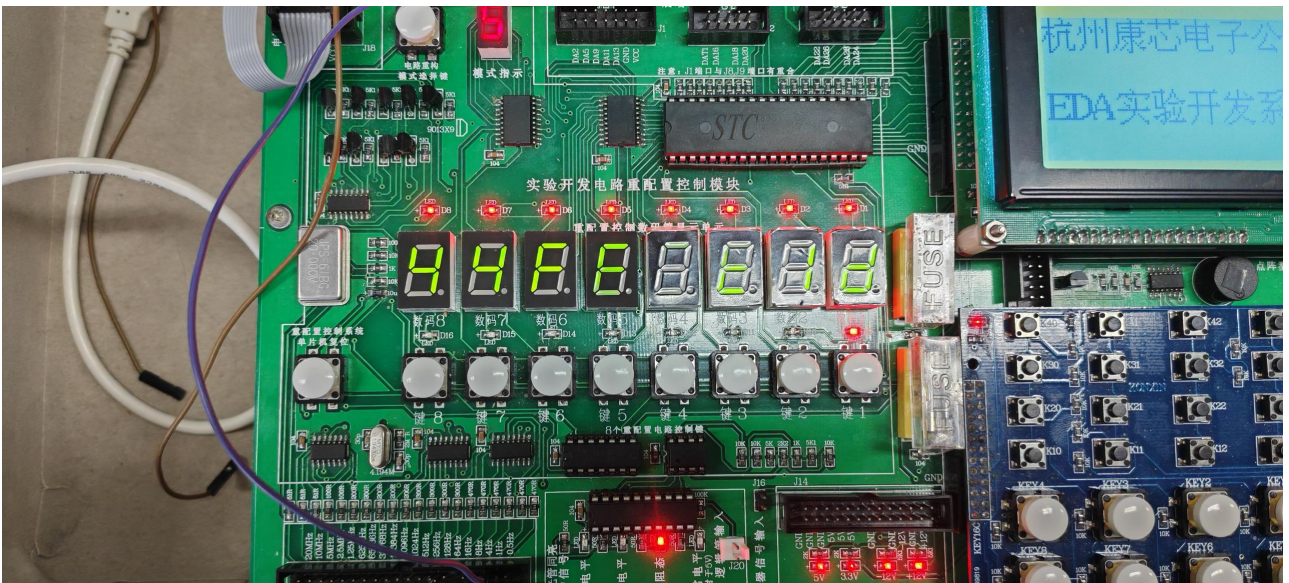
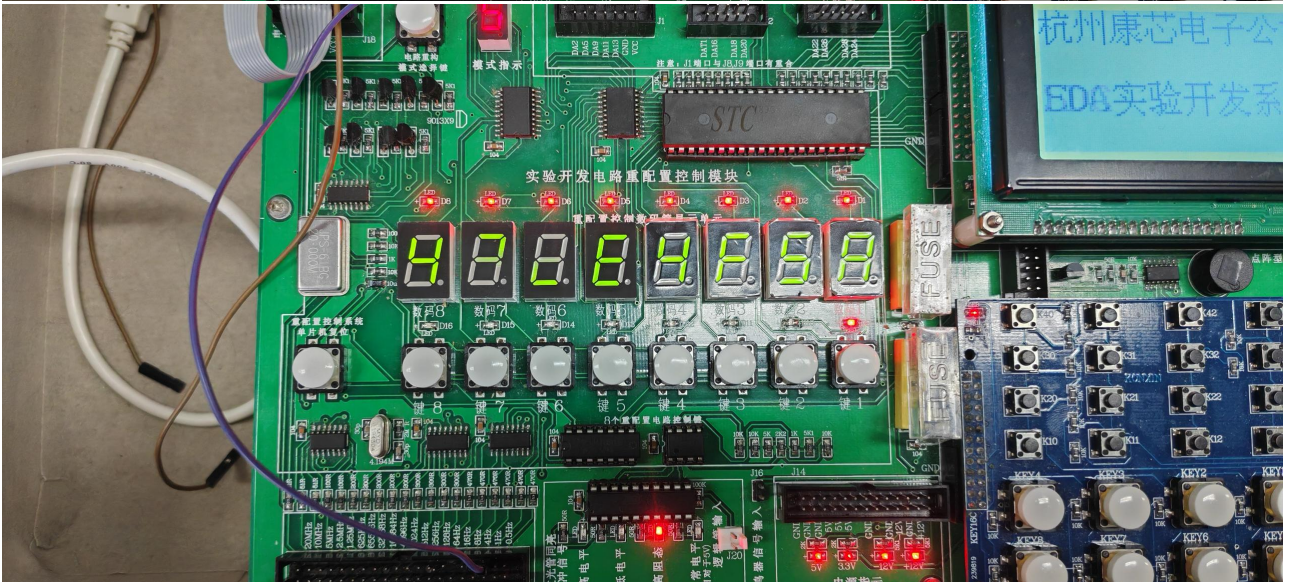
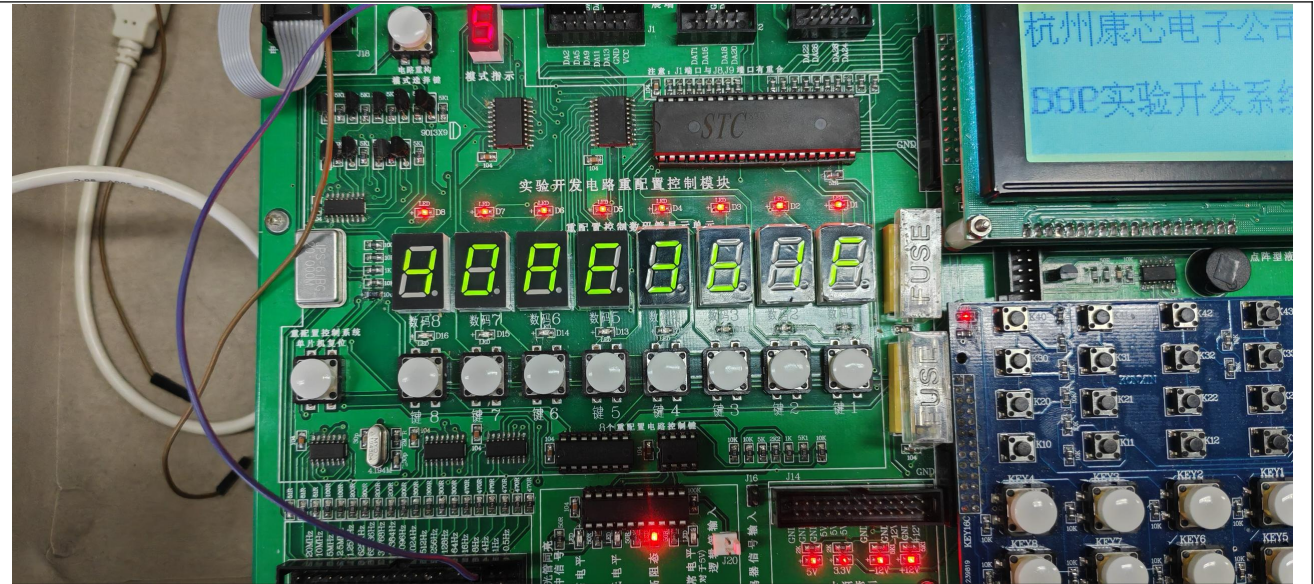
### 4、实验结果

必做实验结果：

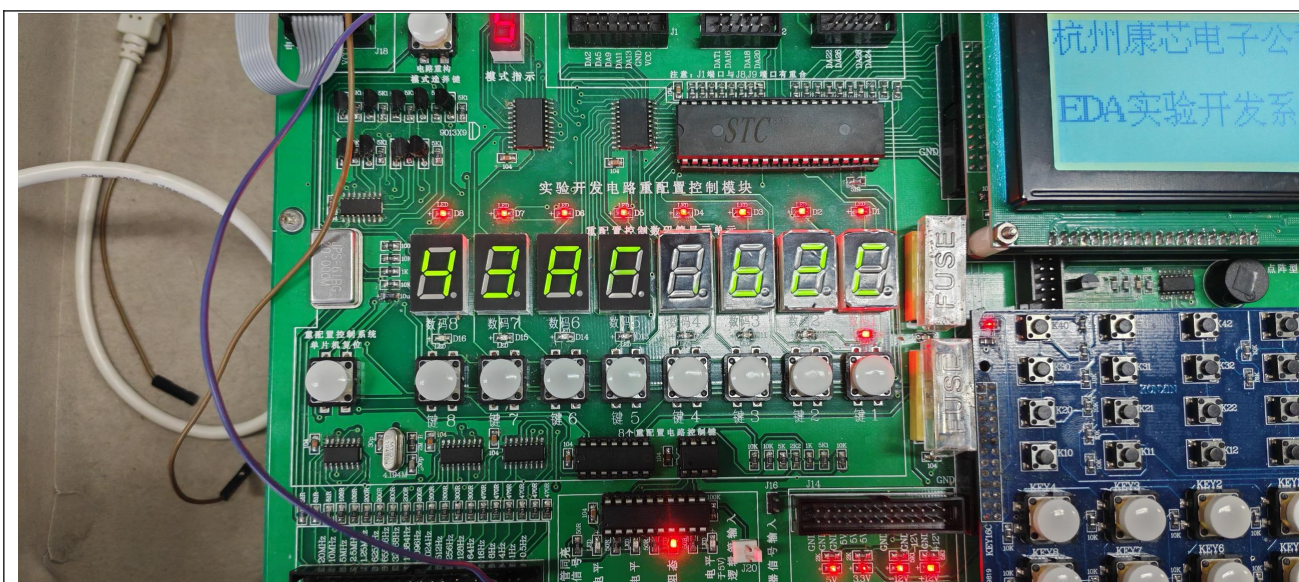
RAM 的初始化文件为：

Addr	+0	+1	+2	+3	+4	+5	+6	+7	ASCII
0	0A3B1F	1CDA2E	3F4B5C	6E7D8A	9F2C3B	4F5E1D	2A3B4C	7C8D9E	.....
8	8E9F0A	1B2C3D	3E4F5A	5A6B7C	8C9D0B	2F3E1A	4B5C6D	3A1B2C	.....
16	5E7D8F	7B8A9C	6D4C3B	9A8B7C	0F1E2D	1C2B3A	4E3D2C	7F5E4D	.....
24	4A3B2C	2D1C0B	9E8F7A	3C2D1E	1A2B3C	5C4D9E	7E6F0A	8D9C8B	.....
32	2F3E4D	0C1B2A	5F6E0D	4C3B7A	2D1E3F	9A8B57	6C9D0E	1E2F4A	.....
40	5B6C3D	0A1B4E	3C7D1F	9E5F2A	6F8B0C	8D3E9A	1C4D7B	2A3B8F	.....
48	5E1C6D	0F2E3B	4C6D8A	3A5F0D	9B8C2F	6D0E7B	1A2B3F	4F8D6C	.....
56	5E0C9B	3D2A4E	7A1F9C	6C9D8E	2B3A5F	0E1C9D	4C5B6A	7D8F3A	.....
64	1F2C8E	8B4A0D	9C5E3B	3E2D1A	5A4B8C	6F0C7D	0D2A3E	1E9C5F	.....
72	7B8A1D	3D4C6B	9A2F8E	4A5B0C	6F8D2E	1C5B3A	3E7D4A	2B1A6C	.....
80	0A4C5F	5E7D2B	6B8A0F	7D4C1E	9E3B2A	1A5C4D	4F1E3A	8C3D9E	.....
88	2C6B7F	5D0E1A	7E4F2C	3A1B8D	9B5C6E	0E2A4F	1C9B7D	6B3A2E	.....
96	5F7D8C	3C9F4B	8D1A0E	2F3B5C	6A5C2D	1E0A9F	9B2D3A	4C8F7E	.....
104	0A2E1F	8D5B9C	1F0E3D	3C2B4A	5E1C7D	6B8A0F	2F4D3C	9D8C5E	.....
112	4A0B3F	1C6D5A	7E2F8D	3B1A4C	5F9E0B	6C7D2A	9A1B8F	0E4C3D	.....
120	1D2C6A	8B4F5E	3C2F1A	6E1D3B	9F8C5A	0A2B7D	2D4C8E	5E3A4F	.....
128	4B7D8C	3D1F0E	6E3A2B	7C9D1E	8F5B4A	2C3B9D	1A7E0D	5F3C2A	.....
136	4E2D8B	0A5F9C	9A1C7E	6D8B3F	1B5C2D	3E4F1A	8D6B9E	7C0A5D	.....
144	0E4F2A	1C8B3D	5E3A1F	4C7D9E	2A1E8B	6F8D0D	9B3C1F	3F0E8D	.....
152	7D4A9C	2B5E3A	0C6D0D	8A2B1E	1F4C3A	5E0B7D	3D8F1C	7E5B2A	.....
160	9C3B4D	2D0E8C	4B9D5F	1A5C2E	8F3E1D	6D1A4F	0C7B3A	9E5F1C	.....
168	5A2B4D	1F0C8B	3C6D2E	7D1E3A	6E4C9B	2F3B1D	4B8A5C	8C5D2B	.....
176	0E3A9F	1A2F6B	6C4B8E	7D1E3C	5F9C8A	2B4D6E	1E5F9D	9D3A4C	.....
184	4C6D8B	3F0B1E	8E2A7D	6B5C9F	5A4F1E	2D1C0A	0E8A3B	7D4B6C	.....
192	9B2F0E	1E3C5A	4B5E6D	8D1A2F	3C9F4A	2F1D8B	5E3B0C	6B8C4D	.....
200	9A5C1E	0E8A3B	4F2D6C	1A0B9E	8D3E5F	7C4B2A	3F1E0D	2B8A6C	.....
208	5A3E9D	1B9C2E	6D0A4B	0C3F9E	7E2D1A	4C5B2D	3A8D0F	1E0F2A	.....
216	9B3A4F	5F6C1D	2C1B3E	7D9E0C	8D5F2B	6B3A4D	1C7D5A	0E4F8C	.....
224	4A3B0E	8D5F7A	1F0C4E	9A1B8C	3E7D2A	5A5C9D	0E1F3B	6F2C8D	.....
232	2B4D1A	7E9F6C	1C5B4D	3F2A9E	5A3C8B	9E1B3F	0C5D2A	4F7A1E	.....
240	6B2D5C	3C4E9A	1F0C8B	5A3A2E	2E4C9B	7F1A0D	9D8B5F	4C8A1E	.....
248	1B3F0D	0E2A6C	8D7F9E	5B4C3A	3E5F1D	2D1C7B	6C9E4A	1F3B8D	.....









效果描述为：

CPU 随着时钟从第一条指令开始依次读出 RAM 中的指令，此处展示的是抓拍到的部分指令。

结论分析与体会：

根据结果分析，实验平台的实验结果与预测结果一致，故成功完成了控制器的设计。

主要体会是，通过结构化的设计电路，将一条指令拆分成多个部分，用这些控制信息去调控计算原件的计算行为，用这种方式去设计指令集，这是当前 CPU 架构设计的主要模式，这种方式非常灵活且高效，并且能让同一架构的 CPU 共享一套相同的指令集，对软件开发也有着重要的意义。