山东大学计算机科学与技术学院

计算机组成与设计课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202300130183 | 姓名： 宋浩宇 | | 班级： 23级人工智能 |
| 实验题目： 控制器实验 | | | |
| 实验学时： 2 | | 实验日期： 2024/12/24 | |
| 实验目的：  掌握控制器的工作原理和实现方式。 | | | |
| 硬件环境：  13th Gen Intel(R) Core(TM) i9-13980HX 2.20 GHz  32.0 GB (31.6 GB 可用)  康芯KX-CDS FPGA平台  芯片Cyclong IV E EP4CE6E22C8 | | | |
| 软件环境：  Windows 11 家庭中文版23H2 22631.4317  Intel Quartus II 13.0sp1(64 bit) | | | |
| 实验内容与设计：  1、实验内容  设计控制存储器并初始化；利用采用微程序实现，读取并验证控制存储器的内容。  2、实验原理图  必做实验原理图：  原理图  必做实验引脚图：  引脚图   1. 实验步骤   必做实验步骤：   1. 原理图输入：从元件库中选取合适的元件以及使用 MegaWizard Plug-In Manager 编辑 2. RAM 存储器完成原理图的输入 3. 管脚锁定：用单脉冲驱动μPC的计数脉冲CPPC、μRD、CPμIR。将μPC的8位输出锁定在A7－A0上。实验平台工作于模式5，将单脉冲锁定于键8，将μPC的复位端CLR锁定在键7，输出UIR的24位接数显3—数显8。 4. 原理图编译、适配和下载：在QuartusⅡ环境中选择Cyclong IV E EP4CE6E22C8器件，进行原理图的编译和适配，无误后完成下载。 5. 功能测试：利用开关与指示灯和 In-System Memory Content Editor 工具测试结果，并分析结果的正确性。   4、实验结果  必做实验结果：  RAM的初始化文件为：  RAM初始化文件  效果图1  效果图2  效果图3  效果图4  效果描述为：  CPU随着时钟从第一条指令开始依次读出RAM中的指令，此处展示的是抓拍到的部分指令。 | | | |
| 结论分析与体会：  根据结果分析，实验平台的实验结果与预测结果一致，故成功完成了控制器的设计。  主要体会是，通过结构化的设计电路，将一条指令拆分成多个部分，用这些控制信息去调控计算原件的计算行为，用这种方式去设计指令集，这是当前CPU架构设计的主要模式，这种方式非常灵活且高效，并且能让同一架构的CPU共享一套相同的指令集，对软件开发也有着重要的意义。 | | | |