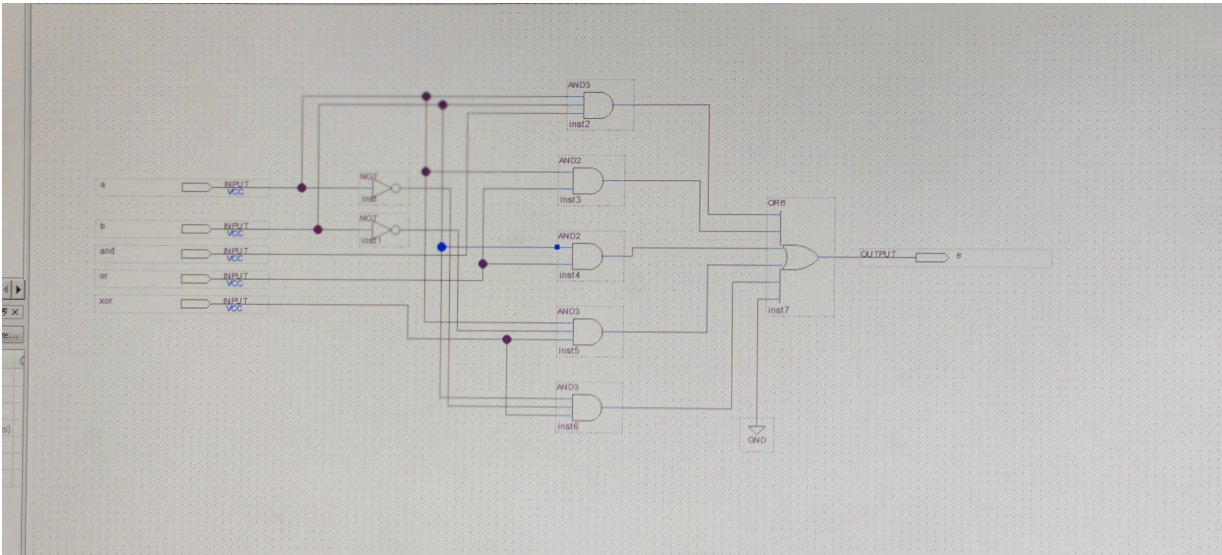
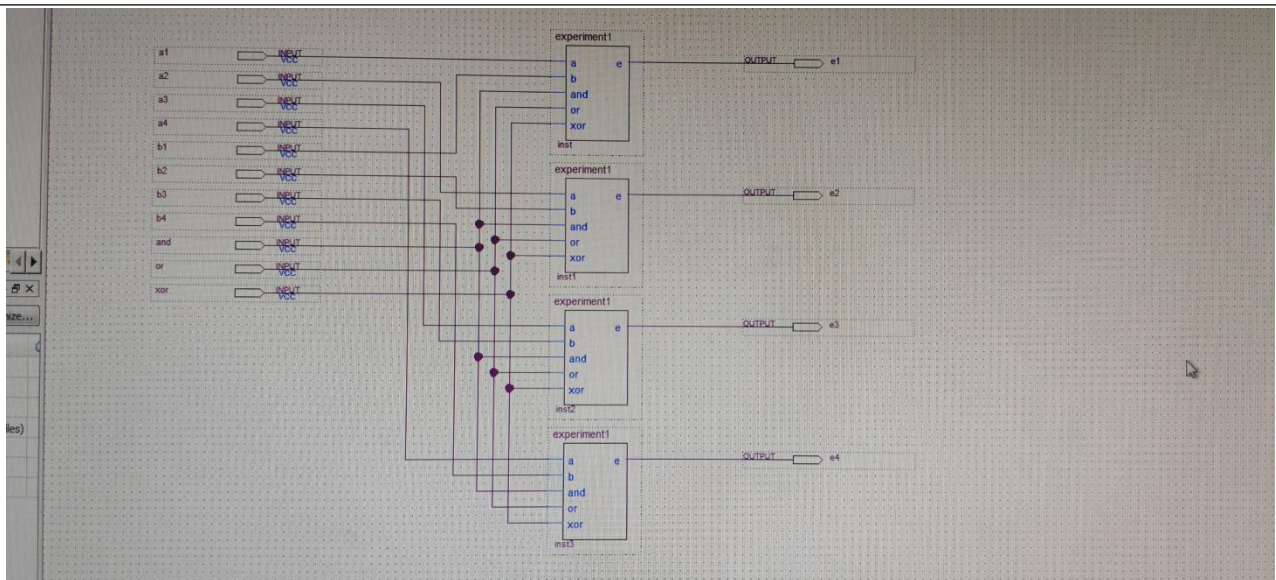


山东大学计算机科学与技术学院

计算机组成与设计课程实验报告

学号：202300130183	姓名： 宋浩宇	班级： 23 级人工智能
实验题目： 实验 2 逻辑运算电路		
实验学时： 2	实验日期： 2024/9/24	
实验目的： 本实验要求设计一个能实现 1 位逻辑乘 ab、逻辑或 a+b、半加 (a⊕b) 的逻辑运算电路。选作： 2 个四位数据的逻辑运算。		
硬件环境： Intel (R) Core(TM) i7-6700 CPU @ 3.40 GHz 8.00 gb (7.89 GB 可用) 康芯 KX-CDS FPGA 平台 芯片 Cyclong IV E EP4CE6E22C8		
软件环境： Windows 7 专业版 64 位操作系统 Intel Quartus II 13.0sp1(64 bit)		
实验内容与设计：		
1、实验内容		
本实验要求设计一个能实现 1 位逻辑乘 ab、逻辑或 a+b、半加 (ab) 的逻辑运算电路。其中参与运算的两个 1 位二进制数为 a 和 b，and、xor 和 or 分别为与运算、异或运算和或运算控制输入端。选做： 2 个四位数据的逻辑运算。		
2、实验原理图		
必做实验原理图：		
		
选做实验原理图：		



3、实验步骤

必做实验步骤：

(1) 原理图输入：根据实验指导所示电路，完成逻辑运算的电路原理图设计。

(2) 管脚锁定：完成原理图中输入、输出的管脚锁定。

使平台工作于模式 5，将 a 操作数锁定在键 1 上；将 b 操作数锁定在键 2 上；将输出 e 锁定在 D1 上；将与运算控制输入 and 端锁定在键 3 上；将或运算控制输入 or 端锁定在键 4 上；将异或运算控制输入 xor 端锁定在键 5 上。

(3) 原理图编译、适配和下载：在 Quartus II 环境中选择 Cyclone IV E EP4CE6E22C8 器件，进行原理图的编译和适配，无误后完成下载。

(4) 功能测试：利用输入开关及发光二极管 LD 测试逻辑运算部件的功能并记录测试结果。

(5) 生成元件符号。

选做实验步骤：

(1) 元件导入：导入必做实验中设计好的元件。

(2) 实验模块链接：链接好实验平台中的八位电平信号输出控制模块。

(3) 原理图设计：根据需求完成四位逻辑运算电路原理图的设计。

(4) 管脚锁定：完成原理图中输入输出的管脚锁定。

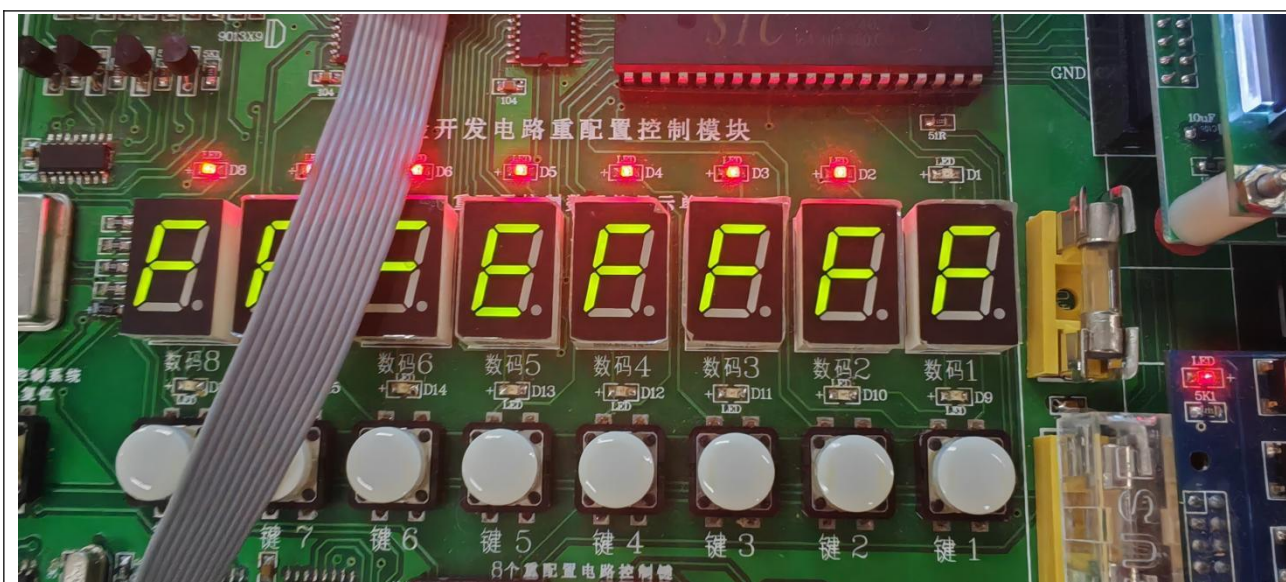
使平台工作于模式 5，将 a1、a2、a3、a4 操作数分别锁定在 DB1、DB3、DB5、DB6 端口；将 b1、b2、b3、b4 操作数分别锁定在 DB7、DB8、DB9、DB10 端口；将与运算控制输入 and 端锁定在键 1 上；将或运算控制输入 or 端锁定在键 2 上；将异或运算控制输入 xor 端锁定在键 3 上；将输出 e1、e2、e3、e4 分别锁定在 D1、D2、D3、D4 上。

(5) 原理图编译、适配和下载：在 Quartus II 环境中选择 Cyclone IV E EP4CE6E22C8 器件，进行原理图的编译和适配，无误后完成下载。

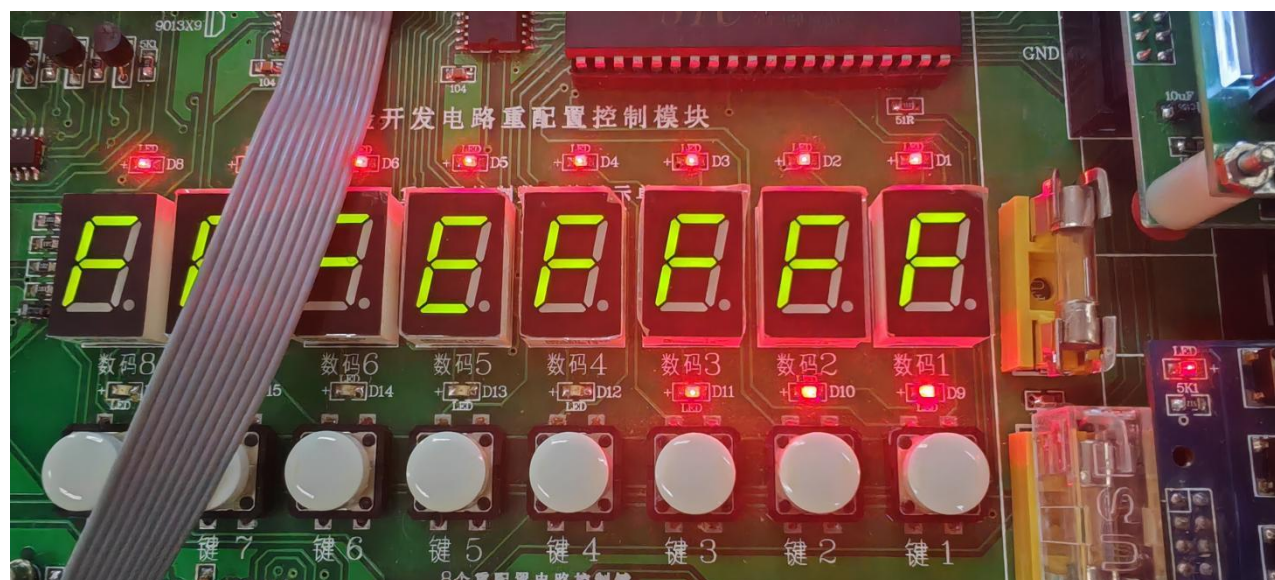
(6) 功能测试：八位电平信号输出控制模块和输入按键及发光二极管 LD 测试逻辑运算部件功能并记录测试结果。

4、实验结果

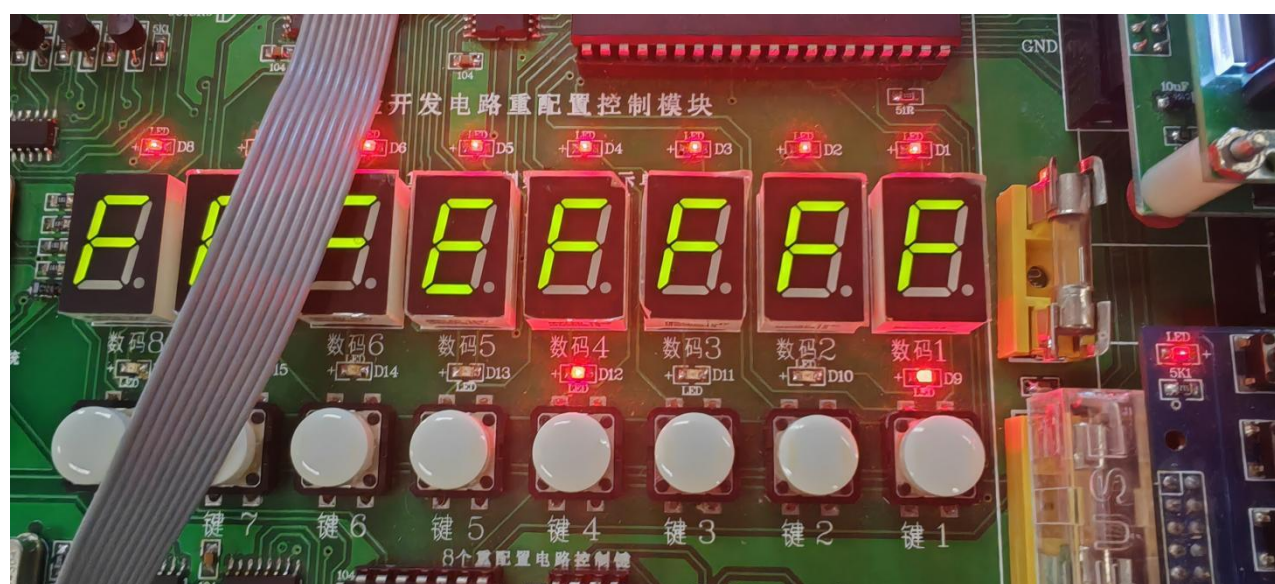
必做实验结果：



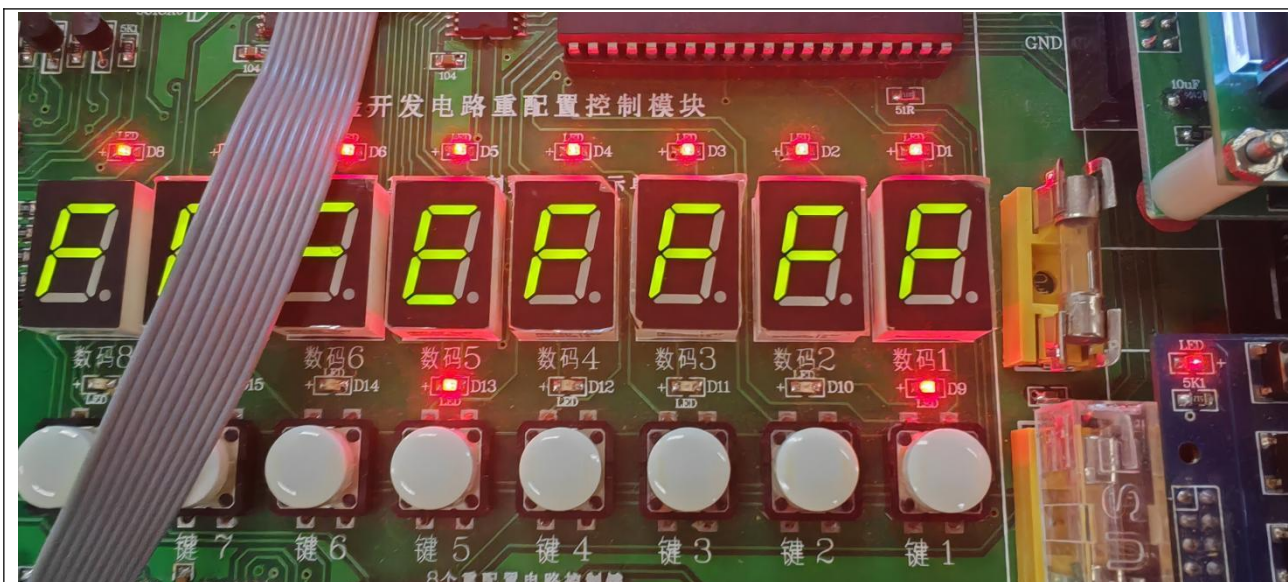
效果描述 (a、b、and、or、xor→e): 00000→0



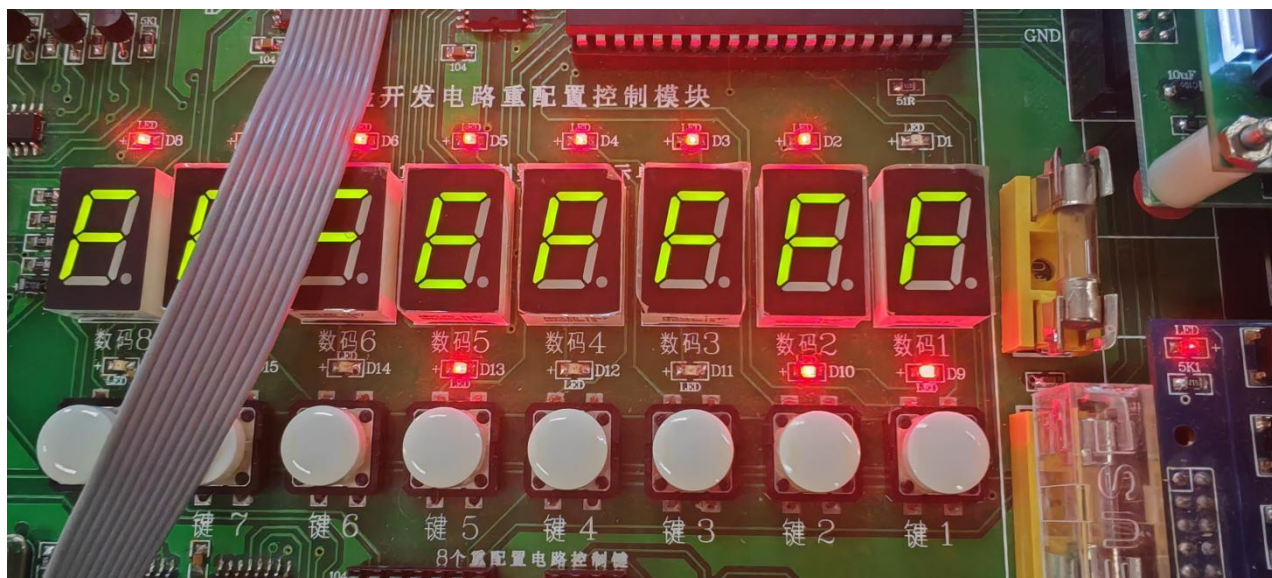
效果描述 (a、b、and、or、xor→e): 11100→1



效果描述 (a、b、and、or、xor→e): 10010→1

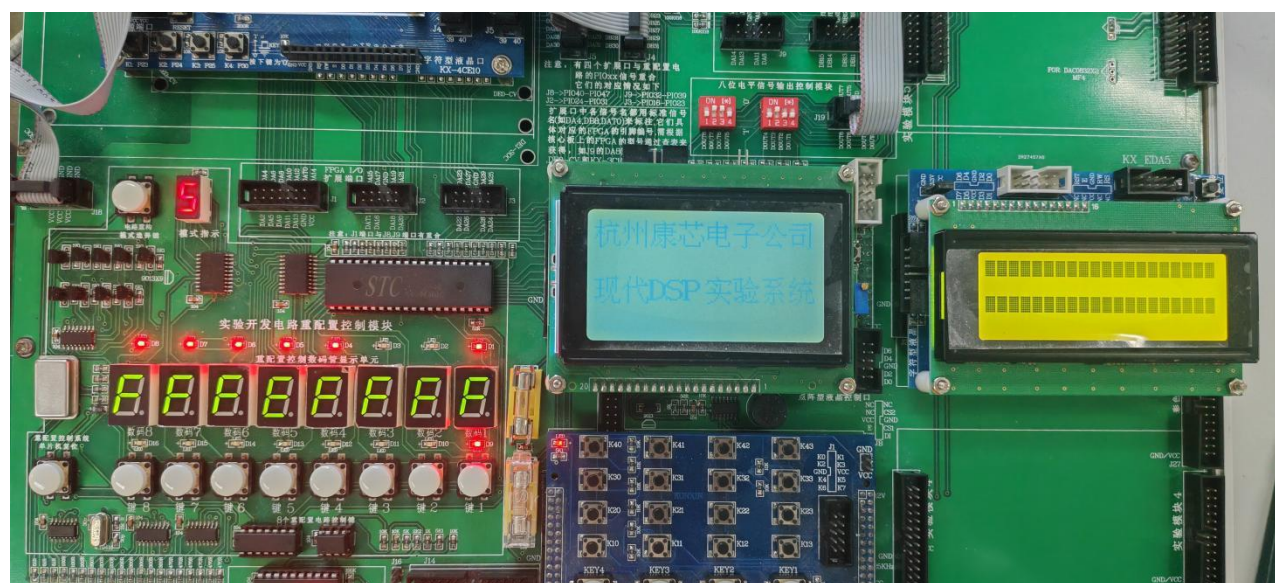


效果描述 (a、b、and、or、xor→e): 10001→1

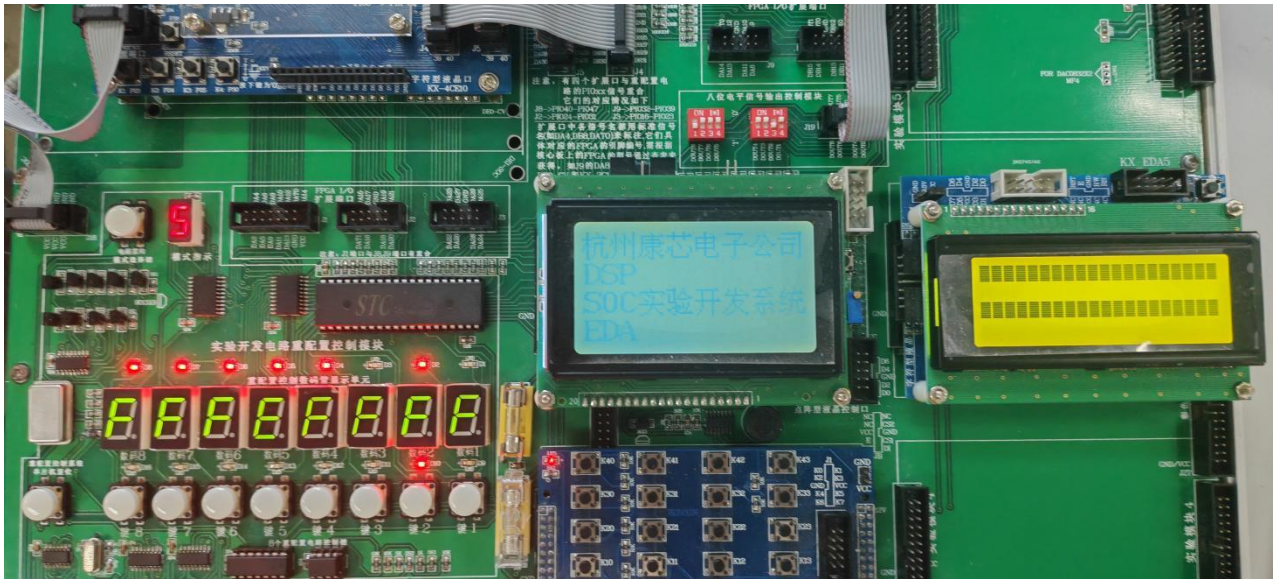


效果描述 (a、b、and、or、xor→e): 11001→0

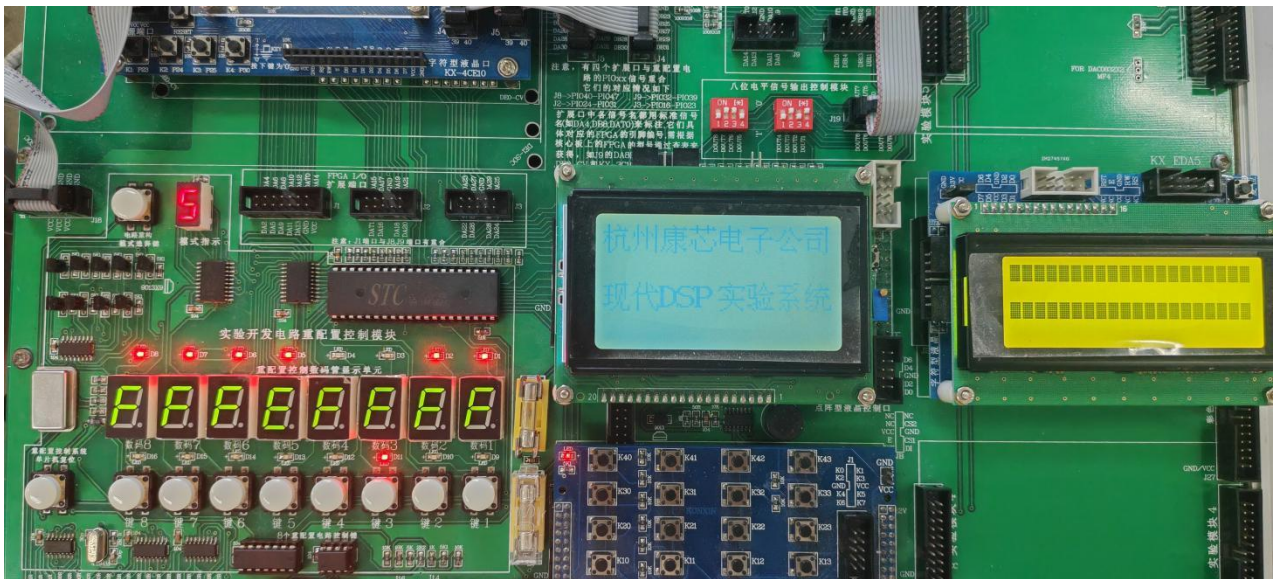
选做实验结果:



效果描述 (a1、a2、a3、a4; b1、b2、b3、b4; and、or、xor→e1、e2、e3、e4):
1101; 1001; 100→1001



效果描述 (a1、a2、a3、a4; b1、b2、b3、b4; and、or、xor→e1、e2、e3、e4):
0100; 0001; 010→0101



效果描述 (a1、a2、a3、a4; b1、b2、b3、b4; and、or、xor→e1、e2、e3、e4):
0101; 1001; 001→1100

结论分析与体会:

根据结果分析,实验平台的测试结果与预期结果一致,故成功完成一位逻辑运算器和四位逻辑运算器的设计。目前仍在学习 Quartus II 软件的使用方式,而其中可以将已经设计好的电路导出为元件的功能为自底向上的设计提供了优秀的平台。