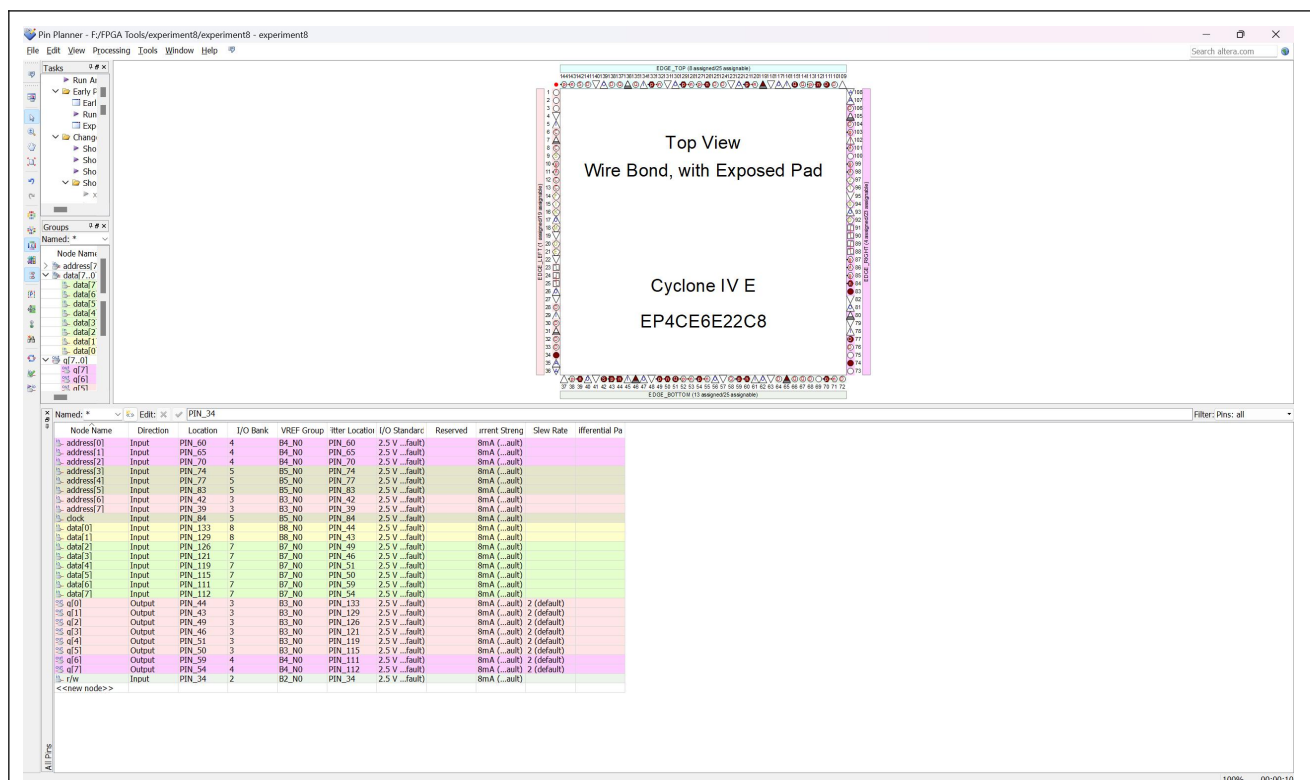


山东大学计算机科学与技术学院

计算机组成与设计课程实验报告

学号：202300130183		姓名：宋浩宇	班级：23 级人工智能
实验题目：RAM 实验			
实验学时：2		实验日期：2024/11/19	
实验目的： 1、了解 FPGA 中 RAM 的功能； 2、掌握 RAM 的参数设置和使用方法； 3、掌握作为随机存储器 RAM 的仿真测试方法，工作特性和读写方法。			
硬件环境： 13th Gen Intel (R) Core(TM) i9-13980HX 2.20 GHz 32.0 GB (31.6 GB 可用) 康芯 KX-CDS FPGA 平台 芯片 Cyclong IV E EP4CE6E2208			
软件环境： Windows 11 家庭中文版 23H2 22631.4317 Intel Quartus II 13.0sp1 (64 bit)			
实验内容与设计： 1、实验内容 在 FPGA 中利用嵌入式阵列块 EAB 可以构成存储器，RAM 的结构如图 8-1。数据从 ram_dp0 的左边 D[7..0] 输入，从右边 Q[7..0] 输出，R/W 为读/写控制信号端。当输入数据和地址准备好以后，在 inclock 是地址锁存时钟，当信号上升沿到来时，地址被锁存，数据写入存储单元。数据的读出控制是从 A[7..0] 输入存储单元地址，在 CLK 信号上升沿到来时，该单元数据从 Q[7..0] 输出。R/W 是读/写控制端，低电平时进行读操作，高电平时进行写操作；CLK 是读/写时钟脉冲信号；DATA[7..0] 是 RAM_dq0 的 8 位数据输入端；A[7..0] 是 RAM 的读出和写入地址；Q[7..0] 是 RAM_dq0 的 8 位数据输出端。 2、实验原理图 必做实验原理图：			
<div></div>			
必做实验引脚图：			



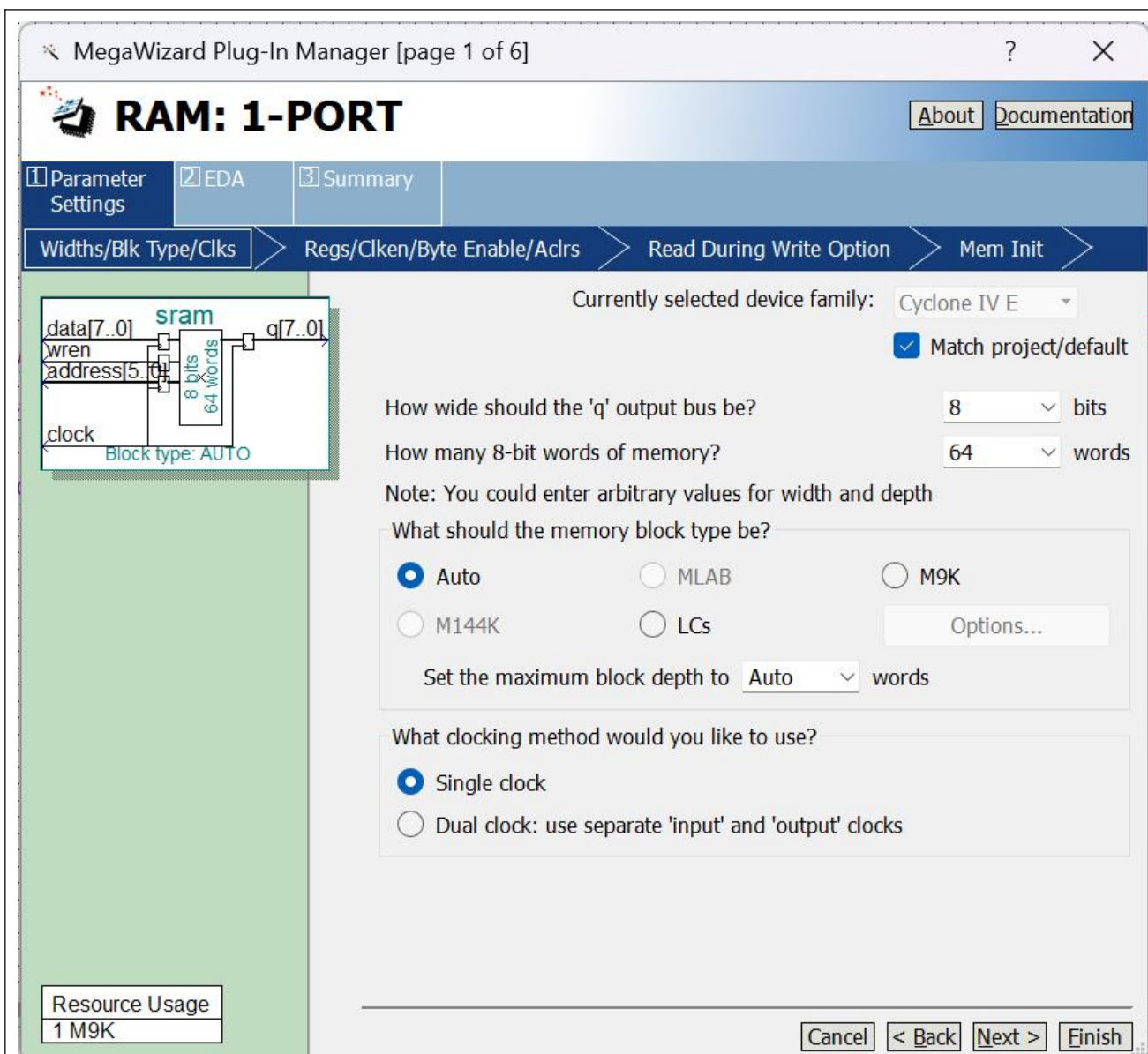
### 3、实验步骤

#### 必做实验步骤：

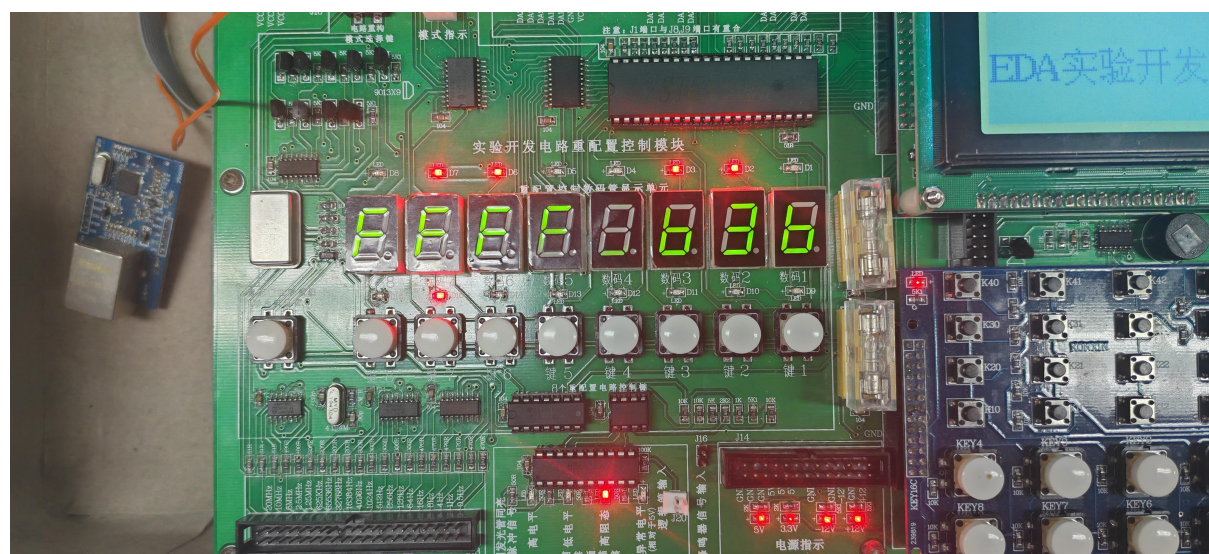
- (1) 原理图输入：(1) 从元件库中选取合适的元件以及使用 MegaWizard Plug-In Manager 编辑 RAM 存储器完成原理图的输入
- (2) 管脚锁定：通过键 1、键 2 输入 RAM 的 8 位数据（选择实验台工作模式 1），键 3、键 4 输入存储器的 8 位地址。键 8 控制读/写允许，低电平时读允许，高电平时写允许；键 7（CLK0）产生读/写时钟脉冲，即生成写地址锁存脉冲，对 RAM 进行写/读操作；
- (3) 原理图编译、适配和下载：在 Quartus II 环境中选择 Cyclone IV E EP4CE6E22C8 器件，进行原理图的编译和适配，无误后完成下载。
- (4) 功能测试：利用开关与指示灯测试结果，并分析结果的正确性。

### 4、实验结果

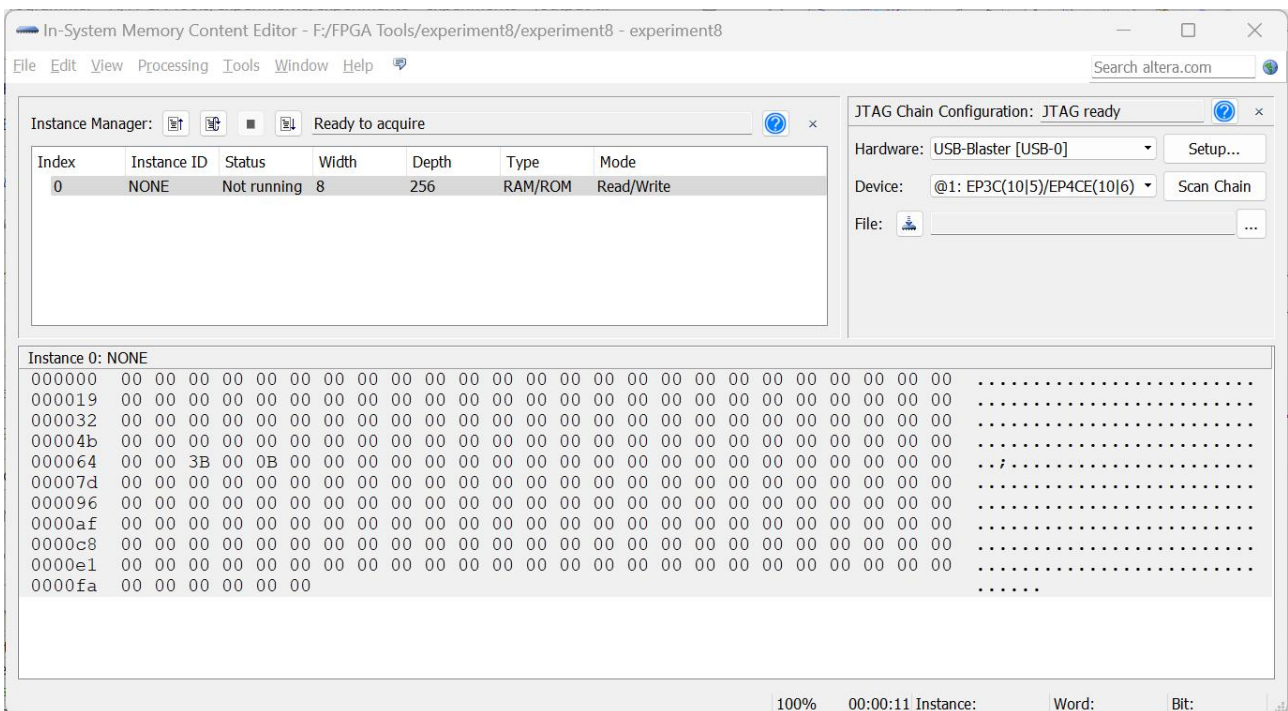
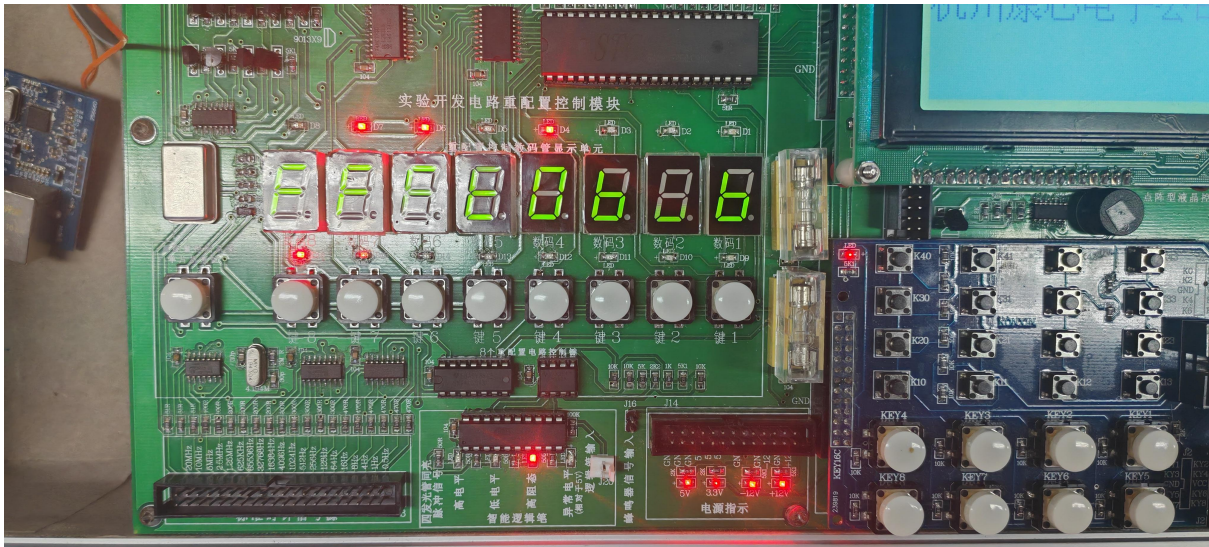
使用的 RAM 元件的部分信息如下：



必做实验结果：







效果描述为：

向地址为 01100110 处输入数据 3b

向地址为 01101000 处输入数据 0b

结论分析与体会：

根据结果分析，实验平台的实验结果与预测结果一致，故成功完成了 RAM 实验。

主要体会是，了解了在 quartus ii 中编辑 RAM 元件的方法，掌握了 RAM 元件的参数设置方法以及了解了其仿真情况下的特性和原理。In-System Memory Content Editor 和 MegaWizard Plug-In Manager 确实很好用，且经过这个实验之后也理解了总线工具怎么使用了，quartus ii 的总线仅靠名称进行绑定的设计并不好，可以想象这个方式对于编程来说非常友好，但对于通过原理图进行输入，实际上是使用起来比较不便的。