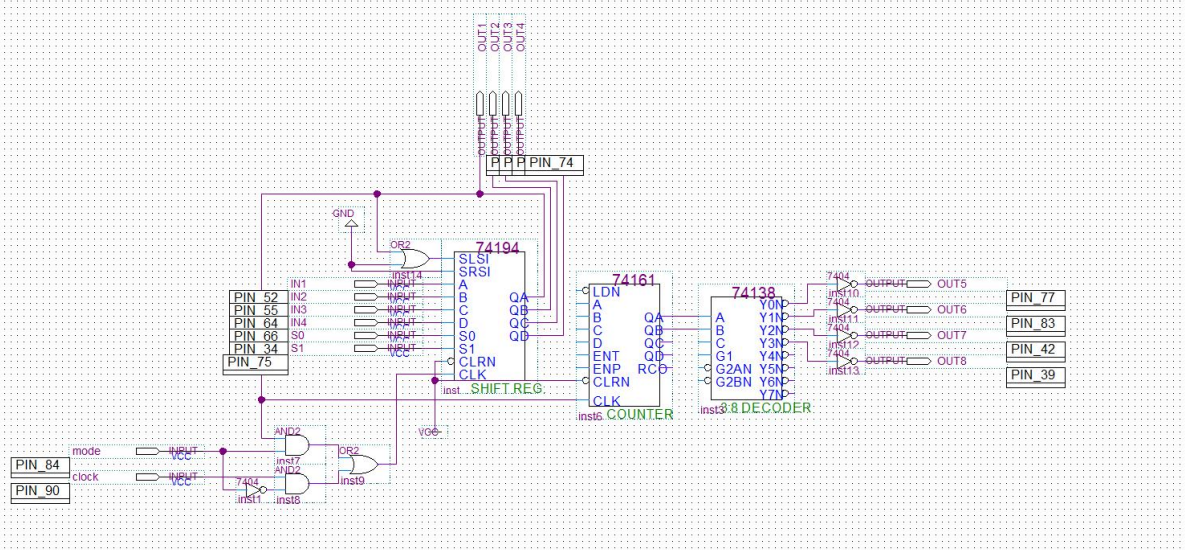
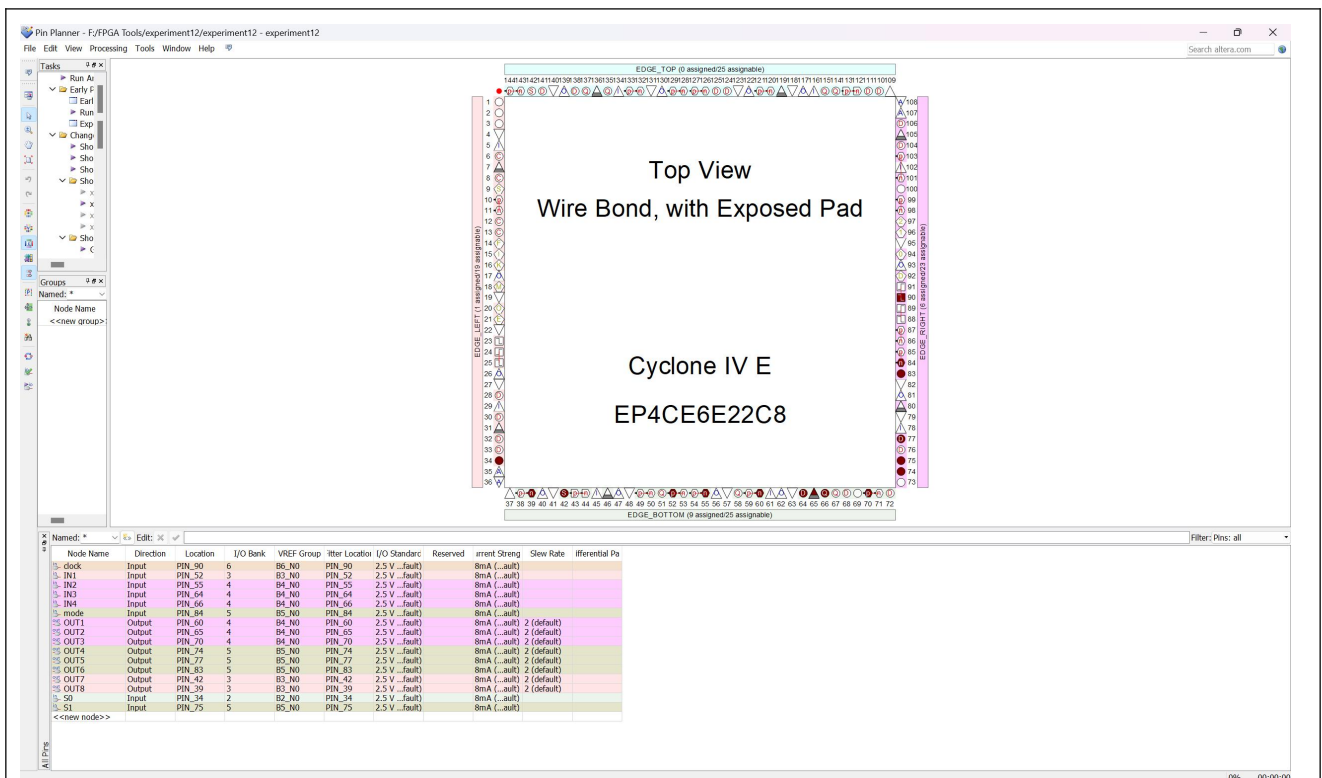


山东大学计算机科学与技术学院

计算机组成与设计课程实验报告

学号：202300130183	姓名： 宋浩宇	班级： 23 级人工智能
实验题目： 时序系统实验		
实验学时： 2	实验日期： 2024/12/17	
实验目的： 掌握计算机实验中时序系统的设计方法。设计一个基本时序系统，该系统具有 4 个节拍电平及四相工作脉冲。		
硬件环境： 13th Gen Intel(R) Core(TM) i9-13980HX 2.20 GHz 32.0 GB (31.6 GB 可用) 康芯 KX-CDS FPGA 平台 芯片 Cyclong IV E EP4CE6E22C8		
软件环境： Windows 11 家庭中文版 23H2 22631.4317 Intel Quartus II 13.0sp1 (64 bit)		
实验内容与设计： 1、实验内容 设计一个基本时序系统，该系统具有 4 个节拍电平及四相工作脉冲。 2、实验原理图 必做实验原理图：		
		
必做实验引脚图：		



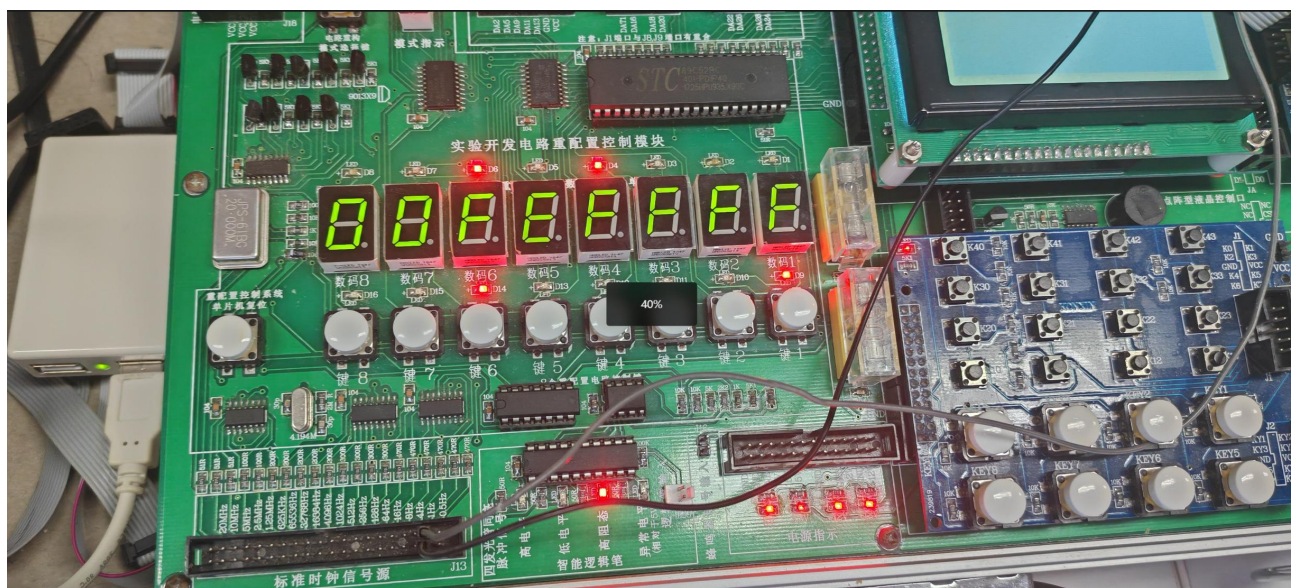
3、实验步骤

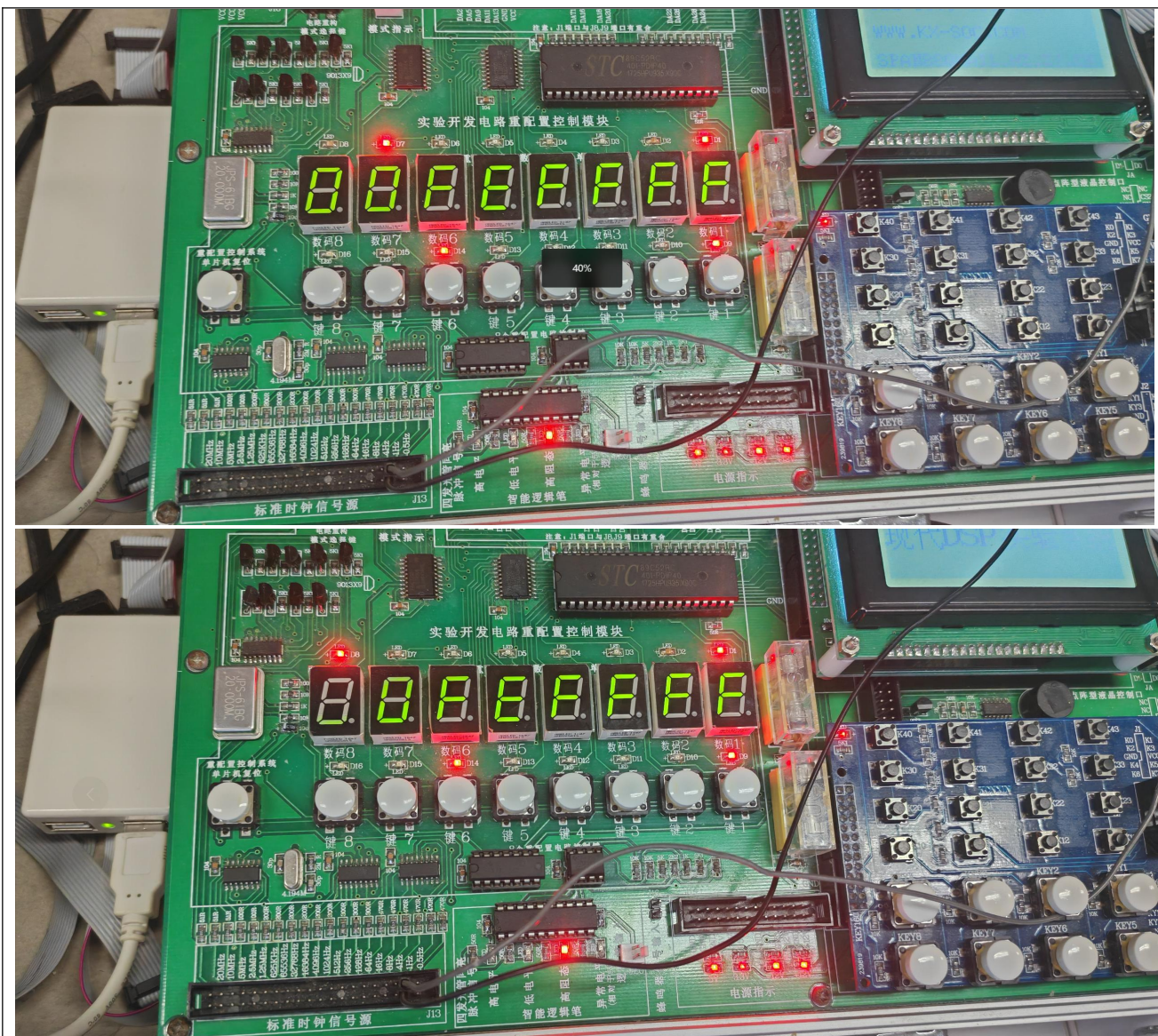
必做实验步骤：

- (1) 原理图输入：从元件库选择合适的器件完成原理图的输入
- (2) 管脚锁定：实验台工作模式设置为 5，初始数据输入绑定到键 4-1，移位器控制位 S0、S1 绑定到键 8、7，clock 绑定到 clockB0，输出绑定到 D8-D1
- (3) 原理图编译、适配和下载：在 Quartus II 环境中选择 Cyclone IV E EP4CE6E22C8 器件，进行原理图的编译和适配，无误后完成下载。
- (4) 功能测试：利用开关和指示灯测试结果，并分析结果的正确性。

4、实验结果

必做实验结果：





效果描述为：

此处展示的是，右侧指示灯表示的一个周期结束后，左侧指示灯移动一位。

结论分析与体会：

根据结果分析，实验平台的实验结果与预测结果一致，故成功完成了时序系统的设计。

主要体会是，这种时序系统可以实现对于一些异步不同工作周期的元件的控制，来实现一些特殊场景下的需求，且根据这种时序系统的设计原理，这个周期的时间可以进一步的延长，只要继续叠加就可以了。并且根据这种叠加的方式，还可以将一个固定周期的时钟信号转化为不同周期的时钟信号。