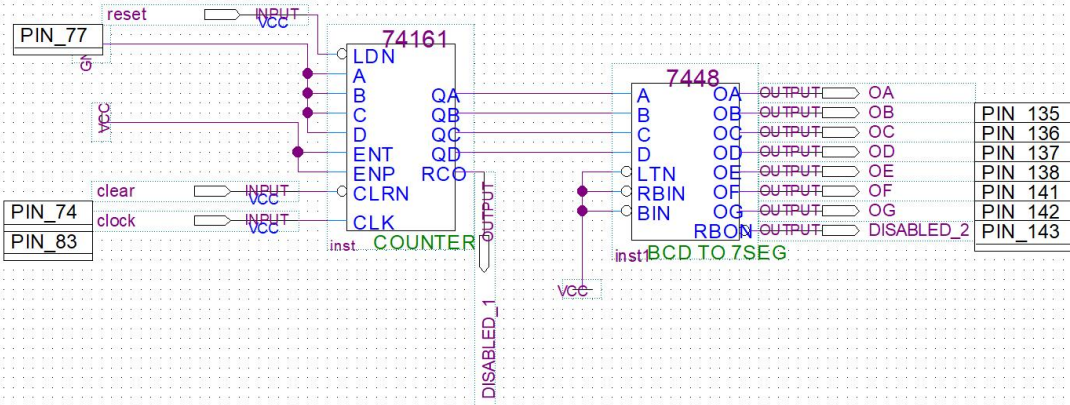
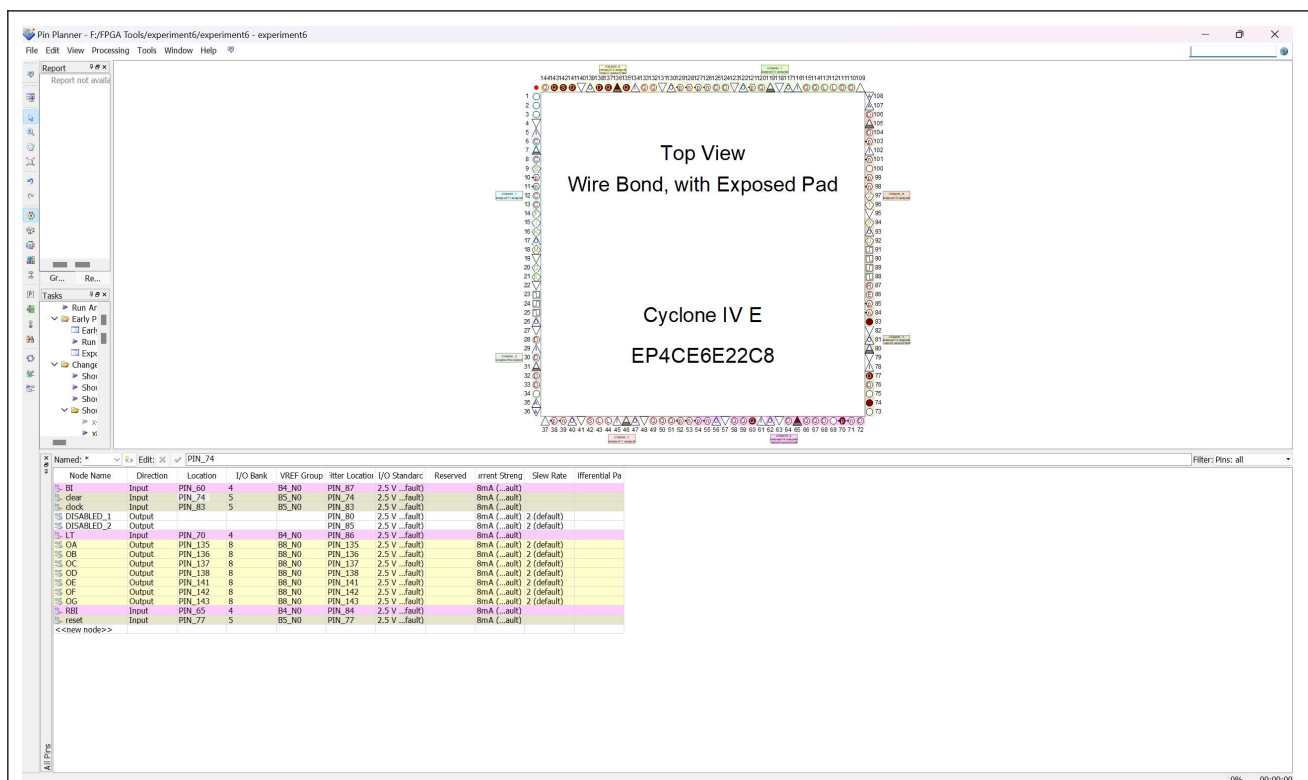


山东大学计算机科学与技术学院

计算机组成与设计课程实验报告

学号：202300130183	姓名：宋浩宇	班级：23 级人工智能
实验题目：实验 6 七段译码设计		
实验学时：2	实验日期：2024/11/5	
实验目的： 熟悉 Quartus II 的设计流程全过程，学习计数器的设计和硬件测试。掌握原理图的设计方法。		
硬件环境： 13th Gen Intel(R) Core(TM) i9-13980HX 2.20 GHz 32.0 GB (31.6 GB 可用) 康芯 KX-CDS FPGA 平台 芯片 Cyclong IV E EP4CE6E22C8		
软件环境： Windows 11 家庭中文版 23H2 22631.4317 Intel Quartus II 13.0sp1 (64 bit)		
实验内容与与设计： 1、实验内容 本实验要求设计一个能够实现 4 位计数器连接 7 段译码，多数码管进行显示控制。 2、实验原理图 必做原理图：		
		
必做实验引脚图：		

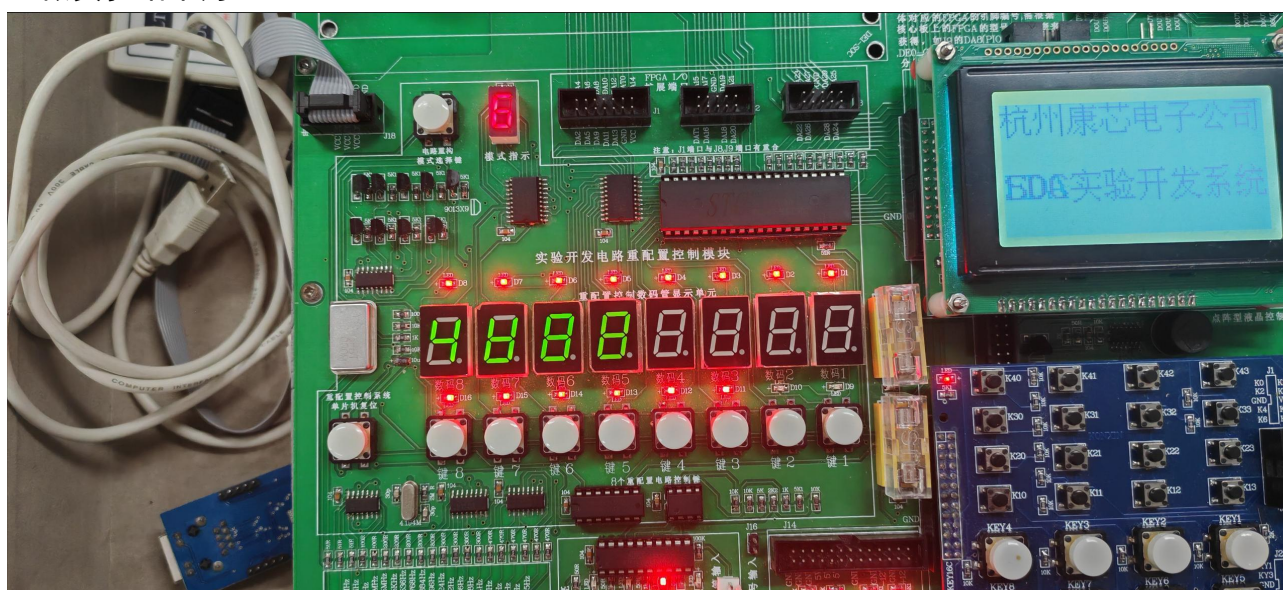


3、实验步骤

- (1) 原理图输入：从元件库中选取合适的元件完成原理图的输入
- (2) 管脚锁定：使实验平台工作于模式 6，锁定引脚并硬件下载测试，输入引脚 clock0 绑定于键 8，输入引脚 rst0 绑定于键 7，清零引脚绑定于键 6，输出引脚 led[6..0] 绑定于数码 8。
- (3) 原理图编译、适配和下载：在 Quartus II 环境中选择 Cyclone IV E EP4C6E22C8 器件，进行原理图的编译和适配，无误后完成下载。
- (4) 功能测试：利用开关与指示灯测试结果，并分析结果的正确性。

4、实验结果

必做实验结果为：



效果描述：

输入：

BI/RB0:1

LT:1

RBI:1

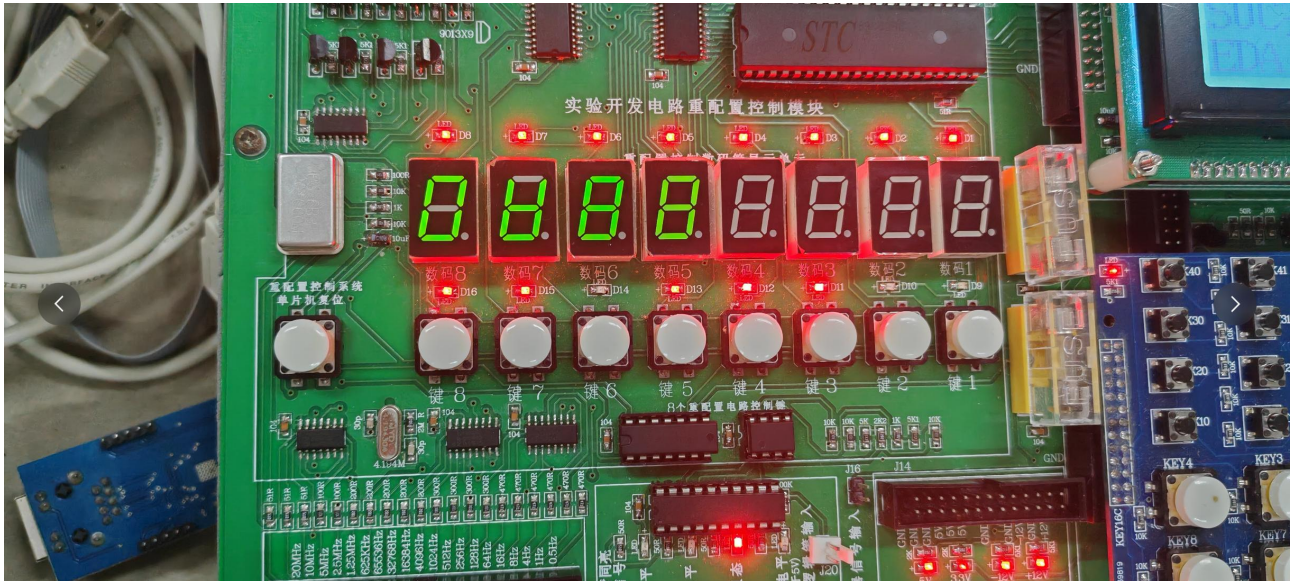
LDN:1

Clear:1

Clock 端输入脉冲: 1111

输出:

显像管显示: 4



效果描述:

BI/RB0:1

LT:1

RBI:1

LDN:1

Clear:0

Clock 端输入脉冲: 1111

输出:

显像管显示: 0

结论分析与体会:

根据结果分析,实验平台的实验结果与预测结果一致,故成功完成了七段译码器功能的设计。主要体会是,本次实验主要使用已有的元件,为了了解这些元件是如何使用的,需要查阅元件的技术文档,这使我理解到计算机技术领域对于“黑盒”利用的程度之深,我们不关注这个元件是如何实现的,我们只关注输入和输出,这使得在制作复杂体系的时候,多人的合作变得容易,但同时也使得技术文档的重要性更加凸显。