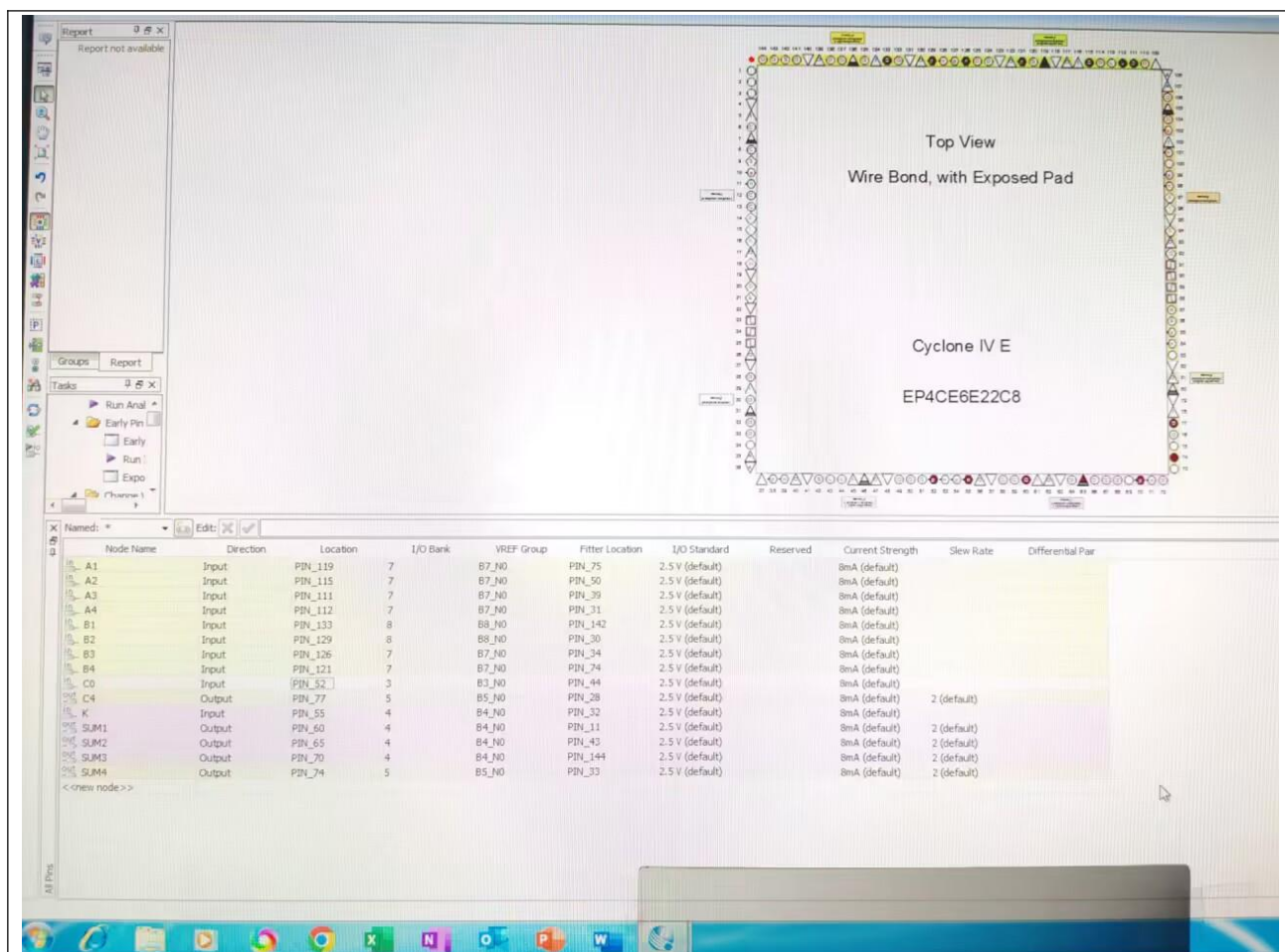


# 山东大学计算机科学与技术学院

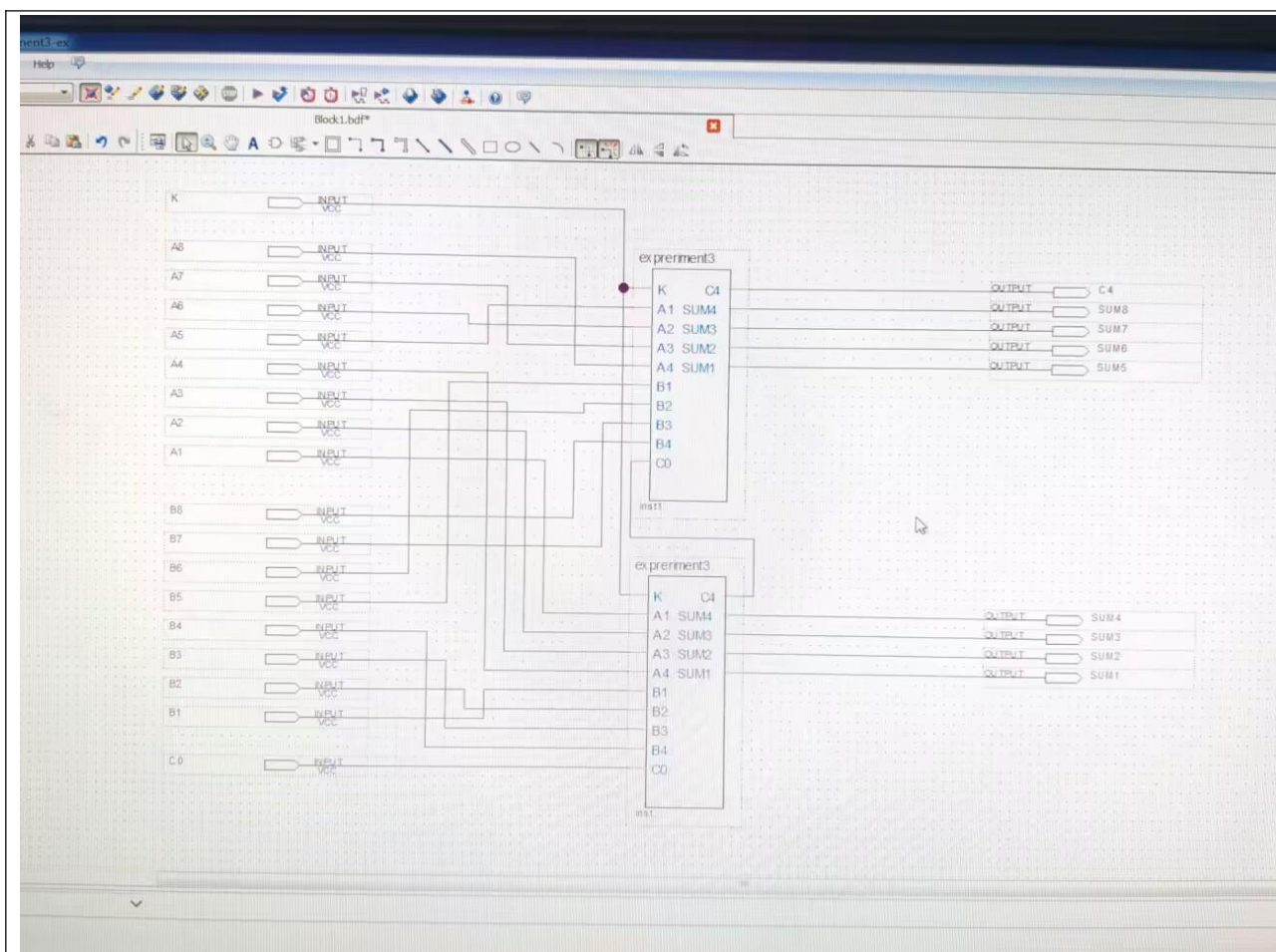
## 计算机组成与设计课程实验报告

学号：202300130183	姓名：宋浩宇	班级：23 级人工智能
实验题目：实验 3 补码加法器		
实验学时：2	实验日期：2024/10/15	
<p>实验目的：</p> <p>本实验要求采用一位全加器和异或门设计一个四位二进制补码加法器，操作数和运算结果均采用补码表示，该加法器要求可做补码加法，也可做补码减法运算。选作：2 个八位数据的补码加法器。</p>		
<p>硬件环境：Intel(R) Core(TM) i7-6700 CPU @ 3.40 GHz 8.00 gb (7.89 GB 可用) 康芯 KX-CDS FPGA 平台 芯片 Cyclong IV E EP4CE6E22C8</p>		
<p>软件环境：Windows 7 专业版 64 位操作系统 Intel Quartus II 13.0sp1(64 bit)</p>		
<p>实验内容与设计：</p> <p>1、实验内容</p> <p>本实验要求采用一位全加器和异或门设计一个四位二进制补码加法器，操作数和运算结果均采用补码表示，该加法器要求可做补码加法，也可做补码减法运算。选作：2 个八位数据的补码加法器。</p> <p>2、实验原理图</p> <p>必做实验原理图：</p>		





选做实验原理图：



### 3、实验步骤

#### 必做实验步骤：

- (1) 原理图输入：从元件库中选取相应器件实现四位补码加法器电路设计。
- (2) 管脚锁定：平台工作于模式 5，将 SUM3-SUM0、C4 依次定义在 LED 指示灯 D5-D1 上，将 K、C0、A3-A0、B3-B0 依次绑定在键 2，键 1，红色拨码开关 dout1-dout4、dout5-dout8 上。
- (3) 原理图编译、适配和下载：在 Quartus II 环境中选择 Cyclone IV E EP4CE6E22C8 器件，进行原理图的编译和适配，无误后完成下载。
- (4) 功能测试：利用输入开关键改变 K、C0 和 A、B 操作数的值，看 LED 指示灯显示的结果是否正确并记录结果。
- (5) 生成元件符号。

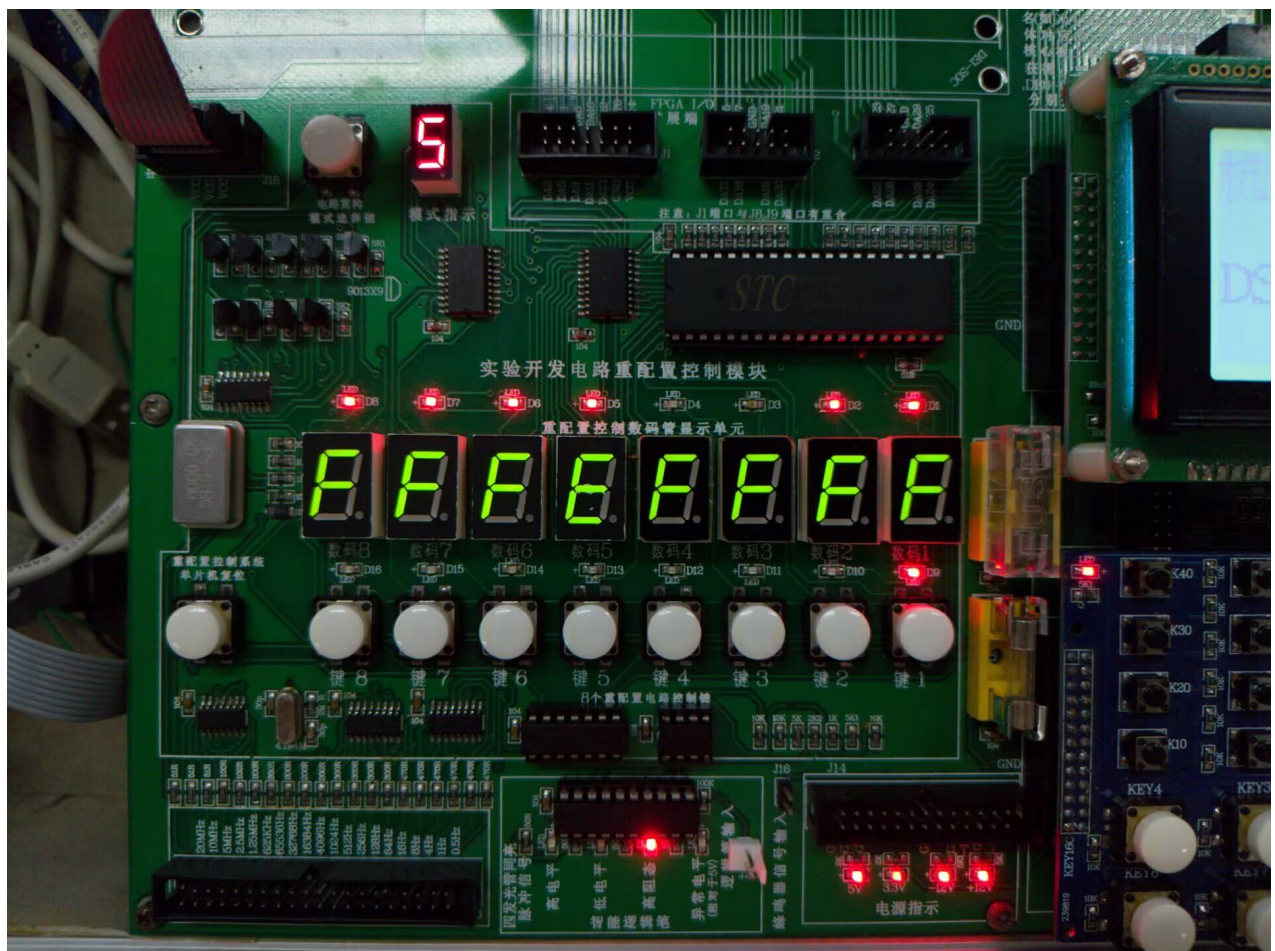
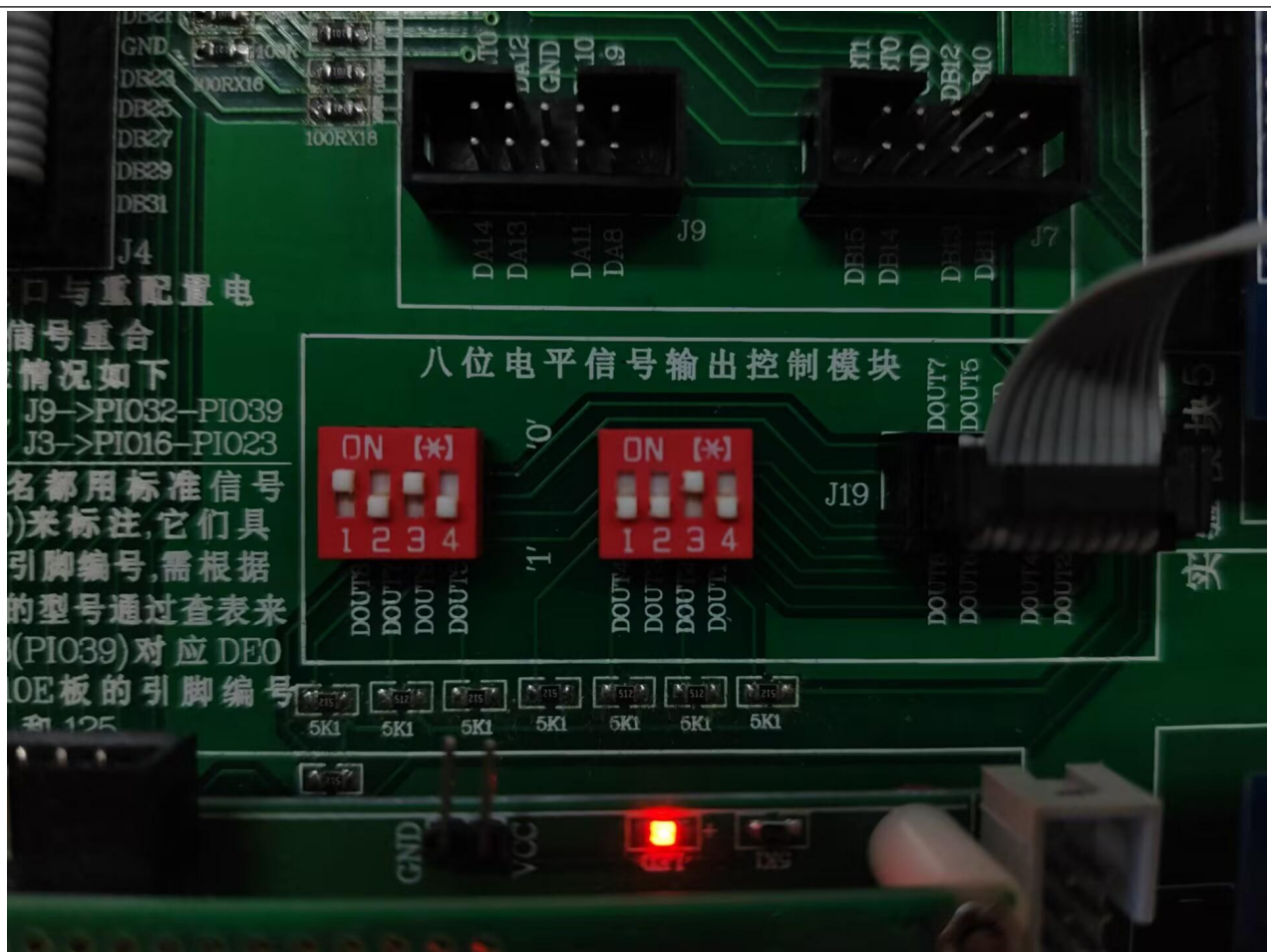
#### 选做实验步骤：

- (1) 原理图输入：从元件库中选取相应器件实现八位补码加法器电路设计。
- (2) 管脚锁定：平台工作于模式 5，将 C4 绑定在 D1 上，将 SUM1-SUM4、SUM5-SUM8 绑定在译码器 1、2 上，将操作数 A、B 分别绑定在键 1-8 和红色拨码开关 dout1-8 上，将 C0 和 K 在不两次测试中分别连接 ACC（高电平）和 GND（低电平）。
- (3) 原理图编译、适配和下载：在 Quartus II 环境中选择 Cyclone IV E EP4CE6E22C8 器件，进行原理图的编译和适配，无误后完成下载。
- (4) 功能测试：利用输入开关键改变 K、C0 和 A、B 操作数的值，看 LED 指示灯显示的结果是否正确并记录结果。

### 4、实验结果

#### 必做实验结果：





效果描述：

输入：

A1-A4: 0101

B1-B4: 1101

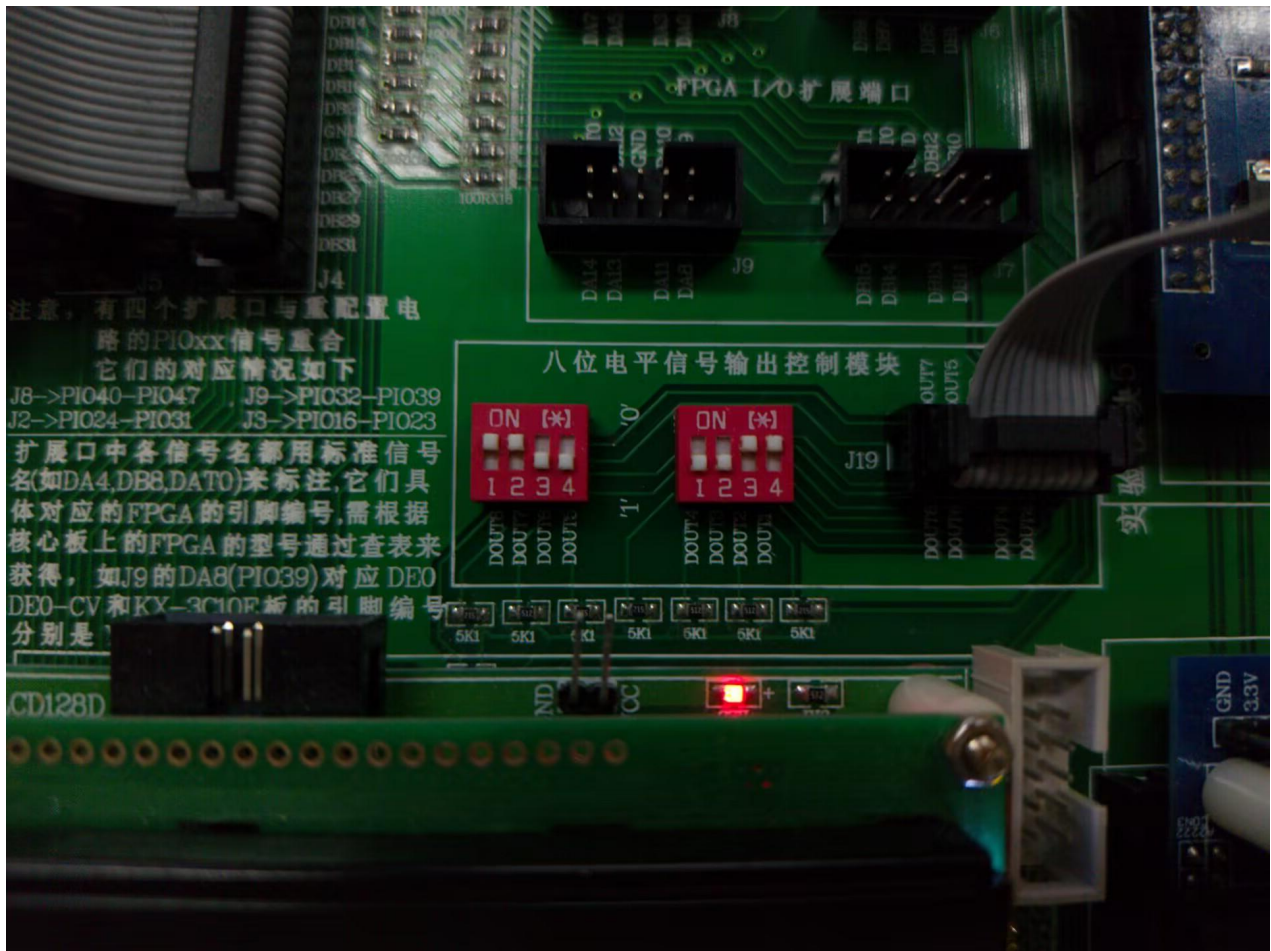
C0: 1

K: 0

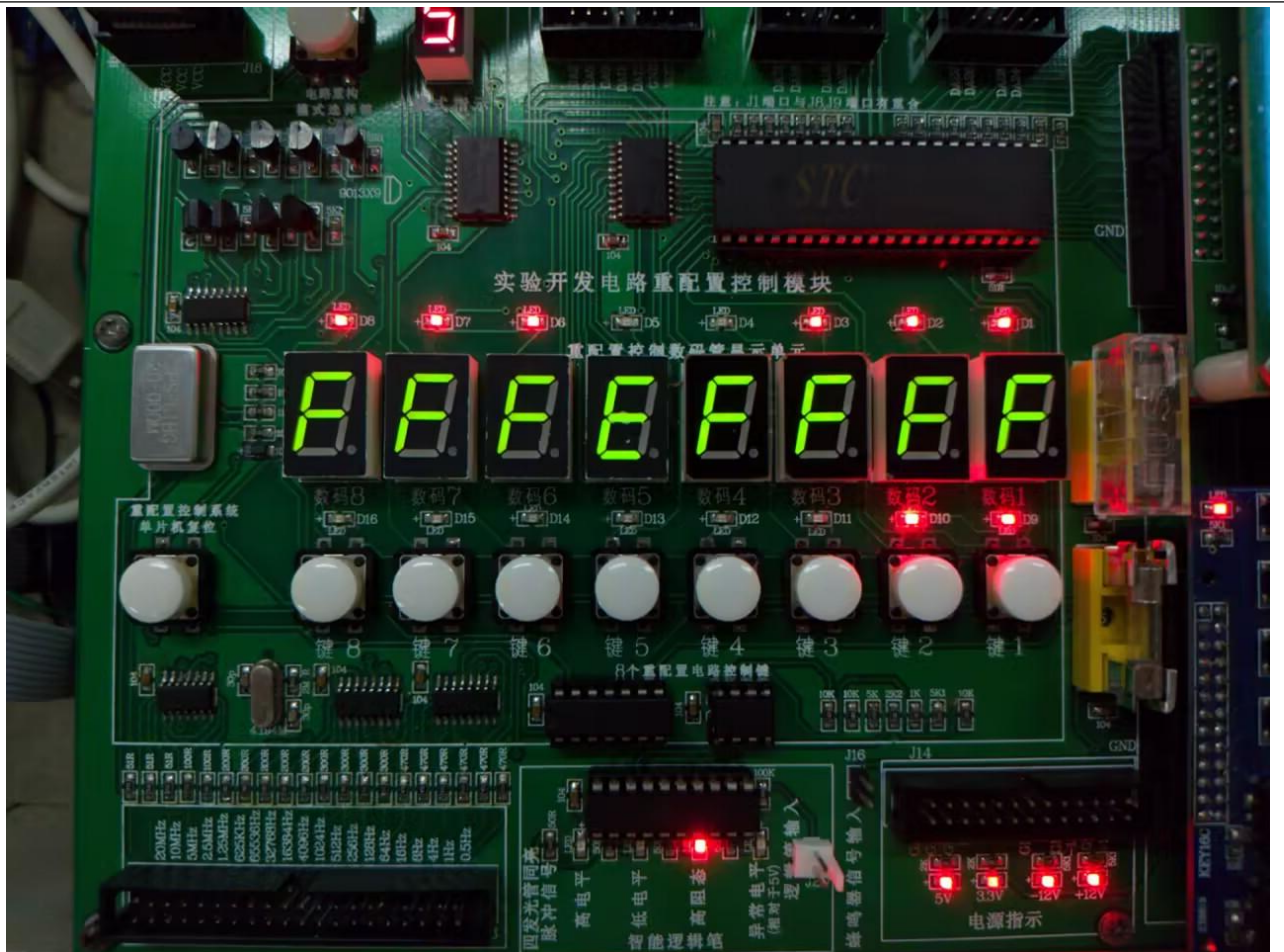
输出：

SUM1-SUM4: 0011

C4: 1







效果描述：

输入：

A1-A4: 0011

B1-B4: 1100

C0: 1

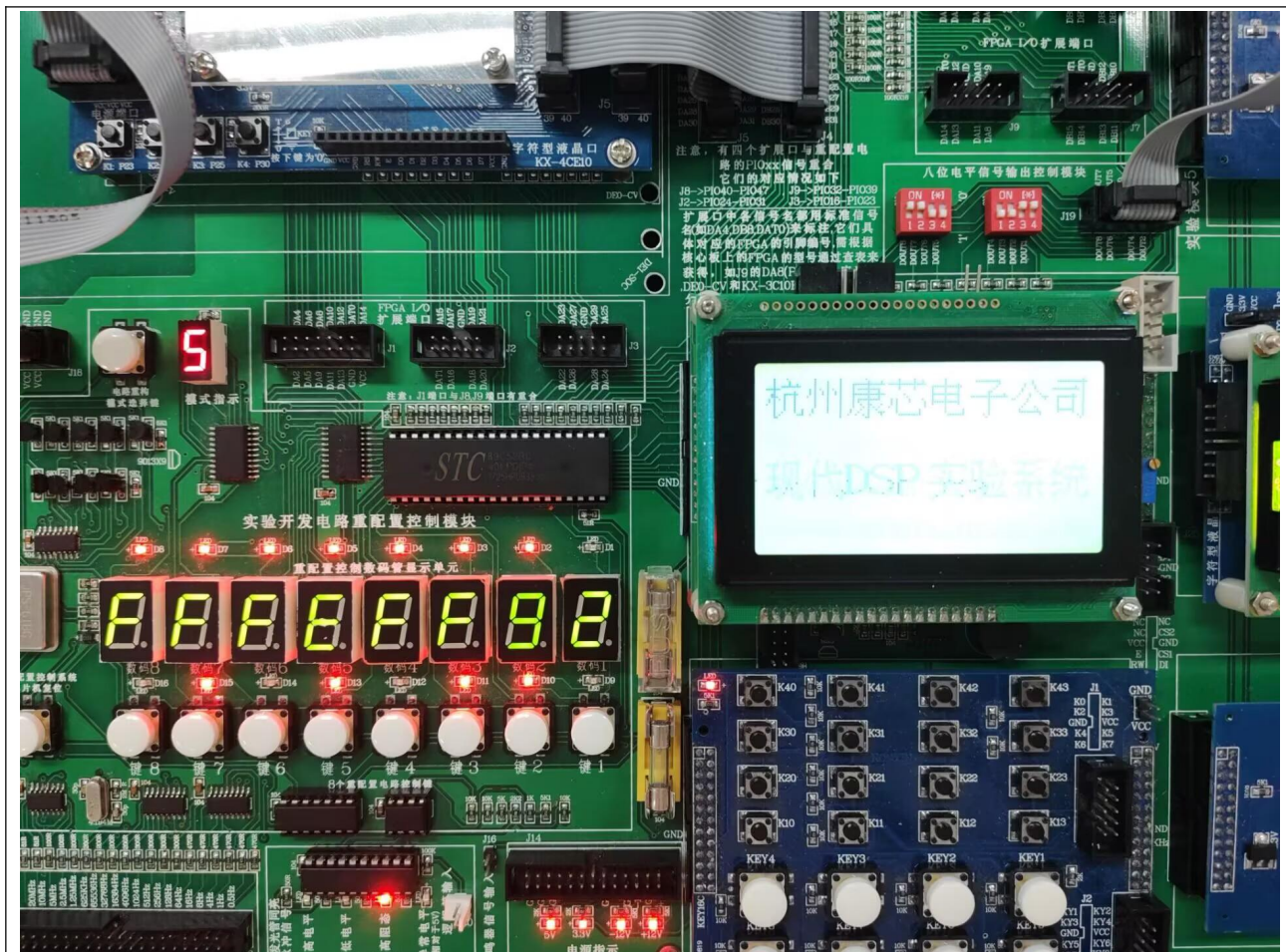
K: 1

输出：

SUM1-4: 0111

C4: 0

选做实验结果：



效果描述：

输入：

A1-A8: 01010110

B1-B8: 00111100

C0: 0

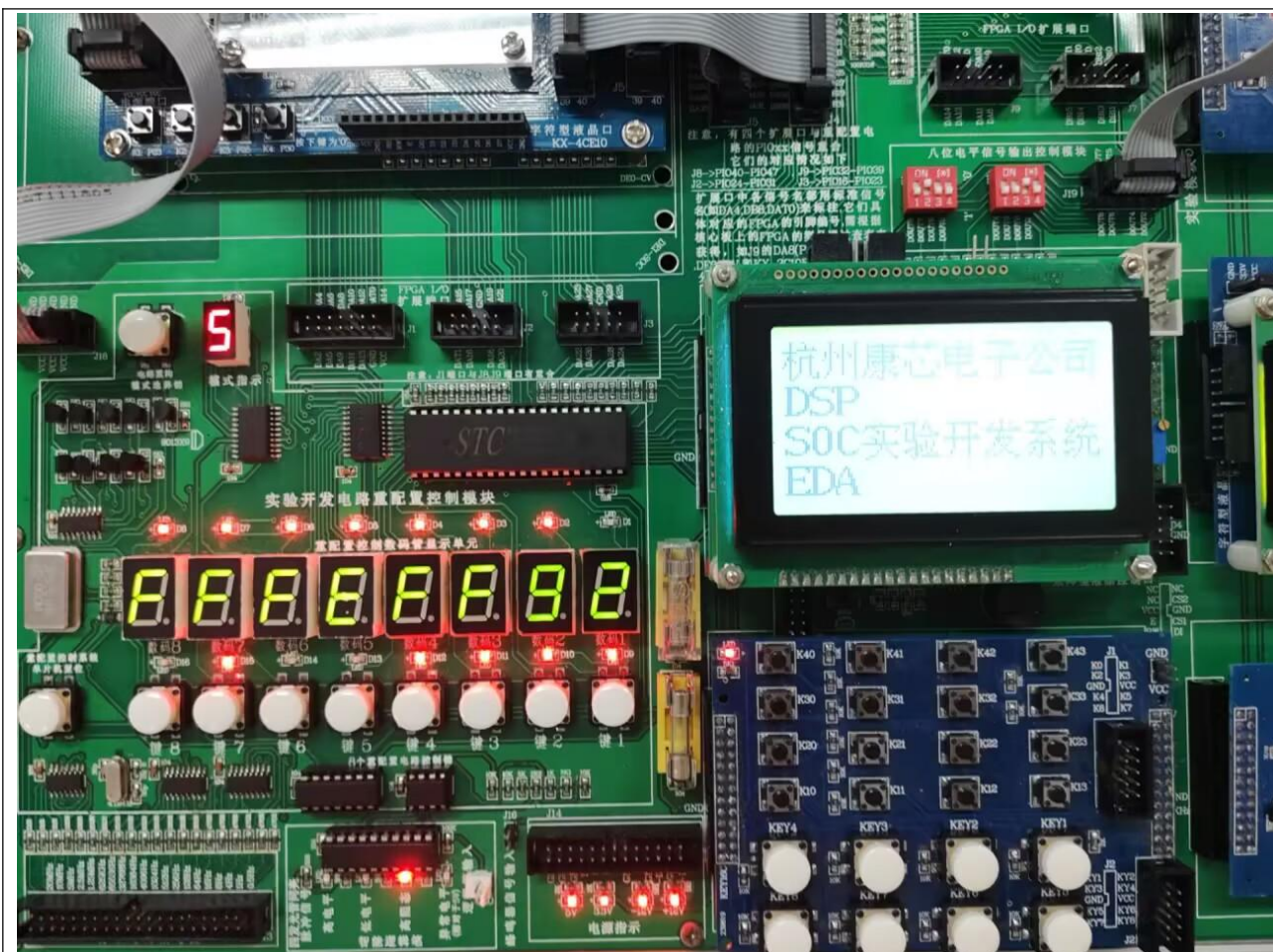
K: 0

输出：

SUM: 0X92

C4: 0





效果描述：

输入：

A1-A8: 01001111

B1-B8: 10111101

C0: 1

K: 1

输出：

SUM: 0X92

C4: 0

结论分析与体会：

根据结果分析，实验平台的实验结果与预测结果一致，故成功完成了四位补码加法器和八位补码加法器的设计。主要体会在于，在输出和输入的端口足够多的时候，有时候通过调整原理图将其中某些控制用的输入绑定为高电平或低电平能够使实验更加便捷顺利。