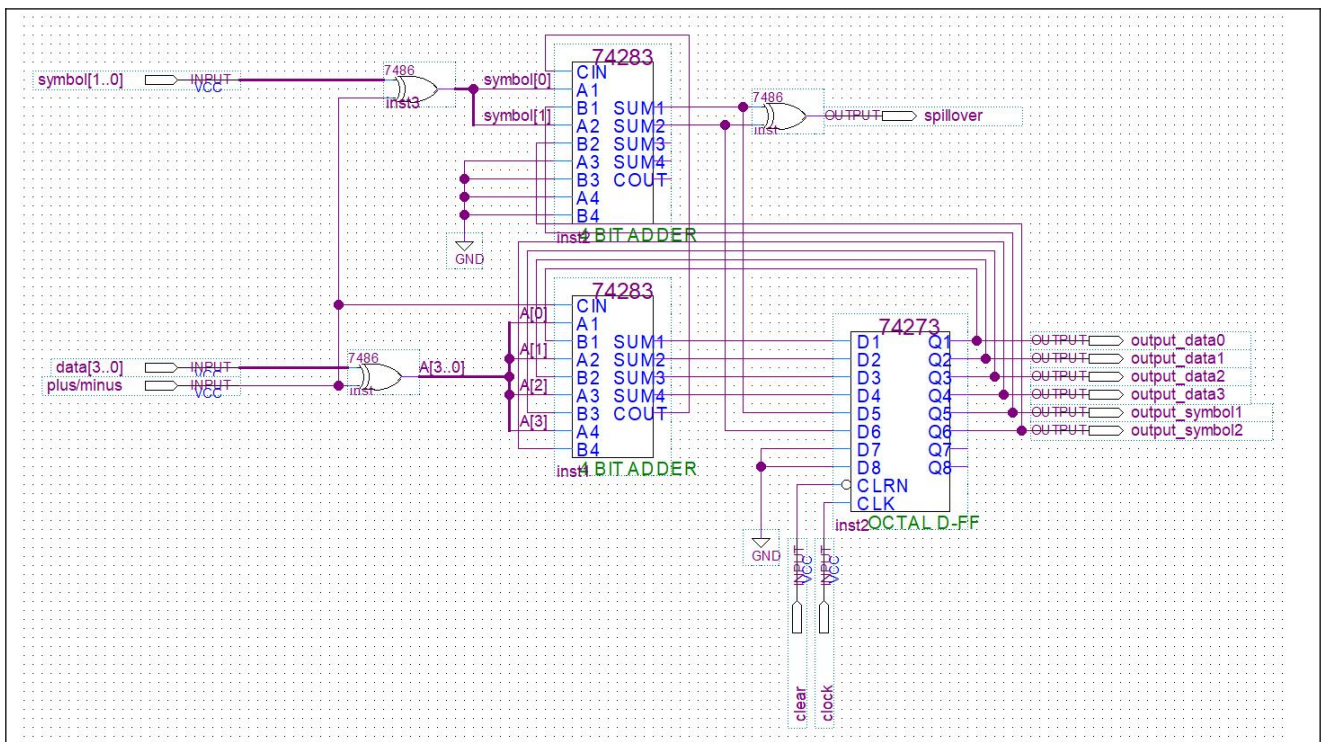


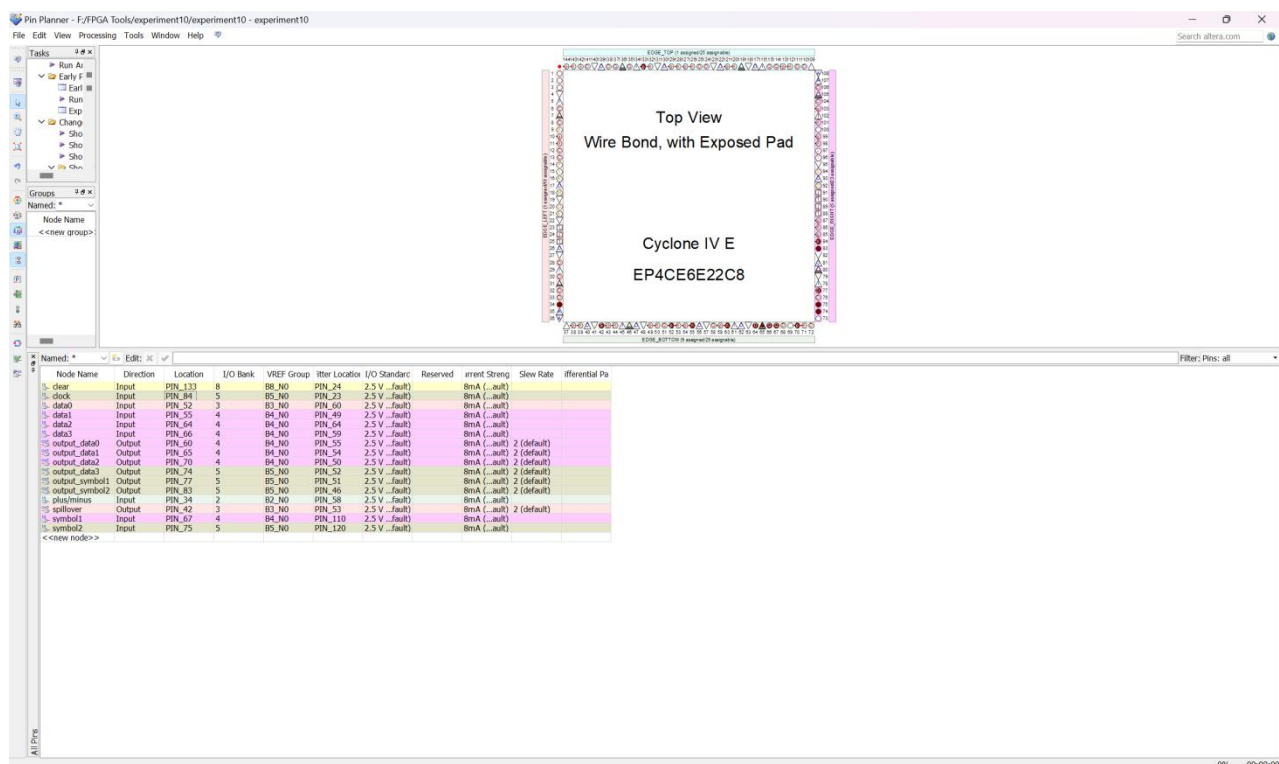
山东大学计算机科学与技术学院

计算机组成与设计课程实验报告

学号：202300130183	姓名： 宋浩宇	班级： 23 级人工智能
实验题目： 二进制补码加法器实验		
实验学时： 2	实验日期： 2024/12/3	
实验目的： 根据补码加法器的模型，理解数据流及其时序关系。 掌握加法器实现补码加、减运算的基本原理。		
硬件环境： 13th Gen Intel(R) Core(TM) i9-13980HX 2.20 GHz 32.0 GB (31.6 GB 可用) 康芯 KX-CDS FPGA 平台 芯片 Cyclong IV E EP4CE6E22C8		
软件环境： Windows 11 家庭中文版 23H2 22631.4317 Intel Quartus II 13.0sp1 (64 bit)		
实验内容与设计： 1、实验内容 数据宽度为 4 位，设计出实验线路图。 设计试验步骤。 使用开关进行数据加载，完成补码加、减运算。 符号位运算采用双符号位，累加器应有清零控制。 通过指示灯观察运算结果，记录实验现象，写出实验报告。 2、实验原理图 必做实验原理图：		



必做实验引脚图：



### 3、实验步骤

#### 必做实验步骤：

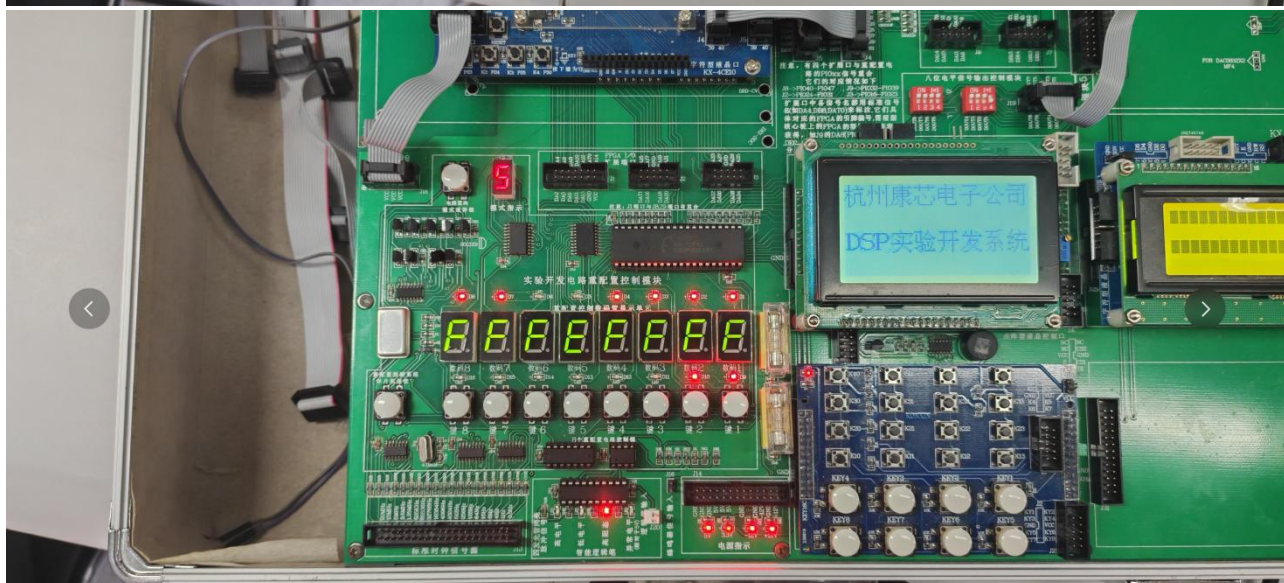
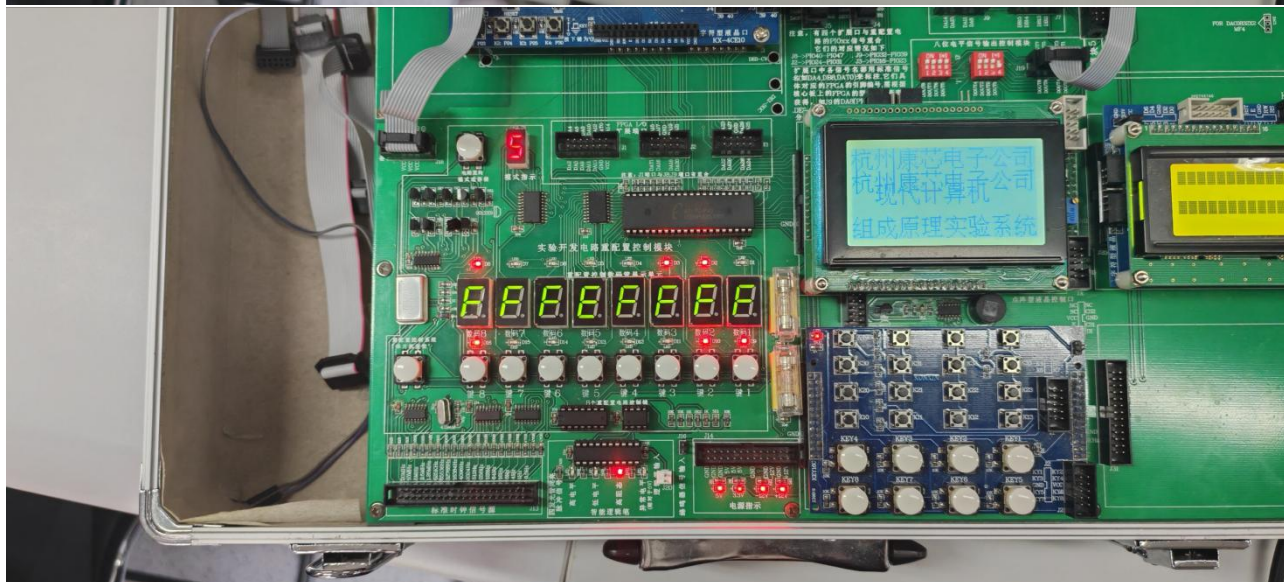
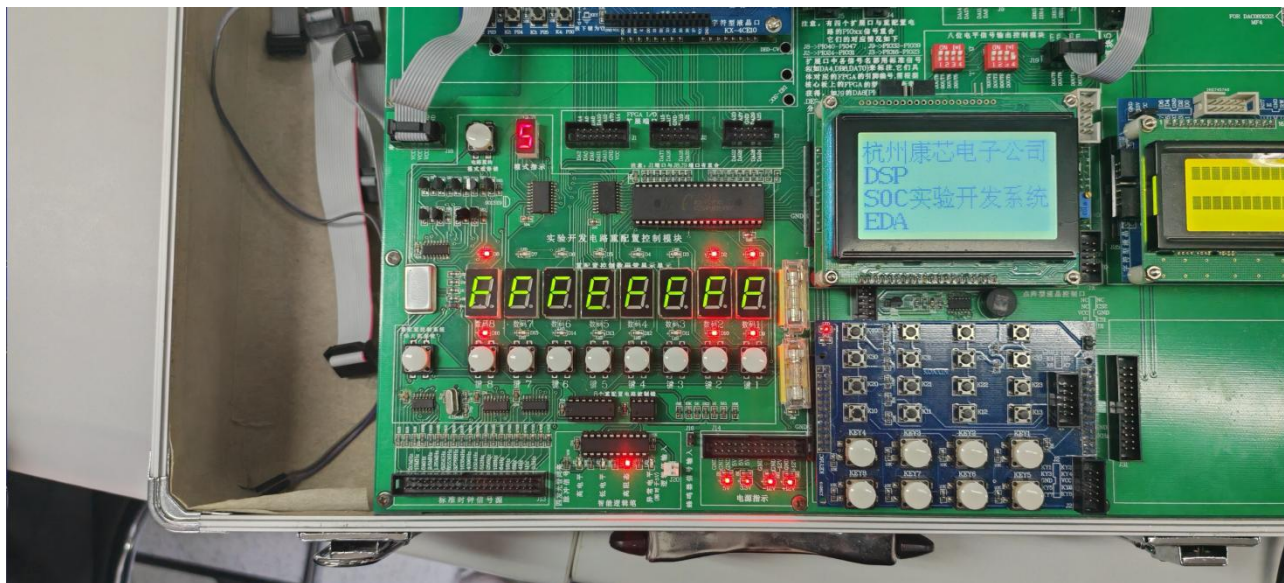
- (1) 原理图输入：从元件库选择合适的器件完成原理图的输入
- (2) 管脚锁定：试验台选择模式为 5，将输入和输出进行绑定，将数据的输入绑定到键 6-1，将加减的控制绑定到键 7，将 clock 绑定到键 8，将 clear 绑定到拨码开关，将输出绑定到 D7-D1，其中 D6-D1 为数据，D7 为溢出检定
- (3) 原理图编译、适配和下载：在 Quartus II 环境中选择 Cyclone IV E EP4CE6E22C8 器件，进行原理图的编译和适配，无误后完成下载。



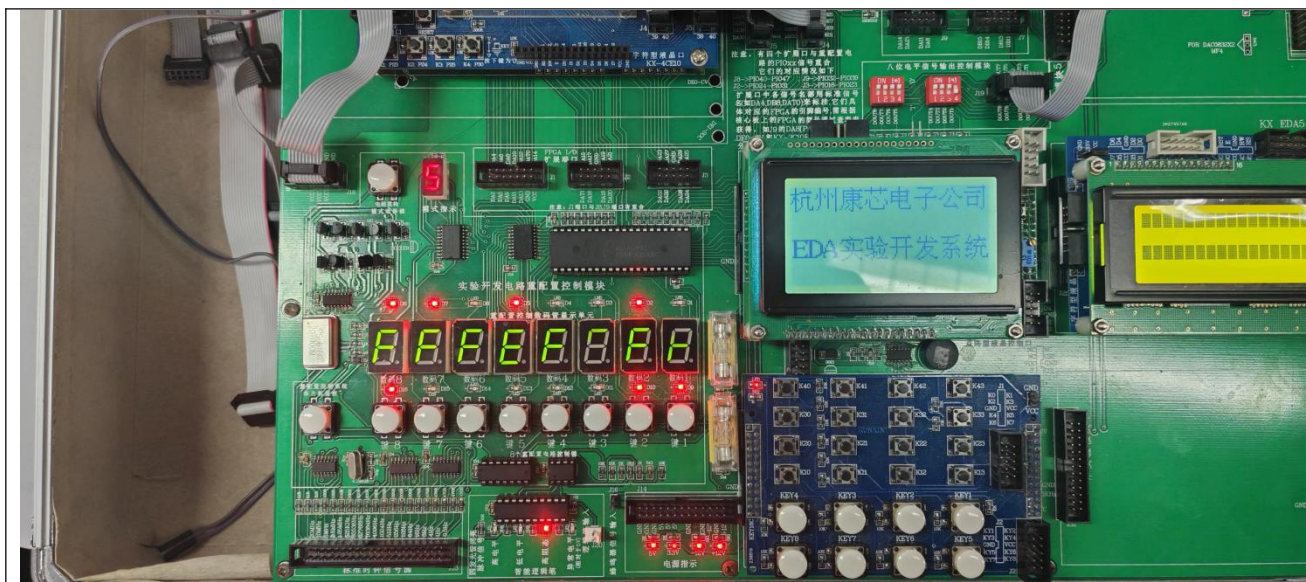
(4) 功能测试：利用开关和指示灯测试结果，并分析结果的正确性。

#### 4、实验结果

必做实验结果：

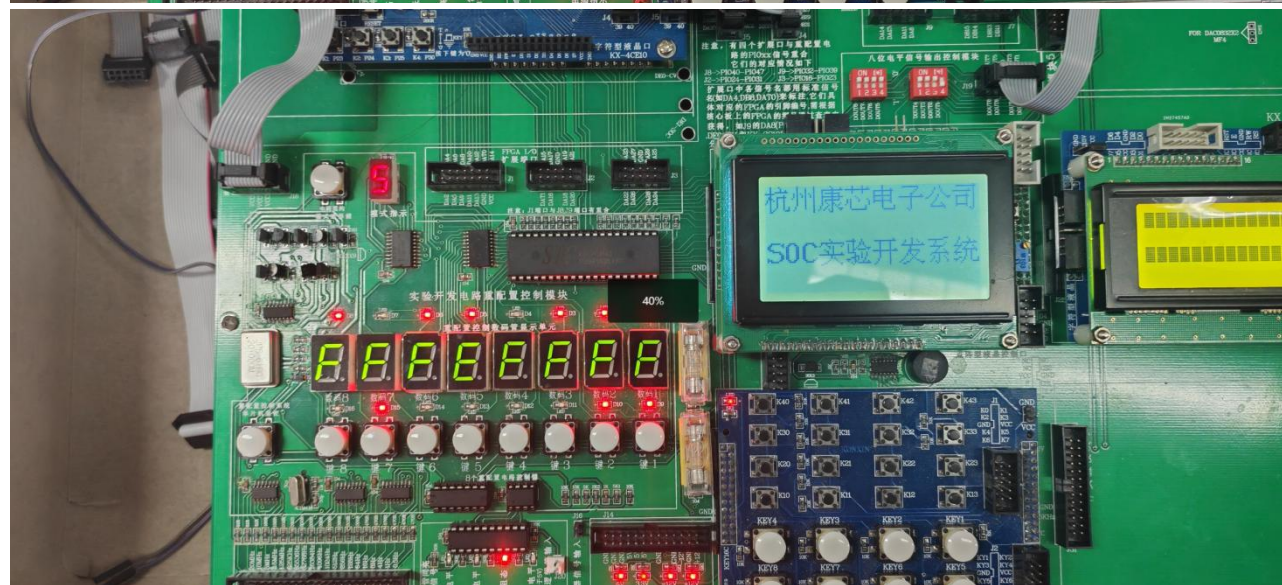
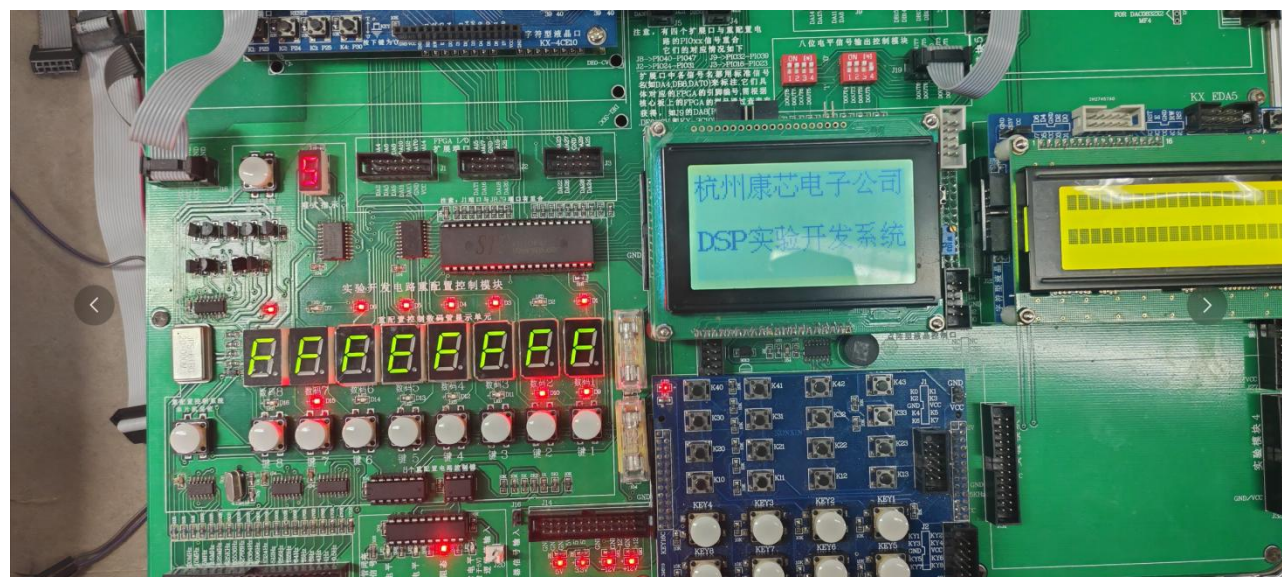




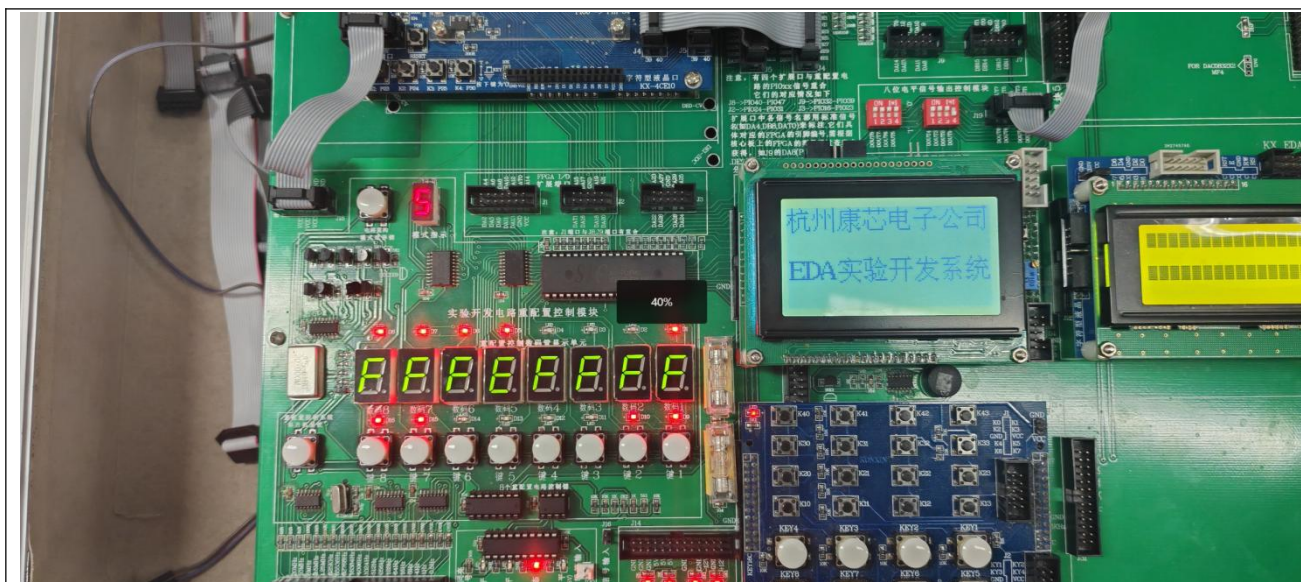


效果描述为：

不停累加 00 0011 直到溢出







效果描述为：

不停减去 00 0011 直到溢出

结论分析与体会：

根据结果分析，实验平台的实验结果与预测结果一致，故成功完成了二进制补码加法器的设计。

主要体会是，溢出检定分为计算结果保存前和计算结果保存后，两种溢出检定的方式都对应着不同的后续处理方式，此处使用的是在计算结果保存前就进行溢出鉴定的方案。另外双符号位保存符号的方式对于上溢出和下溢出具有区分的能力，是个优秀的解决方案。