山东大学计算机科学与技术学院

计算机组成与设计课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202300130183 | 姓名： 宋浩宇 | | 班级： 23级人工智能 |
| 实验题目： CPU综合实验 | | | |
| 实验学时： 4 | | 实验日期： 2024/12/31 | |
| 实验目的：  掌握控制器电路和计算器电路结合的工作原理和实现方式。 | | | |
| 硬件环境：  13th Gen Intel(R) Core(TM) i9-13980HX 2.20 GHz  32.0 GB (31.6 GB 可用)  康芯KX-CDS FPGA平台  芯片Cyclong IV E EP4CE6E22C8 | | | |
| 软件环境：  Windows 11 家庭中文版23H2 22631.4317  Intel Quartus II 13.0sp1(64 bit) | | | |
| 实验内容与设计：  1、实验内容  CPU综合实验电路包括运算器电路和控制器电路。运算器由三个寄存器R0、R1、R2、移位器、加法器等构成，并组装在一起构成ALU算术逻辑运算部件。在微指令控制下实现相加运算。  2、实验原理图  必做实验原理图：  原理图  必做实验引脚图：  引脚图   1. 实验步骤   必做实验步骤：   1. 原理图输入：从元件库中选取合适的元件并结合之前实验制作好的元件完成原理图的输入。 2. 管脚锁定：实验台的工作模式设置为5，将clock绑定到clockB0上，将CPU\_clear即复位器绑定到键1上，将D1-D4输出绑定到D1-D4上。 3. 原理图编译、适配和下载：在QuartusⅡ环境中选择Cyclong IV E EP4CE6E22C8器件，进行原理图的编译和适配，无误后完成下载。 4. 功能测试：利用开关与指示灯测试结果并分析结果的正确性。   4、实验结果  必做实验结果：  RAM的初始化文件为：  RAM初始化文件  效果图1  效果图2  效果图3  效果图4  效果描述为：  CPU依次执行了以下三条指令（由于拍摄设备的问题译码器显示的数字有缺损）：  60 00 80H  80 00 40H  00 00 28H  其效果分别为：  将0110存入控制存储器ROM的0单元。  将1000存入控制存储器ROM的1单元。  将控制存储器ROM0和ROM1中的数据进行相加并存入控制存储器ROM的2单元。  2单元内的数据会通过D1-D4输出出来。 | | | |
| 结论分析与体会：  根据结果分析，实验平台的实验结果与预测结果一致，故成功完成了CPU综合实验的设计。  主要体会是，这里的综合电路用到了之前实验里制作好的元件，这种自底向上的制作方式再加上元件封装的特性给CPU的开发提供了极其便利的方案，在做这一个实验的时候主要在做的其实是链接已经设计好的电路，而不用去考虑各个元件是如何实现的，使用元件这层抽象去制作CPU也提高了开发的效率。 | | | |