山东大学计算机科学与技术学院

计算机组成与设计课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202300130183 | 姓名： 宋浩宇 | | 班级： 23级人工智能 |
| 实验题目： 实验5 四位补码运算器 | | | |
| 实验学时： 2 | | 实验日期： 2024/10/29 | |
| 实验目的：  本实验要求设计一个能够实现补码加法、减法、左移、右移、直接传送等功能的四位补码运算器 | | | |
| 硬件环境：  13th Gen Intel(R) Core(TM) i9-13980HX 2.20 GHz  32.0 GB (31.6 GB 可用)  康芯KX-CDS FPGA平台  芯片Cyclong IV E EP4CE6E22C8 | | | |
| 软件环境：  Windows 11 家庭中文版23H2 22631.4317  Intel Quartus II 13.0sp1(64 bit) | | | |
| 实验内容与设计：  1、实验内容  本实验要求设计一个能够实现补码加法、减法、左移、右移、直接传送等功能的四位补码运算器，采用4D寄存器74173和4位加法器实现   1. 实验原理图   原理图：  原理图  引脚图：  引脚图  3、实验步骤   1. 原理图输入：从元件库和以前实验生成的元件中选取合适的元件实现四位补码运算器的设计 2. 管脚锁定：平台工作于模式5，将4位操作数A（a3a2a1a0）锁定在键8-键5上、将4位操作数B(b3b2b1b0)锁定在键4-键1上、将打入脉冲CPR0锁定在拨码开关Dout1上、将打入脉冲CPR1锁定在拨码开关Dout2上、将打入脉冲CPR2锁定在拨码开关Dout3上、将LM锁定在拨码开关Dout4上、将DM锁定在拨码开关Dout5上、将RM锁定在拨码开关Dout6上、将C0（低位的进位）锁定在拨码开关Dout7上。拨码开关Dout由低电平拔向高电平再拔向低电平，相当于一个脉冲。将存放结果的寄存器R2的输出端D(d3d2d1d0)分别锁定在D4－D1上。 3. 原理图编译、适配和下载：在QuartusⅡ环境中选择Cyclong IV E EP4CE6E22C8器件，进行原理图的编译和适配，无误后完成下载。 4. 功能测试：利用开关与指示灯测试：加法、减法、左移、右移、直传等功能，并分析结果正确性。 5. 生成元件符号。   4、实验结果  必做实验结果为：  加法不移  效果描述：  本图为加法不移动示意  输入：  A3-A0:0110  B3-B0:0101  输出：  D3-D0:1011  加法右移  效果描述：  本图为加法右移示意  输入：  A3-A0:0110  B3-B0:0101  输出：  D3-D0:0101  加法左移  效果描述：  本图为加法左移示意  输入:  A3-A0:1001  B3-B0:0011  输出：  D3-D0:1000  减法不移  效果描述：  本图为减法不移动示意  输入：  A3-A0:1001  B3-B0:0011  输出：  D3-D0:0110  减法右移  效果描述：  本图为减法右移示意  输入:  A3-A0:1001  B3-B0:0011  输出:  D3-D0:0101  减法左移  效果描述：  本图为减法左移  输入：  A3-A0:1001  B3-B0:0011  输出：  D3-D0:1100 | | | |
| 结论分析与体会：  根据结果分析，实验平台的实验结果与预测结果一致，故成功完成了四位补码运算器的设计。  主要体会是，在设计这个功能模块的时候第一次鲜明的体会到自底向上的设计理念的优秀之处，以及模块化设计在计算机体系中的重要地位。用自己前两次实验写的元件组合成一个新的功能模块，有一种自己写stl的感觉。 | | | |