山东大学计算机科学与技术学院

计算机组成与设计课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202300130183 | 姓名： 宋浩宇 | | 班级： 23级人工智能 |
| 实验题目： RAM实验 | | | |
| 实验学时： 2 | | 实验日期： 2024/11/19 | |
| 实验目的：   1. 了解FPGA中RAM的功能； 2. 掌握RAM的参数设置和使用方法；   3、掌握作为随机存储器RAM的仿真测试方法，工作特性和读写方法。 | | | |
| 硬件环境：  13th Gen Intel(R) Core(TM) i9-13980HX 2.20 GHz  32.0 GB (31.6 GB 可用)  康芯KX-CDS FPGA平台  芯片Cyclong IV E EP4CE6E22C8 | | | |
| 软件环境：  Windows 11 家庭中文版23H2 22631.4317  Intel Quartus II 13.0sp1(64 bit) | | | |
| 实验内容与设计：  1、实验内容  在FPGA中利用嵌入式阵列块EAB可以构成存储器，RAM的结构如图8-1。数据从ram\_dp0的左边D[7..0]输入，从右边Q[7..0]输出，R/W为读/写控制信号端。当输入数据和地址准备好以后，在inclock是地址锁存时钟，当信号上升沿到来时，地址被锁存，数据写入存储单元。数据的读出控制是从A[7..0]输入存储单元地址，在CLK信号上升沿到来时，该单元数据从Q[7..0]输出。R/W是读/写控制端，低电平时进行读操作，高电平时进行写操作；CLK是读/写时钟脉冲信号；DATA[7..0]是RAM\_dq0的8位数据输入端；A[7..0]是RAM的读出和写入地址；Q[7..0]是RAM\_dq0的8位数据输出端。  2、实验原理图  必做实验原理图：  原理图  必做实验引脚图：  引脚图   1. 实验步骤   必做实验步骤：   1. 原理图输入：（1）从元件库中选取合适的元件以及使用MegaWizard Plug-In Manager编辑RAM存储器完成原理图的输入 2. 管脚锁定：通过键1、键2输入RAM的8位数据（选择实验台工作模式1），键3、键4输入存储器的8位地址。键8控制读/写允许，低电平时读允许，高电平时写允许；键7（CLK0）产生读/写时钟脉冲，即生成写地址锁存脉冲，对RAM进行写/读操作； 3. 原理图编译、适配和下载：在QuartusⅡ环境中选择Cyclong IV E EP4CE6E22C8器件，进行原理图的编译和适配，无误后完成下载。 4. 功能测试：利用开关与指示灯测试结果，并分析结果的正确性。 5. 实验结果   使用的RAM元件的部分信息如下：  流程1  必做实验结果：  效果图1效果图2效果图3  效果描述为：  向地址为01100110处输入数据3b  向地址为01101000处输入数据0b | | | |
| 结论分析与体会：  根据结果分析，实验平台的实验结果与预测结果一致，故成功完成了RAM实验。  主要体会是，了解了在quartus ii中编辑RAM元件的方法，掌握了RAM元件的参数的设置方法以及了解了其仿真情况下的特性和原理。In-System Memory Content Editor和MegaWizard Plug-In Manager确实很好用，且经过这个实验之后也理解了总线工具怎么使用了，quartus ii的总线仅靠名称进行绑定的设计并不好，可以想象这个方式对于编程来说非常友好，但对于通过原理图进行输入，实际上是使用起来比较不便的。 | | | |