山东大学计算机科学与技术学院

计算机组成与设计课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202300130183 | 姓名： 宋浩宇 | | 班级： 23级人工智能 |
| 实验题目： RAM扩展实验 | | | |
| 实验学时： 2 | | 实验日期： 2024/11/26 | |
| 实验目的：  了解半导体静态随机读写存储器RAM的工作原理及其使用方法。掌握半导体存储器的字、位扩展技术。 | | | |
| 硬件环境：  13th Gen Intel(R) Core(TM) i9-13980HX 2.20 GHz  32.0 GB (31.6 GB 可用)  康芯KX-CDS FPGA平台  芯片Cyclong IV E EP4CE6E22C8 | | | |
| 软件环境：  Windows 11 家庭中文版23H2 22631.4317  Intel Quartus II 13.0sp1(64 bit) | | | |
| 实验内容与设计：  1、实验内容  采用实验8所设计的256 x 4的RAM的结构（参考实验8生成器件），构成1K x8的存储器。根据课本第4章的内容自行设计实现方案。  实验8中，因为RAM的数据输入和数据输出是不同的端口，设计时不用隔离器件。要利用2-4译码器74139.  选择五个不连续的存贮单元地址，分别存入不同内容，作单个存贮器单元的读/写操作实验。  2、实验原理图  必做实验原理图：  原理图  必做实验引脚图：  引脚图   1. 实验步骤   必做实验步骤：   1. 原理图输入：从元件库中选取合适的元件以及使用MegaWizard Plug-In Manager编辑RAM存储器完成原理图的输入 2. 管脚锁定：通过键1、键2输入RAM的8位数据（选择实验台工作模式1），键3、键4输入存储器的低8位地址，高2位地址由红色的拨码开关提供。键8控制读/写允许，低电平时读允许，高电平时写允许；键7（CLK0）产生读/写时钟脉冲，即生成写地址锁存脉冲，对RAM进行写/读操作； 3. 原理图编译、适配和下载：在QuartusⅡ环境中选择Cyclong IV E EP4CE6E22C8器件，进行原理图的编译和适配，无误后完成下载。 4. 功能测试：利用开关与指示灯和In-System Memory Content Editor工具测试结果，并分析结果的正确性。 5. 实验结果   必做实验结果：  输入1输入2输入3写入后的内存  效果描述为：  向第1组RAM的00100100(24)地址输入数据33  向第4组RAM的00100100(24)地址输入数据55  向第1组RAM的00100110(64)地址输入数据88 | | | |
| 结论分析与体会：  根据结果分析，实验平台的实验结果与预测结果一致，故成功完成了256x4的RAM的设计。  主要体会是，通过内存组的选择配合多块内存组成连续数据，可以用存储字长较小的RAM以分组的方式组合成字长更大的内存块，使得这套内存方案的可拓展性极强，但是相对而言因为数据存储的位置并不统一，数据总线和寻址总线的设计会相对来说更加困难复杂一些，但整体来说这个方案还是非常优秀的。 | | | |