

AI 技术会如何改变 EDA ?

0. 前言

近年来，人工智能（AI）与机器学习（ML）已经在诸多应用领域取得了突破。而在传统的半导体领域，研究者们也探索了基于机器学习的芯片设计新方法。这些新算法通常会最先反映在芯片设计工具上，也就是所谓的 EDA 工具。因此，这一研究方向通常可以被称为 ML for hardware design，或者 ML for EDA（严格来说前者的范围更大一些）。有时也称做智能化的 EDA 算法或者智能的 IC 设计方法。

本文就将介绍 ML for EDA 这一热门研究方向。这一方向涉及到机器学习，数据结构与算法，电路设计与制造等基础知识，是典型的交叉研究方向。我们将从 EDA 的背景知识开始，介绍什么是 ML for EDA，为什么我们研究 ML for EDA，代表性的工作，当前商业化的进程，以及其他相关的研究方向。

1. 什么是 EDA? – EDA 与芯片设计

芯片的设计与实现涉及一个复杂的流程。以数字芯片为例，假设设计团队从已经完成的 Verilog/VHDL 代码出发，标准设计流程至少还要包括逻辑综合（logic synthesis），布局规划（floorplan），时钟树综合（CTS），布局布线（placement & routing）等步骤。除此之外还需要大量的仿真和验证工作。这个过程设计者需要权衡功耗，频率，面积等多个设计目标，同时还要确保芯片能够正常运行各种功能。当下先进的芯片可以包含超过 100 亿个晶体管，考虑到流程的复杂性，几乎所有设计团队都需要商业 EDA 工具来辅助完成整个设计流程。如果我们把整个半导体产业比作一座金矿，EDA 工具则也许可以被看做挖矿的铲子。在美国频繁限制半导体出口的当下，本身市值并不大的 EDA 产业越来越为人们所重视。

EDA 的全称为 Electronic Design Automation，即电子设计自动化。经过几十年的发展，EDA 工具已经被用于芯片设计与制造流程的方方面面。EDA 工具的质量将会影响最终芯片的质量（功耗，频率，面积）以及设计效率（产品上市时间）。因此，EDA 算法研究者的目标通常包括两方面，一是芯片优化效果（功耗，频率，面积），二是 EDA 工具本身的效率（耗时=工具单次运行时间*使用该工具的次数）。

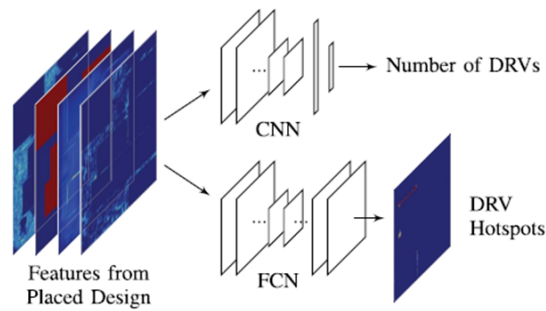
量化 EDA 工具的效率时，我们强调了工具的使用次数。因为通常工程师需要反复迭代各个设计步骤直至达成设计目标。在每一次迭代，工程师可以修改 EDA 工具的参数或者芯片设计本身，并重新运行 EDA 工具，以期更好的芯片效果。然而对于大规模的芯片设计，仅执行部分设计流程每次即可花费数天至数周时间。因此，迭代次数越多，花费在 EDA 工具上的时间越多，最终流片以及产品上市时间就会越晚。

2. 什么是 ML for EDA ? – 预测与优化

在芯片设计流程中，根据个人总结，ML for EDA 方法主要可以被用于预测（prediction）与优化（optimization）两大方面。下面分别举例来说明这两类应用。

预测类工作通常使用 ML 模型对芯片优化目标进行早期快速预测。利用 ML 模型的预测，设计师可以减少对耗时的 EDA 工具的使用，而直接预测 EDA 工具优化后的结果。因此，设计者可以获得更真实的优化目标，并且及时优化设计参数。换句话说，ML 模型通过快速预测 EDA 工具的行为，一定程度上减少了运行 EDA 工具的必要性。

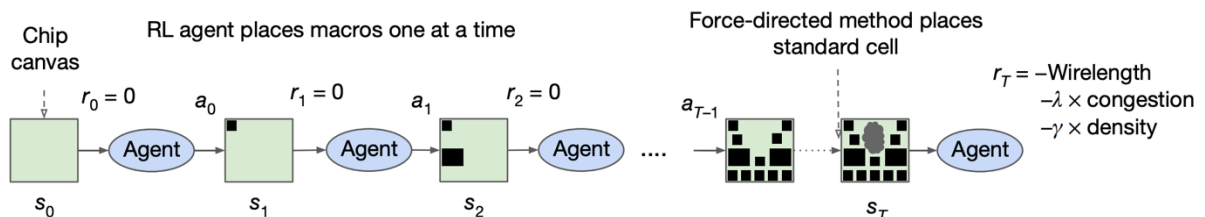
一个典型的预测类工作例子就是，使用 CNN 在芯片绕线之前对（绕线后可能产生的）DRC 热点进行提前预测。通过预测结果，EDA 工具可以提前设法修改布局，避免造成 DRC 热点。这个工作可以类比于用 CNN 进行图像分类或者语义分割，其中芯片版图类似于图片，而需要预测的 DRC 热点位置类似于图片上需要分割的区块。



预测类方法举例：使用 CNN 对 DRC 热点进行预测 [1]

相比于预测类工作，优化类工作需要做得更多。这里的优化是一种广义的概念，指的是直接解决关键的 EDA 问题。事实上很多 EDA 问题的本质都是对于芯片在一定约束下的优化问题。而很多传统 EDA 算法是大家多年积累的优秀启发式算法。优化类 ML 方法追求比传统 EDA 算法更优或者更快的解法。这个解直接可以对应真实的芯片设计结果。

一个典型的优化类例子就是谷歌使用强化学习（Reinforcement Learning）进行 macro 摆放（placement）。通过强化学习算法，这个工作可以类比于 AlphaGo 进行围棋落子，其中芯片版图类似于围棋棋盘，而 macro 元件的摆放位置类似于围棋最佳的落子位置。



优化类方法举例：使用强化学习进行 macro 摆放 [2]

当比较这两大类方法时，我们可以看到，预测类方法的目标通常是减少 EDA 算法的使用次数，加快收敛速度，从而提高芯片设计效率。而如果想要直接取代某些传统 EDA 算法，我们需要的是优化类方法。当然像布局布线这样包括百万元件的大规模优化问题，想直接取代传统 EDA 方法是困难的。目前我们看到更多的是 ML 方法融入 EDA 框架，起到重要的辅助性作用。

COMPARE ML AND EDA ALGORITHMS

	EDA Algorithms	ML
	Placement, route, synthesis, CTS, simulations, etc	Supervised, self-supervised, reinforcement learnings, etc
Pros	Known optimality, robust, less training data, good interpretability, Solve an abstracted problem efficiently	GPU parallel computing, easy to design, end-to-end training on complex problem, Solve any problem by learning from its data
Cons	Oversimplification of dynamic, complex problems	Rely too much on data, not leveraging the mechanics of the problem



Integrate ML with EDA Algorithms, Key is Problem decomposition

EDA 和 ML 方法的比较：应该将 ML 融入 EDA 方法 [3]

3. 为什么研究 ML for EDA ?

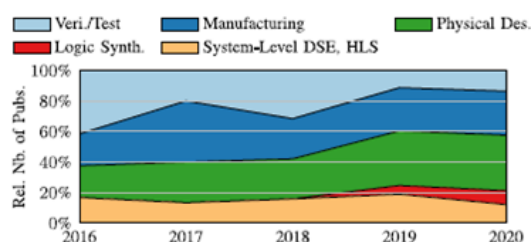
在深入介绍其他工作之前，一个需要回答的问题是，为什么我们要研究 ML for EDA ? 换句话说，ML for EDA 相比传统 EDA 算法的核心优势是什么呢？本文在这里提供一种解释。

如背景中所介绍的，由于芯片设计的复杂性，整个设计流程会被分为诸多设计阶段。因此在大部分设计阶段，EDA 工具无法直接去优化。

4. 代表性的 ML for EDA 研究工作

事实上优秀的 ML for EDA 的工作远远不止前文介绍的两个例子。而这些工作可以通过多种方法进行分类。

如果我们根据 ML 应用的阶段分类，ML 已经被研究者尝试用于绝大部分设计阶段。根据相关文章的总结 [1]，应用 ML 模型的阶段可以包括 1. 高阶综合（HLS）与设计空间搜索（DSE），2. 逻辑综合，3. 物理设计（从布局规划到布线），4. 光刻与制造，5. 验证与测试。除开数字电路之外，一些 ML 研究也对模拟电路的布局布线有一些尝试。



历年来应用在不同阶段的 ML for EDA 论文比例 [1]

如果我们根据 ML 预测或优化的目标分类，ML 已经被研究者尝试用于大部分芯片优化目标，包括但不限于 1. 功耗，2. 频率/延迟（delay or slack），3. 面积与线长，4. 拥塞（congestion）与规则检查（DRC），5. 电压降（IR drop）与串扰（crosstalk），6. 光刻热点（lithography hotspot）。

以下我们简单列举每个类型的 ML for EDA 工作。篇幅所限，我们显然难以穷尽相关的优秀工作。对于更完整的 ML for EDA 工作总结，请读者参考论文 [1] 与视频[1]。

在高阶综合（HLS）阶段，有工作训练 ML 模型来预测 FPGA 上资源的利用率。

在逻辑综合阶段，

5. 代表性的 ML for EDA 商业产品

而在工业界，EDA 公司和芯片设计公司也对 ML for EDA 的方向表达了兴趣。两大 EDA 公司 Cadence 和 Synopsys 已经推出了融合了一些 ML 算法的新产品。

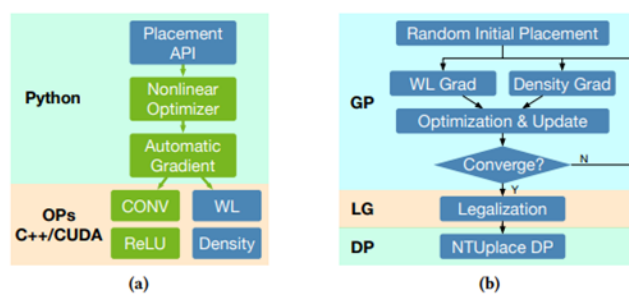
而在国内，受美国政策影响，近年来不少优秀的 EDA 初创公司涌现。一些公司也开始探索了 ML 在 EDA 领域的应用。例如某国内公司最近发布了基于机器学习技术与布局规划工具，似乎将谷歌提出的 macro 摆放算法[1]进行了落地。个人认为这并不是一个容易的任务。

6. 其他与 ML for EDA 相关的研究

除去以上介绍到的工作，还有一些热点研究方向也经常被大家归类到 ML for EDA 的研究当中。但严格来说，个人认为这些方向也许不能完全属于狭义的 ML for EDA 的范畴。

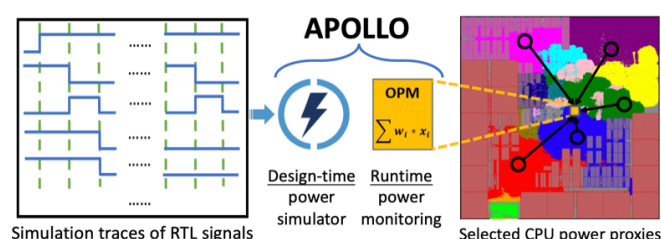
使用 GPU 对 EDA 算法进行加速也是近年来非常火热的研究方向。例如使用 GPU 加速布局过程 [1]。这些方法巧妙利用了 EDA 问题的优化过程与深度学习训练过程的相似性。于是它们可以利用已有的深度学习

框架，例如 PyTorch，来进行基于 GPU 的快速优化。但这类方法不会去应用 ML 模型，也没有基于数据的训练过程。



使用 GPU 加速芯片布局过程 [1]

另外一个常被归类为 ML for EDA 的方向是：在芯片上实现 ML 模型，将它用于进行芯片运行时的监测与管理。例如利用 ML 方法开发一个片上的实时功耗检测工具 [1]。使用 ML 方法的目的是减少这个模型在芯片上的硬件开销。严格意义上说，这更接近 IC 设计而非 EDA 工具范畴，也许可以将它归类到 ML for hardware design 的范畴。



使用 ML 开发的片上功耗检测模型 [1]

7. ML for EDA 面临的挑战

结语

本文作者谢知遥，是香港科技大学电子与计算机工程系助理教授。

- [1] Z. Xie et al., "RouteNet: Routability prediction for mixed-size designs using convolutional neural network", ICCAD, 2018.
- [2] A. Mirhoseini, et al., "A graph placement methodology for fast chip design", Nature, 2021.
- [3] M. Ren, "Machine Learning for EDA Optimization", IEEE Seasonal School, video available on YouTube, 2022
- [1] M. Rapp, et al. "MLCAD: A Survey of Research in Machine Learning for CAD", TCAD, 2022.
- [1] Y. Lin, et al. "DREAMPlace: Deep Learning Toolkit-Enabled GPU Acceleration for Modern VLSI Placement", DAC, 2021.
- [1] Z. Xie, et al., "APOLLO: An Automated Power Modeling Framework for Runtime Power Introspection in High-Volume Commercial Microprocessors", MICRO, 2021.