

## 计算机组成大作业题目（IEEE 班 2022 春）

### 一. 限选题：

共四题，可任选三题；如完成全部四题，则选得分最高的三题计分。

1. 下面列举了计算机体系结构的八个重要思想，结合教材中针对矩阵乘法算法程序实现的演变，说明这些思想在现代处理器体系结构设计中的具体体现。如有必要，请结合配图说明。

- 1) 面向**摩尔定律**设计
- 2) 使用**抽象**简化设计
- 3) **加速**大概率事件
- 4) 通过**并行**提高性能
- 5) 通过**流水线**提高性能
- 6) 通过**预测**提高性能
- 7) 存储器**层次**
- 8) 通过冗余提高**可靠性**

2. 下图 1 是在典型的 5 级流水处理器结构图上添加了 I-Cache 部件以后的结构图。五级流水中的部件 M 可视为内存的一部分。

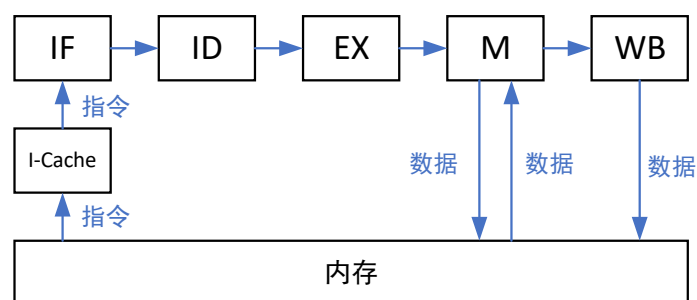
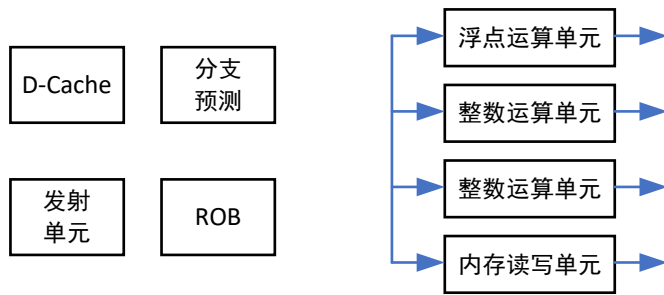


图 1

(1) 请在图 1 的基础上，利用图 2 中的 5 个组件 (D-cache、分支预测、发射单元、ROB 和 4 通道并行处理单元)，通过新增组件或删除不必要的组件，重构一款多发射的处理器，该多发射处理器需支持分支预测，有分离的指令 cache 和数据 cache。画出新构造的处理器器的方框图。



注：ROB 代表 Reorder Buffer 或多发射处理器的提交单元。

图 2

(2) 在 (1) 的基础上，添加适当的组件构成共享内存的 2 线程的 SMT (Simultaneous Multithreading) 处理器。注意图 1、图 2 中的组件可以重复使用。

3. 阅读附录 1 中第 3.1 节，结合教材内或其它 RISC-V 文档，回答下列问题：

(1) 将 RISC-V 32I 指令集分为运算类、Controlflow 类、访存类和系统指令四大类，分别总结各类指令编码的特点；

(2) 说明 RISC-V 的 ISA 设计在哪些方面体现了它是面向指令流水线而设计的。

4. 功耗墙是促使单核向多核时代进化的一个重要因素。进一步地，进入了后 PC 时代之后，功耗性能指标得到了前所未有的重视。请举例说明，有哪些设计技术的应用，能够使得功耗性能指标有更好的表现。(提示：可在线搜索最新处理器或微控制器的产品信息或介绍信息，来拓宽答题思路)

## 二、必选题：共 1 大题，3 小题

1. 用 RISC-V 32I 汇编指令对程序模板 qsort600.s 中给定的数组 v 中的 600 个 32 位整型数据从小到大进行快速排序。

完成下列任务：

(1) 在 Ripes 上完成快速排序程序 qsort600 的编程，并将汇编代码源程序用“姓名 xxxx.s”命名，xxxx 为学号后四位，该文件作为附件与大作业报告同时提交。

(2) 使用 Ripes 预设定的 32-Entry 4-Words 直接映射配置，当处理器分别选择 5-stage processor w/o forwarding unit 和 5-stage processor 时，截取 Ripes 模拟器中 Processor 界面右下方的 Execution Info 中的完整数据（图例

如下) 用于汇报你的 qsort600 排序程序的运行数据。Cycles 数越小代表你的程序越快, 得分越高。

请使用你的截图取代下面的 Execution info 截图。

Execution info	
Cycles:	872005
Instrs. retired:	696801
CPI:	1.25
IPC:	0.799
Clock rate:	905.66 Hz

(3) 限定 cache 的容量 (不含状态位和 tag) 大小限定为 128Words, 每个 Word 为 32 位。分别使用三种映射方式 (直接映射、组相联系映射和全相联映射), 以命中率为评价指标, 通过调整 cache 的配置参数 (cache 行数量、相联度、cache 块大小), 找出最佳的 cache 配置, 并在最佳 cache 配置下运行程序, 待 qsort600 排序程序结束后参考下图截取红框内的 cache 数据, 将截图贴在大作业报告上。

下面截图中的数据不作为参考依据。

