

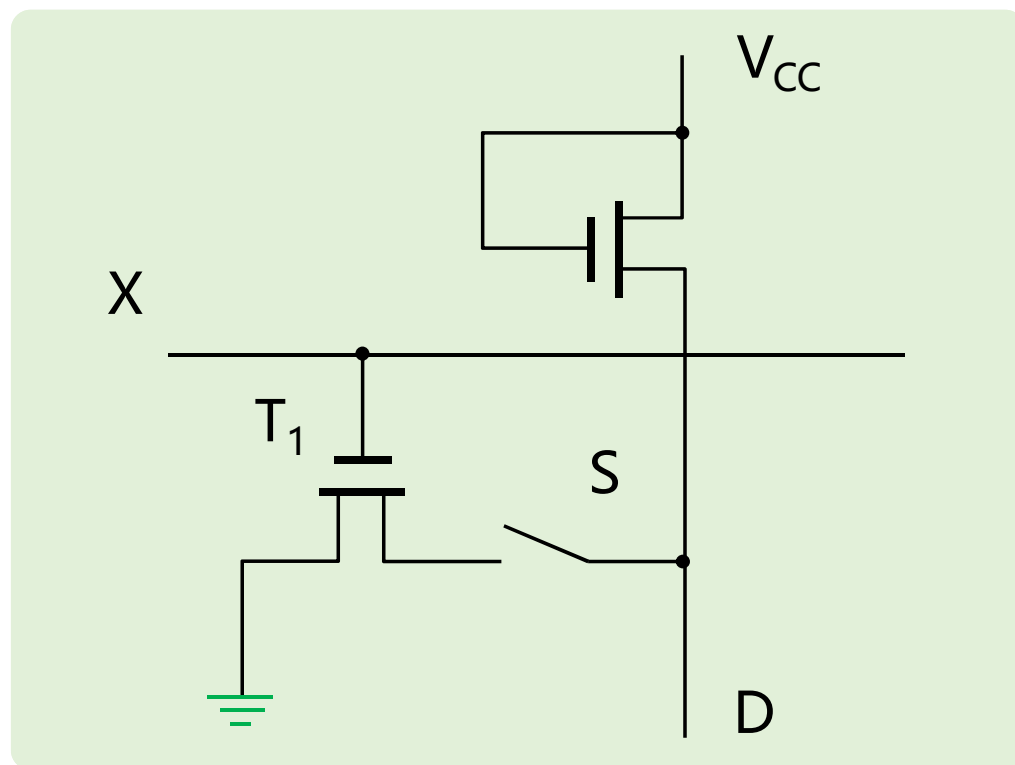
主存储器

- 基本概念
- 随机存储器
- **只读存储器**
- 新型存储器
- 主存储器与CPU的连接

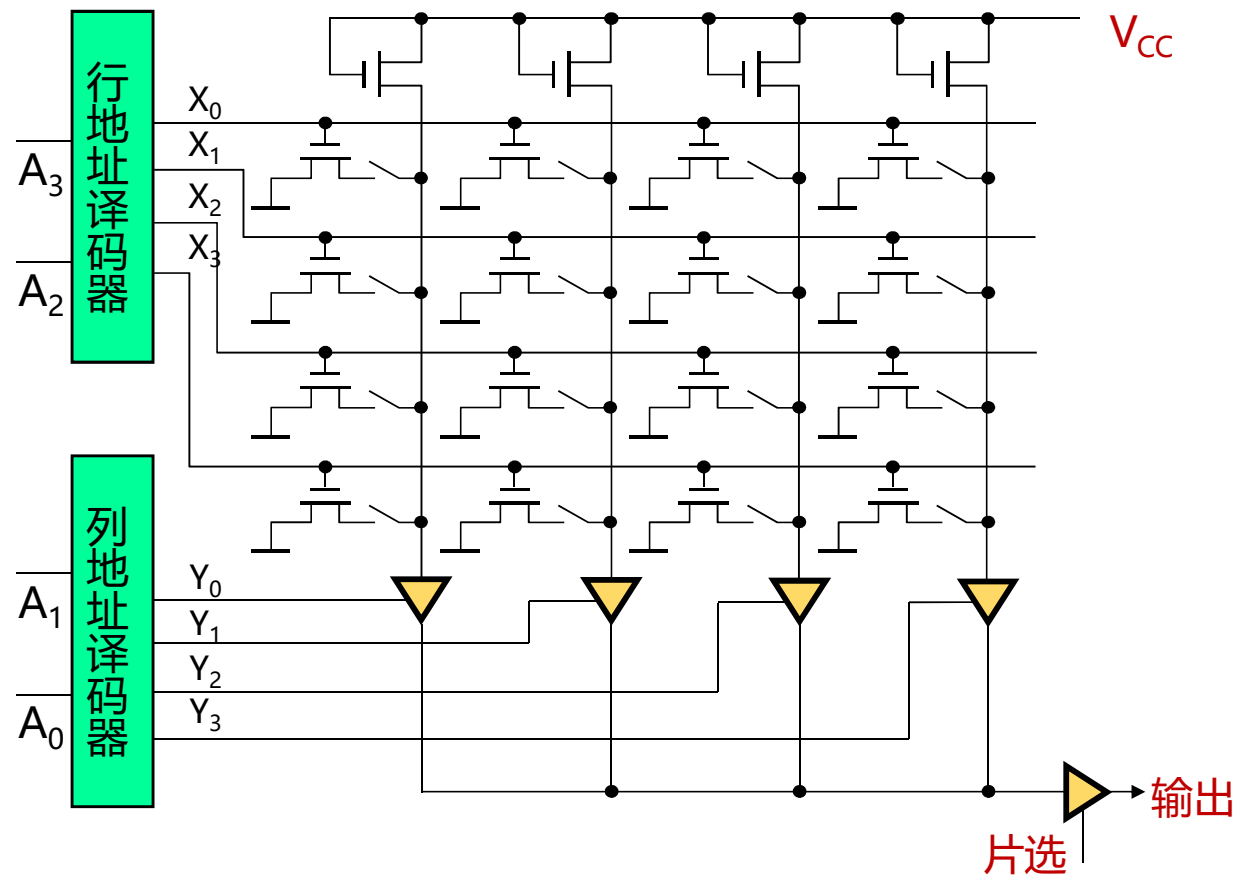
|| 只读存储器(ROM)

- 掩模式只读存储器
- 一次编程只读存储器 (PROM)
- 多次编程只读存储器 (EPROM, EEPROM)
- 闪存 (FLASH)

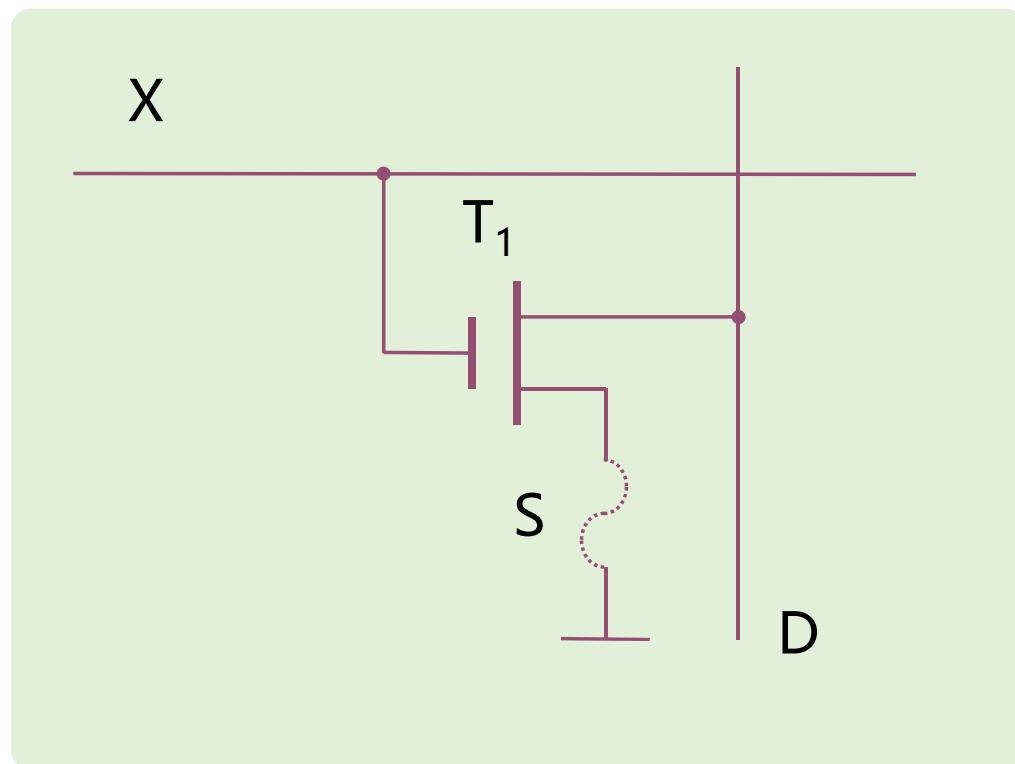
只读存储器



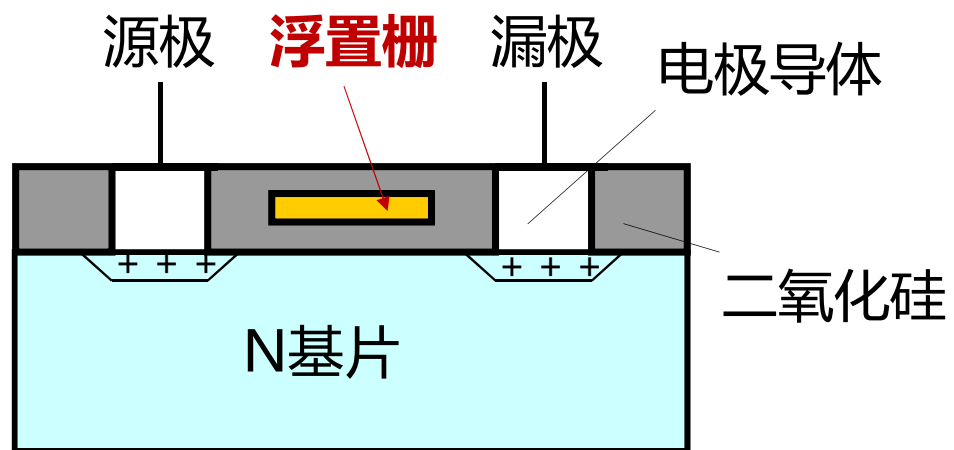
只读存储器阵列



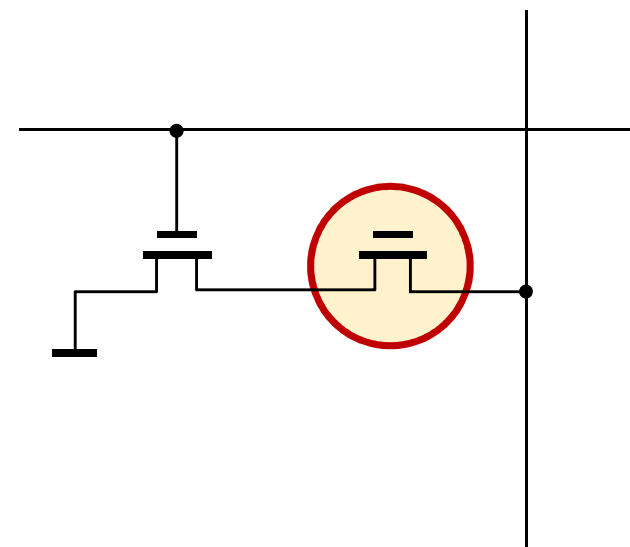
熔丝式ROM(PROM)



可擦写ROM——EPROM

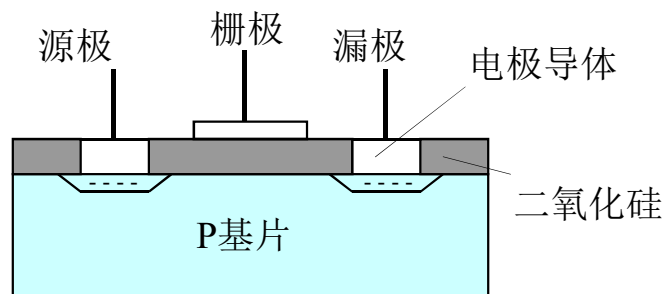


(a) 单元结构

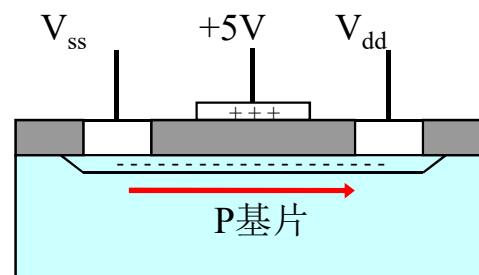


(b) 电路结构

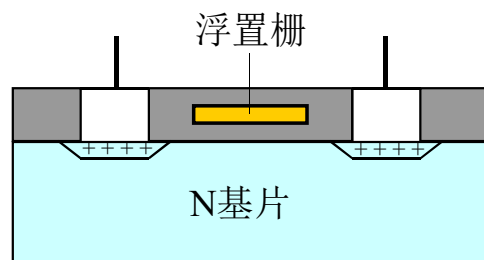
MOS管与EPROM的两种状态



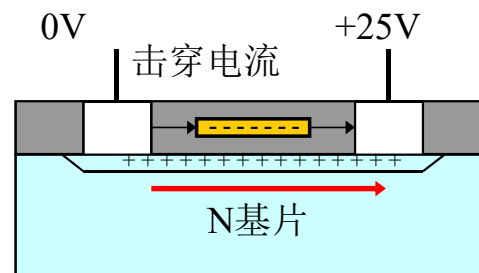
(a) N沟道MOS晶体管结构



(b) N沟道MOS晶体管导通状态

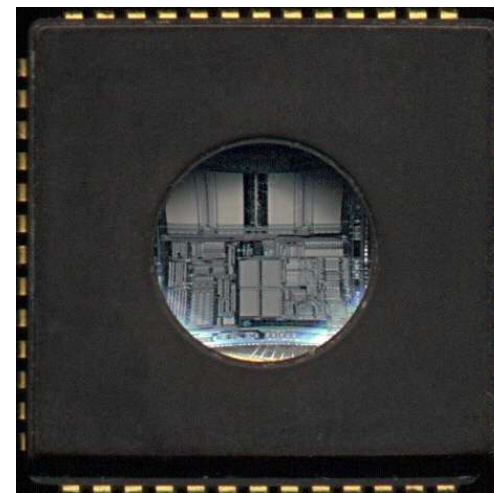
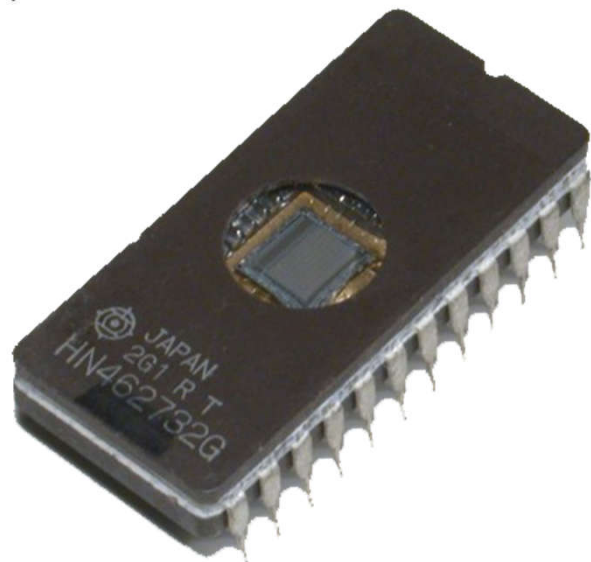


(c) EPROM晶体管结构



(d) EPROM晶体管导通状态

EPROM



■ 高压写入

紫外线光照擦除

编程器

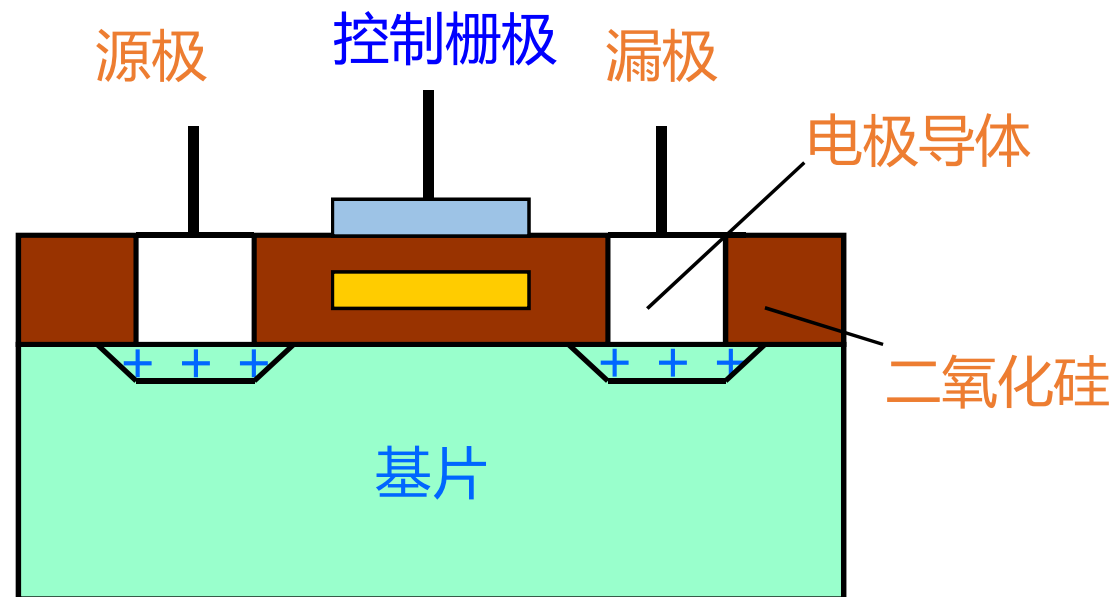


紫外线擦除器



电可擦写ROM——EEPROM E²PROM

■ Electrically Erasable Programmable ROM



易失性半导体存储器 VOLATILE

■ DRAM

- FPM DRAM (Fast Page Mode RAM)
- EDO DRAM (Enhanced Data Out DRAM)
- SDRAM (Synchronous DRAM)
 - ◆ PC66 PC100 PC133 168 pin
- DDR SDRAM (double data rate synch. DRAM)
 - ◆ PC1600 PC2100 PC2700 PC3200 184 pin
 - ◆ DDR200 DDR266 DDR333 DDR400 DDR600
- RDRAM (Rambus DRAM)

■ SRAM

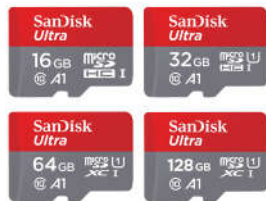


|| 非易失性半导体存储器 NON-VOLATILE

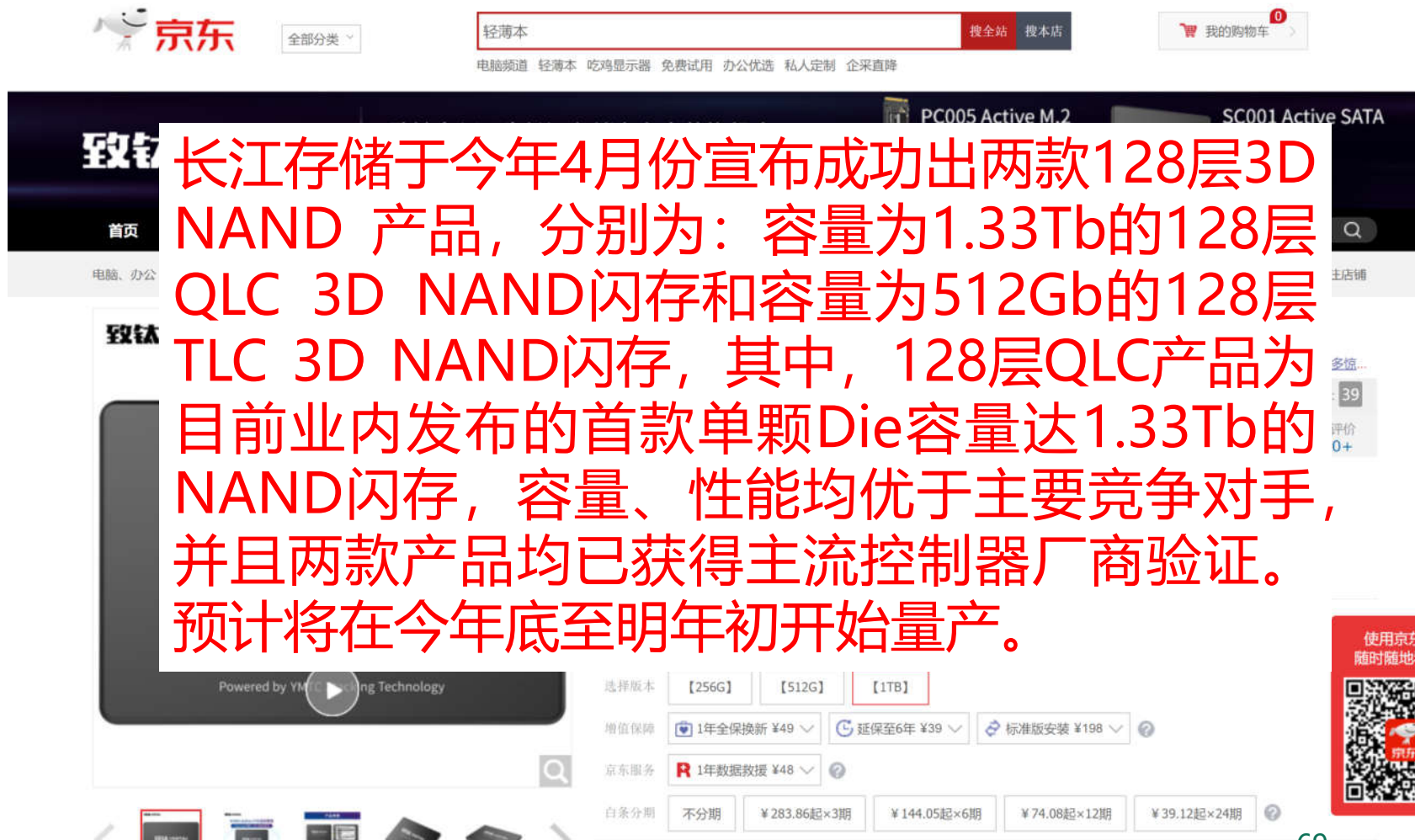
- ROM (read only memory)
- PROM (Programmable ROM)
- EPROM (Erasable PROM)
- EEPROM (Electrically Erasable PROM)
- NVRAM (Non-volatileRAM)
- BRAM (Battery-backup RAM)
- FERAM (FerroelectricRAM)
- MRAM (Magnetoresistive RAM)
- PCRAM (Phase changed RAM)

|| 闪速存储器 Flash Memory

- 在不加电时仍可长期保持信息
- 本质上属于EEPROM，存储速度快
- 易于擦除和重写，功耗很小
- 存放BIOS，升级方便，CIH病毒
- NOR & NAND FLASH
 - NOR随机访问，可用于执行程序
 - NAND需要专用管理接口
 - 长江存储2019年9月宣布量产64层3D NAND 256Gb TLC单颗（三星、SK海力士，东芝和镁光已经128层）



闪速存储器 Flash Memory



京东

全部分类

轻薄本

搜全站 搜本店

我的购物车

电脑频道 轻薄本 吃鸡显示器 免费试用 办公优选 私人定制 企采直降

致钛

首页

电脑、办公

致钛

Powered by YMTC

长江存储于今年4月份宣布成功出两款128层3D NAND 产品，分别为：容量为1.33Tb的128层QLC 3D NAND闪存和容量为512Gb的128层TLC 3D NAND闪存，其中，128层QLC产品为目前业内发布的首款单颗Die容量达1.33Tb的NAND闪存，容量、性能均优于主要竞争对手，并且两款产品均已获得主流控制器厂商验证。预计将在今年底至明年年初开始量产。

选择版本

【256G】 【512G】 【1TB】

增值保障

1年全保换新 ¥49 延保至6年 ¥39 标准版安装 ¥198

京东服务

1年数据救援 ¥48

白条分期

不分期 ¥283.86起×3期 ¥144.05起×6期 ¥74.08起×12期 ¥39.12起×24期

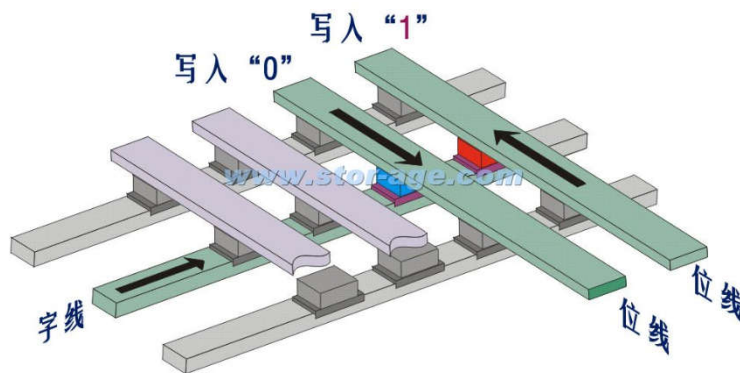
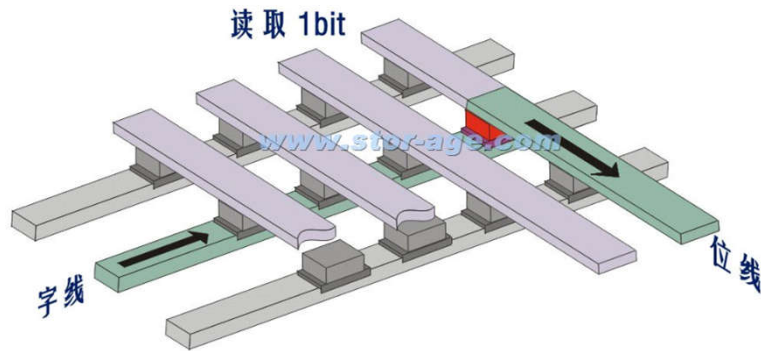
使用京东 随时随地看

京东

|| **MRAM (Magnetoresistive RAM)**

- MRAM的主要技术特点就是使用TMR（隧道型磁电阻）磁性体单元来存储数据
- 利用电阻随磁化方向而变化的原理记录数据，并通过隧道效应扩大电阻值的差别
- 耗电量低，且可高速写入和读取。擦写次数无限制
- TMR技术也可用于硬盘的磁头

MRAM (Magneto resistive RAM)



MRAM的目标

DRAM一样的高容量

SRAM一样的高速度

非易失性存储

|| 半导体存储器对比

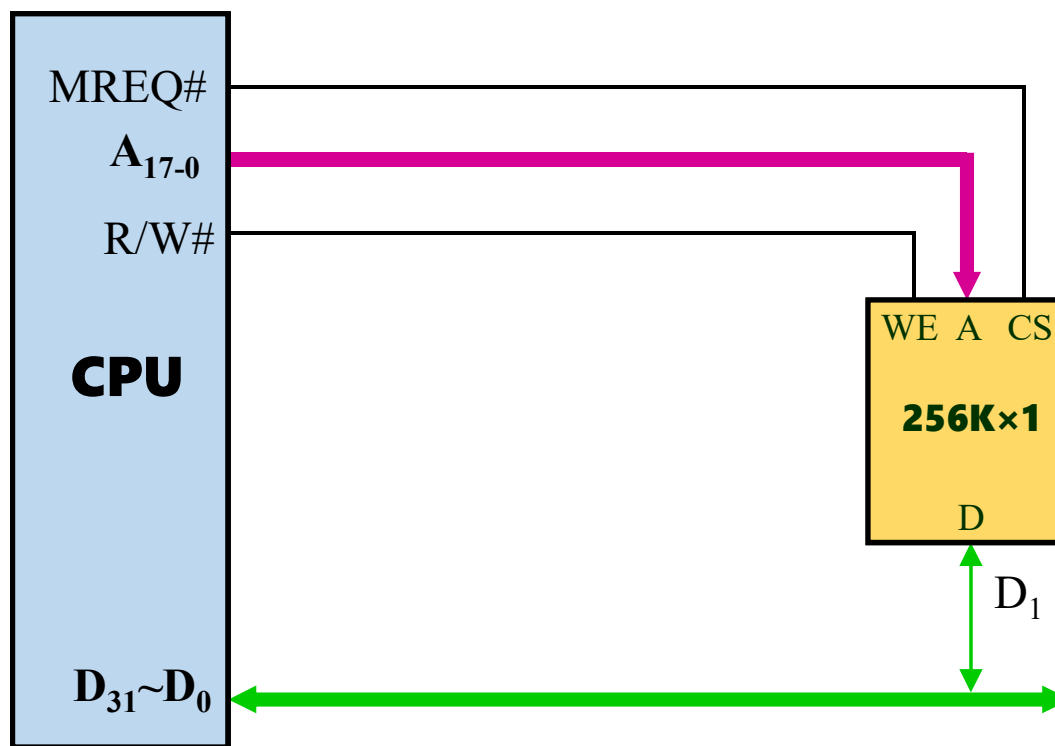
| SRAM | DRAM | ROM | PROM | EPROM | EEPROM |
|------|---------|-----|------|-------|--------|
| MOS管 | 电容 | 开关 | 熔丝 | 浮置栅 | 浮置栅 |
| 快 | 慢 | 只读 | 写一次 | 高压写入 | 高压写入 |
| 6MOS | 1MOS+1C | | | 紫外线擦 | 控制栅极 |
| 功耗高 | 价格便宜 | | | 离线擦除 | 在线电擦 |
| | 动态刷新 | | | 擦后写 | 擦后写 |
| | 行列分开 | | | | |

|| 主存储器

- 基本概念
- 随机存储器
- 只读存储器
- **主存储器与CPU的连接**
- 高速主存储器

主存储器与CPU的连接

- 地址线的连接
- 数据线的连接
- 控制信号线的连接
- 存储扩展



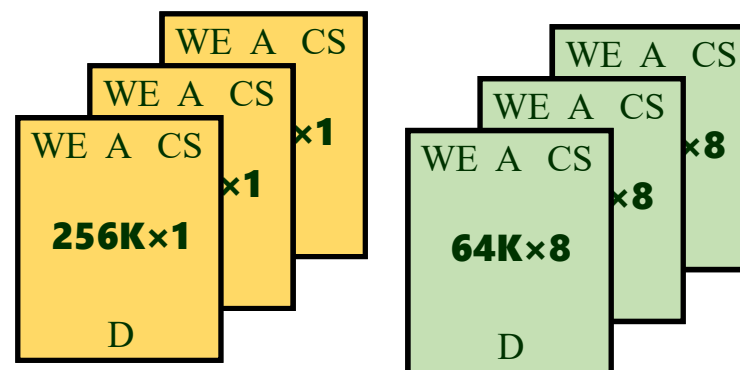
存储器扩展

■ 字长扩展(数据总线扩展)

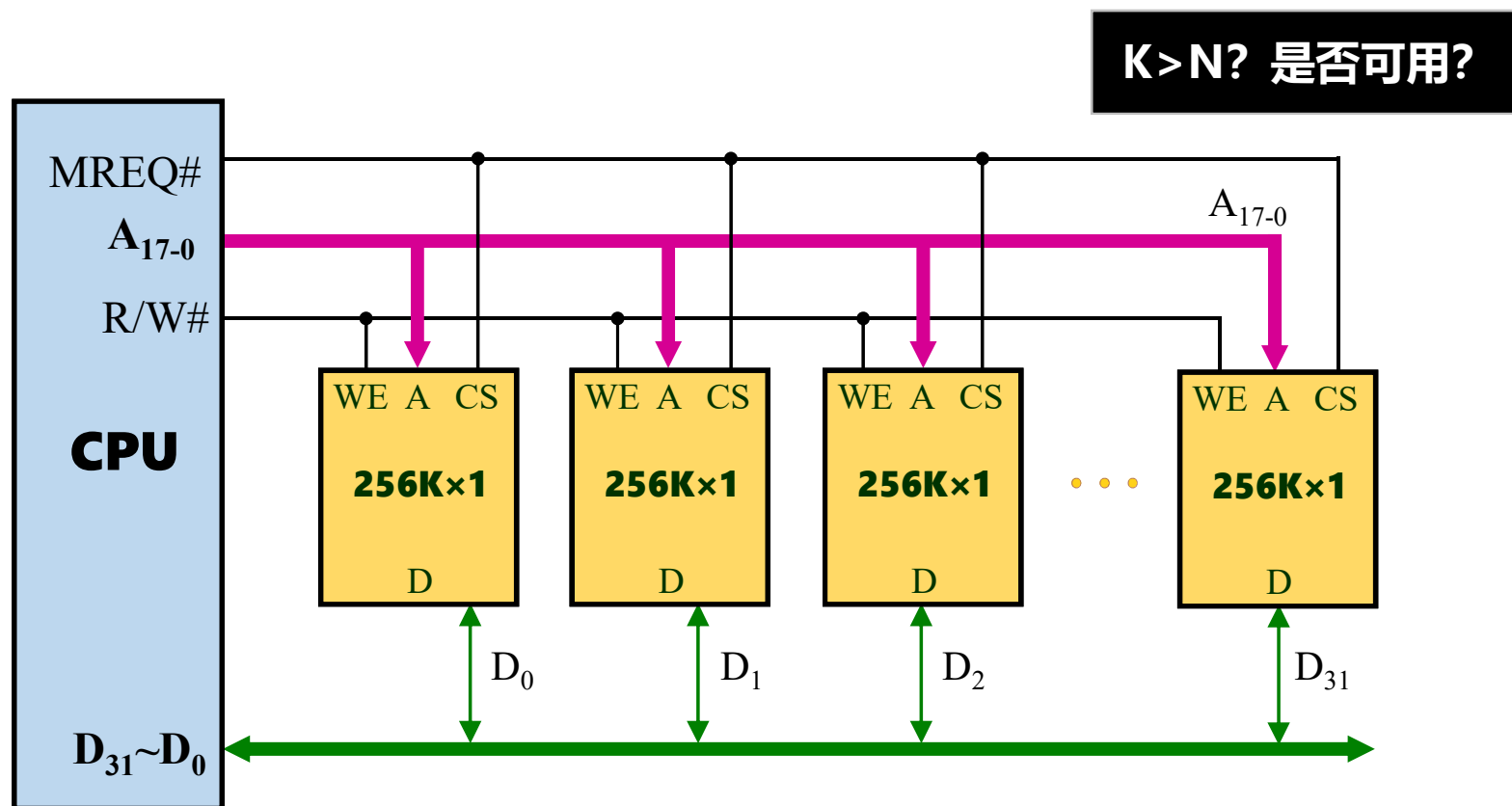
□ 各芯片并行工作

■ 字数扩展(地址总线扩展)

□ 同一时刻仅一芯片工作



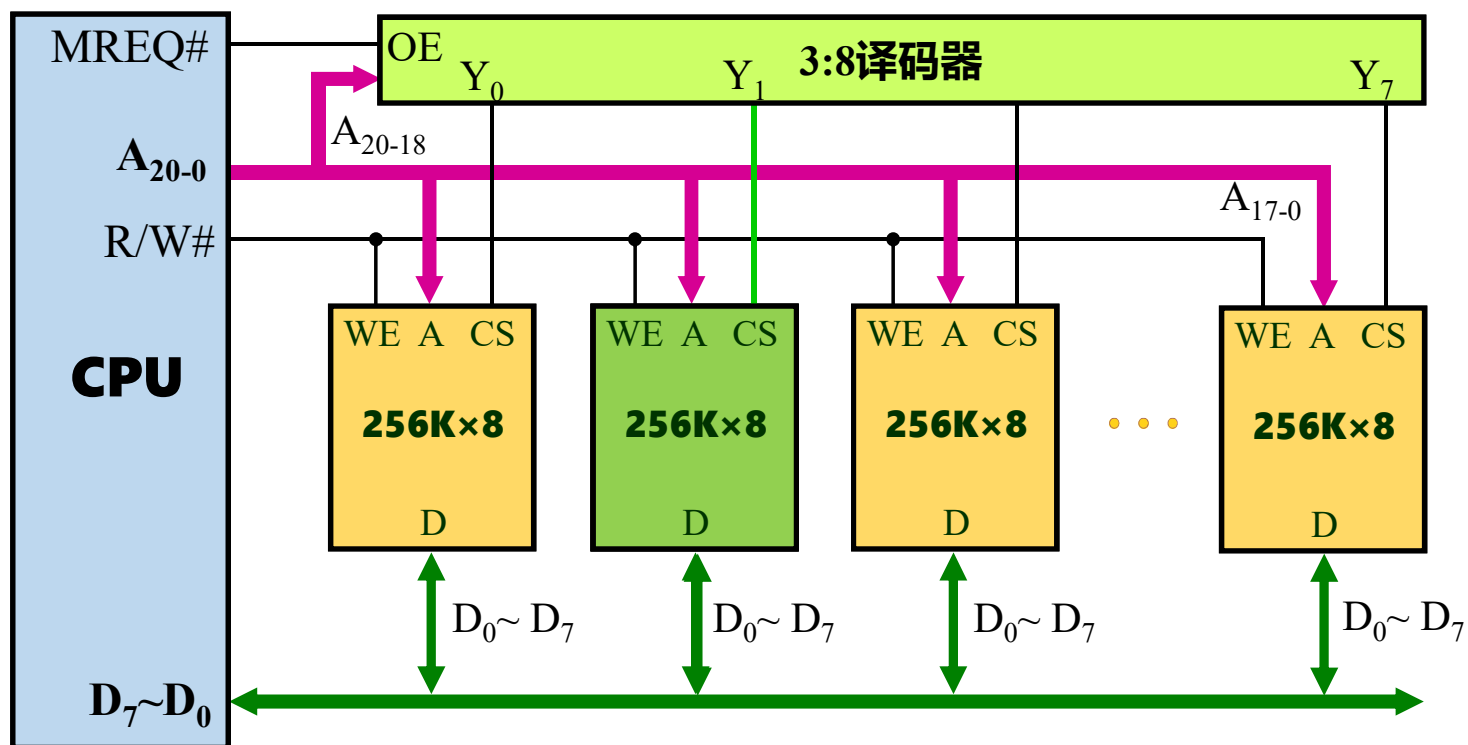
字长扩展 (DBUS)



存储系统位宽为 N 位，若使用 k 位芯片， $k < N$ ，需 (N/k) 个芯片

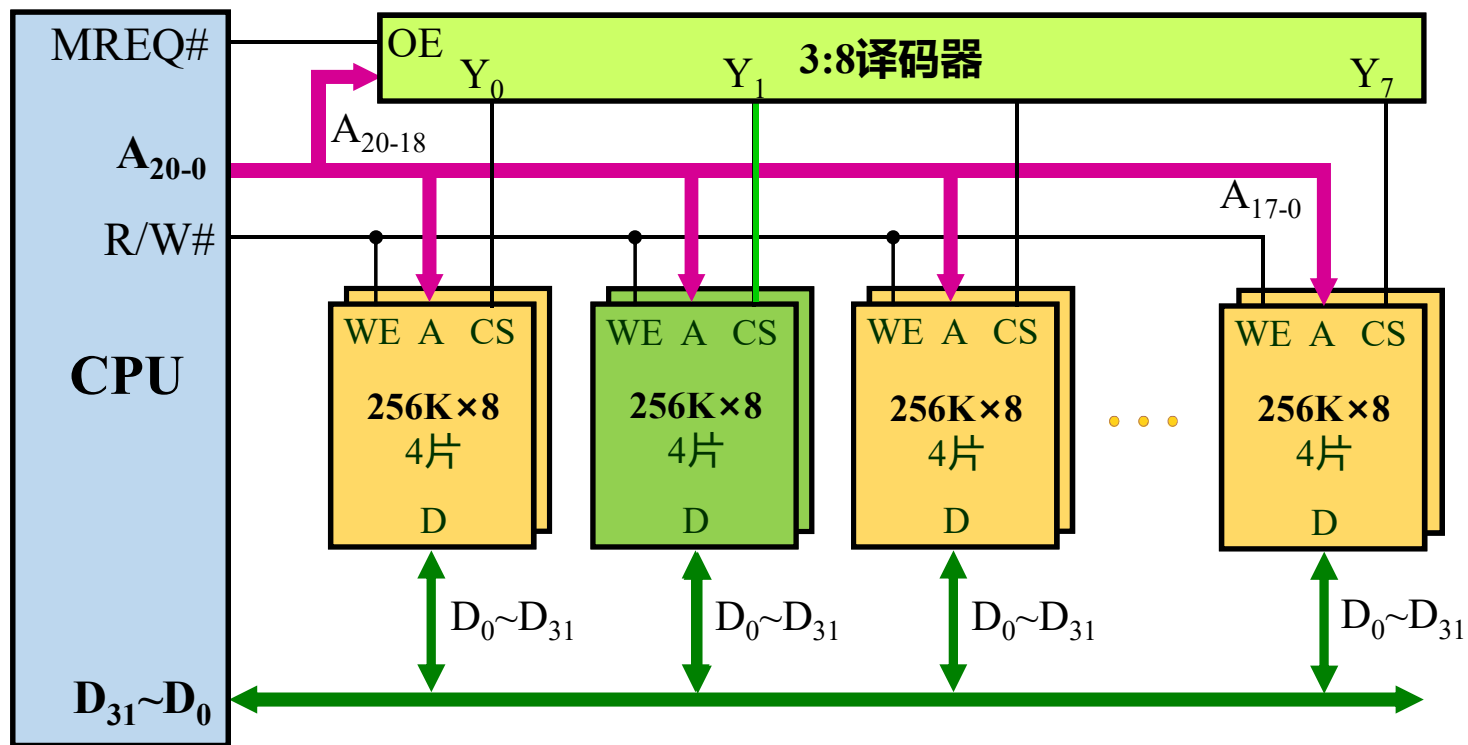
字数扩展(ABUS)

I > M? 是否可用?



存储系统容量为 M, 若使用容量I的芯片, $I < M$, 需 (M/I) 个芯片

综合扩展



存储系统 $M*N$ 位, 若使用 $l*k$ 位的芯片, $l < M, k < N$, 需 $(M/l) * (N/k)$ 个芯片

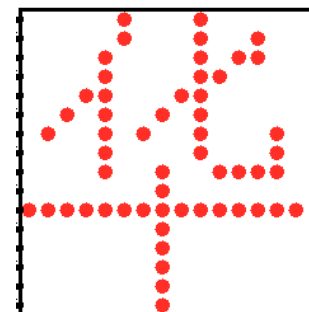
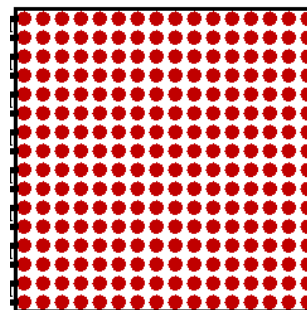
16*16点阵字库设计

■ 汉字字库：用于输出汉字字形码

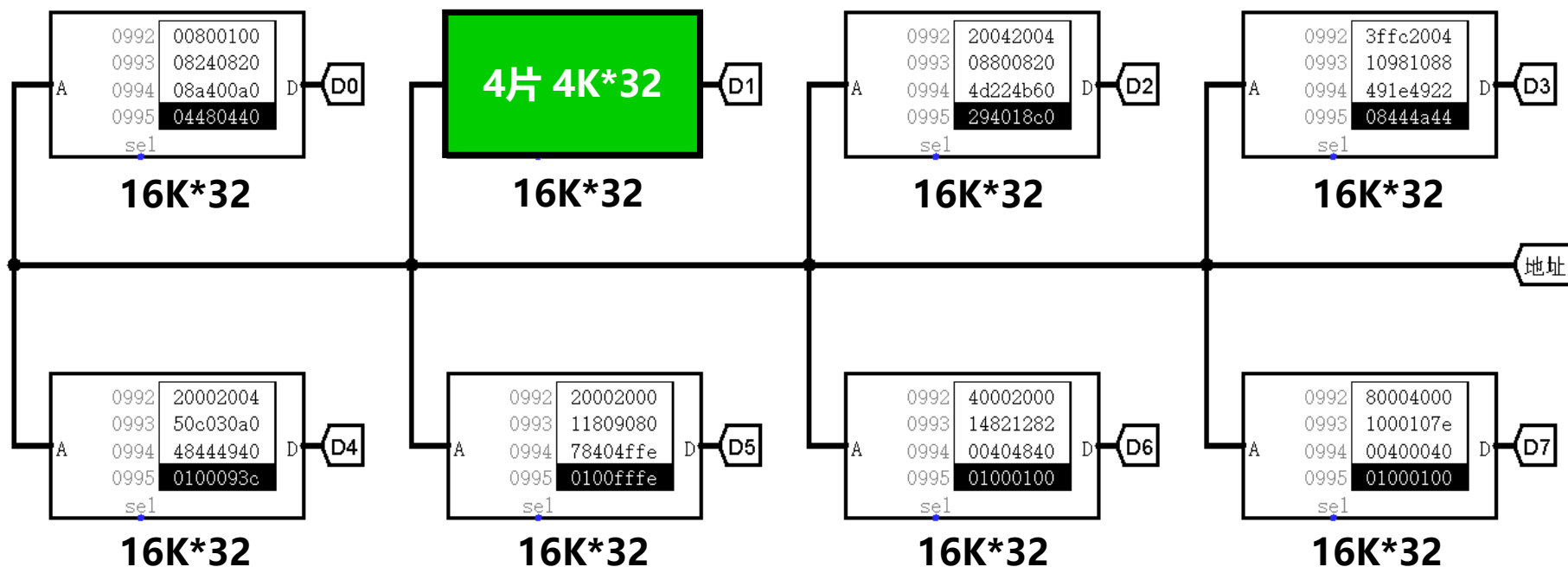
- 输入：区号，位号
- 输出：对应汉字编码的字形码（字模码）

■ 16*16点阵需256位才能显示一个汉字

- 字库存储单元位宽应该为256位
- Logisim 中ROM数据位宽最多32位
- 位扩展
 - ◆ 8个16K*32位的ROM存储器
 - ◆ 256位最终输出到8个32位输出引脚



字库设计实验

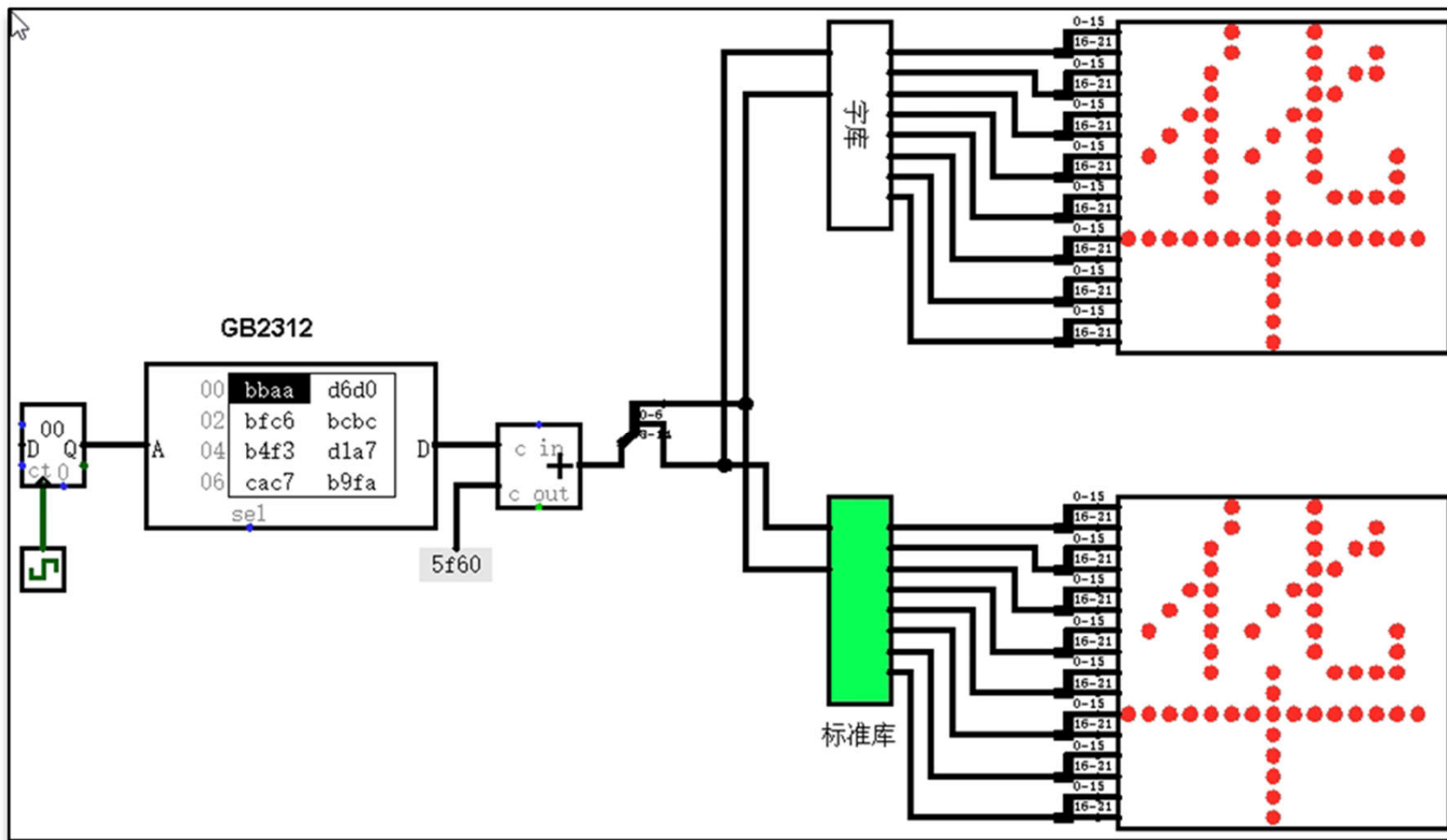


■ 用4片4K*32位的ROM 替换其中一片16K*32位器件

□ 容量扩展 (地址总线扩展)

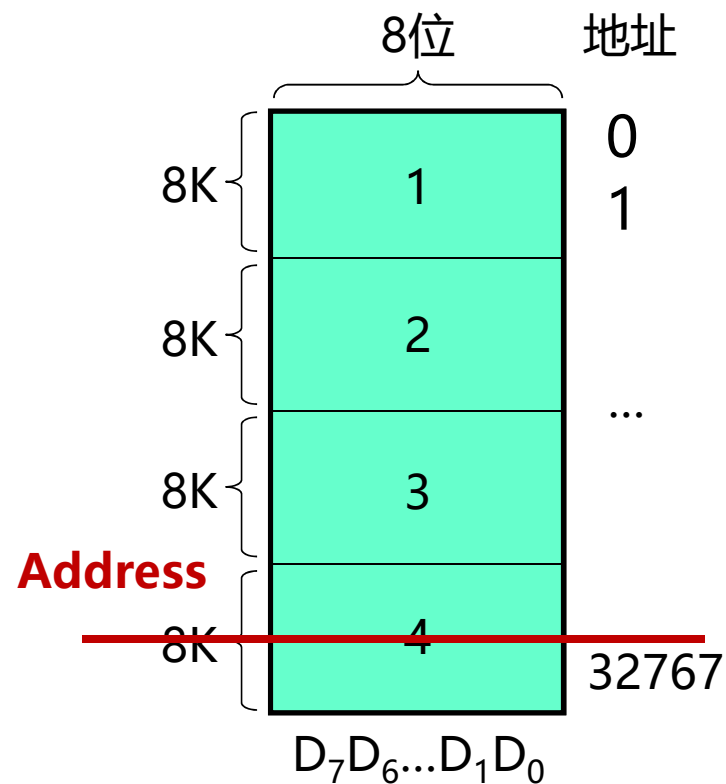
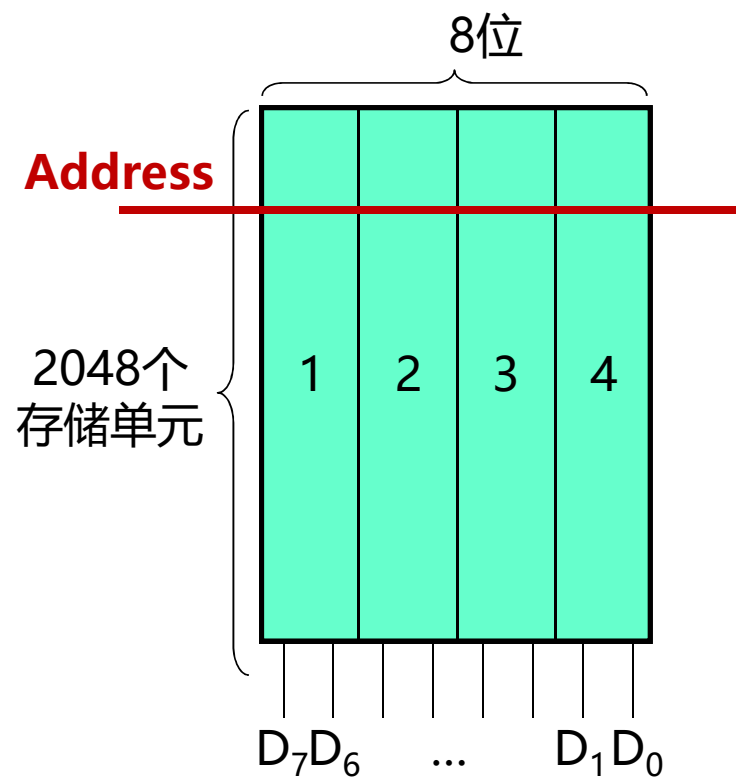
□ 原字库文件数据如何分布?

汉字字库自动测试

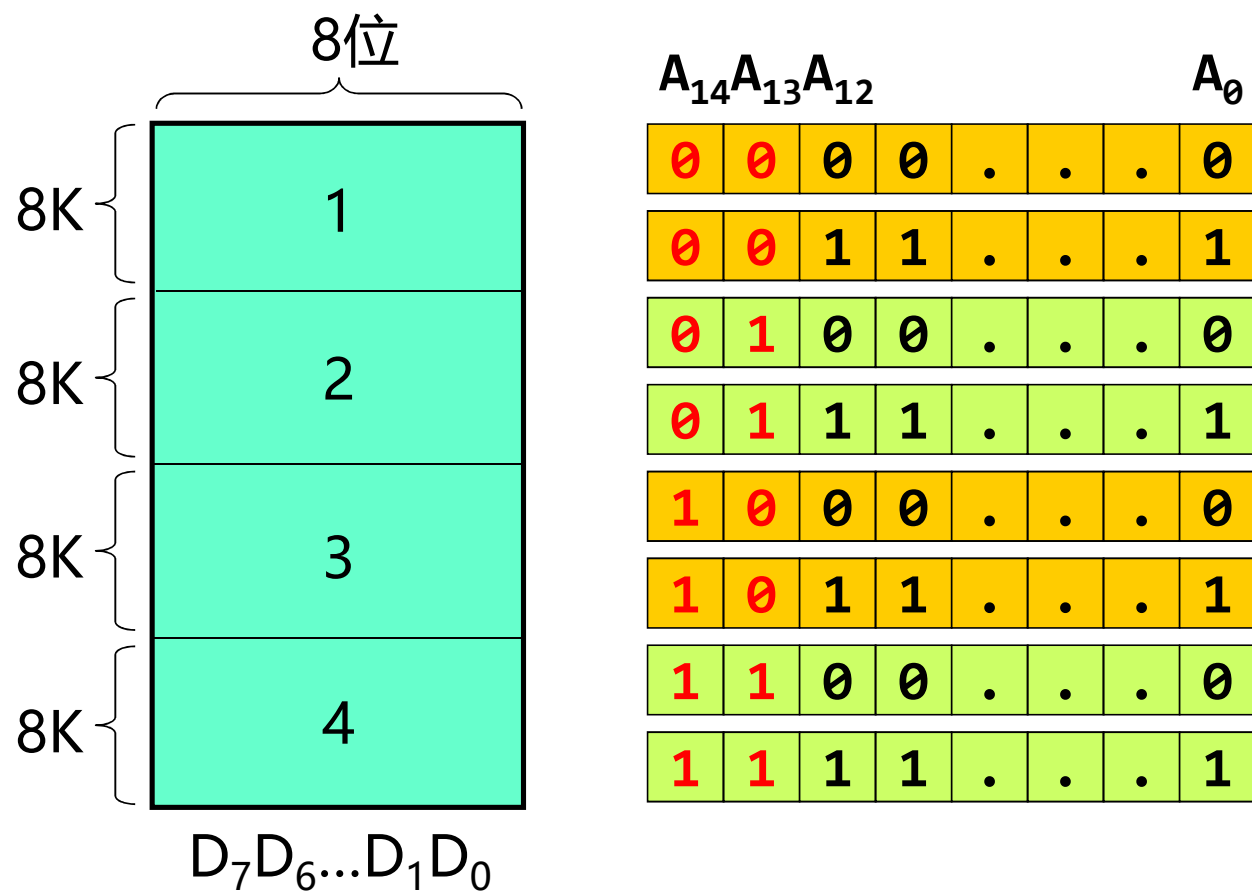


时钟频率8Hz, Ctrl+k, Command+k 自动测试, 提交检查

芯片表示的主存空间



各芯片地址范围



综合扩展举例

某计算机的主存地址空间中

0x0000到3FFF为ROM存储区域

0x4000到0x5FFF为保留地址区域

0x6000到0xFFFF为RAM地址区域。

RAM的控制信号为CS#和WE#，CPU地址线A15~A0，数据线D7~D0，控制信号有读写控制R/W#和访存请求MREQ#。

1. 如ROM和RAM都采用8K×1芯片，试画出与CPU的连接图。
2. 如ROM采用8K×8的芯片，RAM芯片采用4K×8的芯片，试画出与CPU的连接图。
3. 如果ROM采用16K×8的芯片，RAM芯片采用4K×8的芯片，试画出与CPU的连接图

地址范围

0x0000 ~0x3FFF 16K*8 ROM

| | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

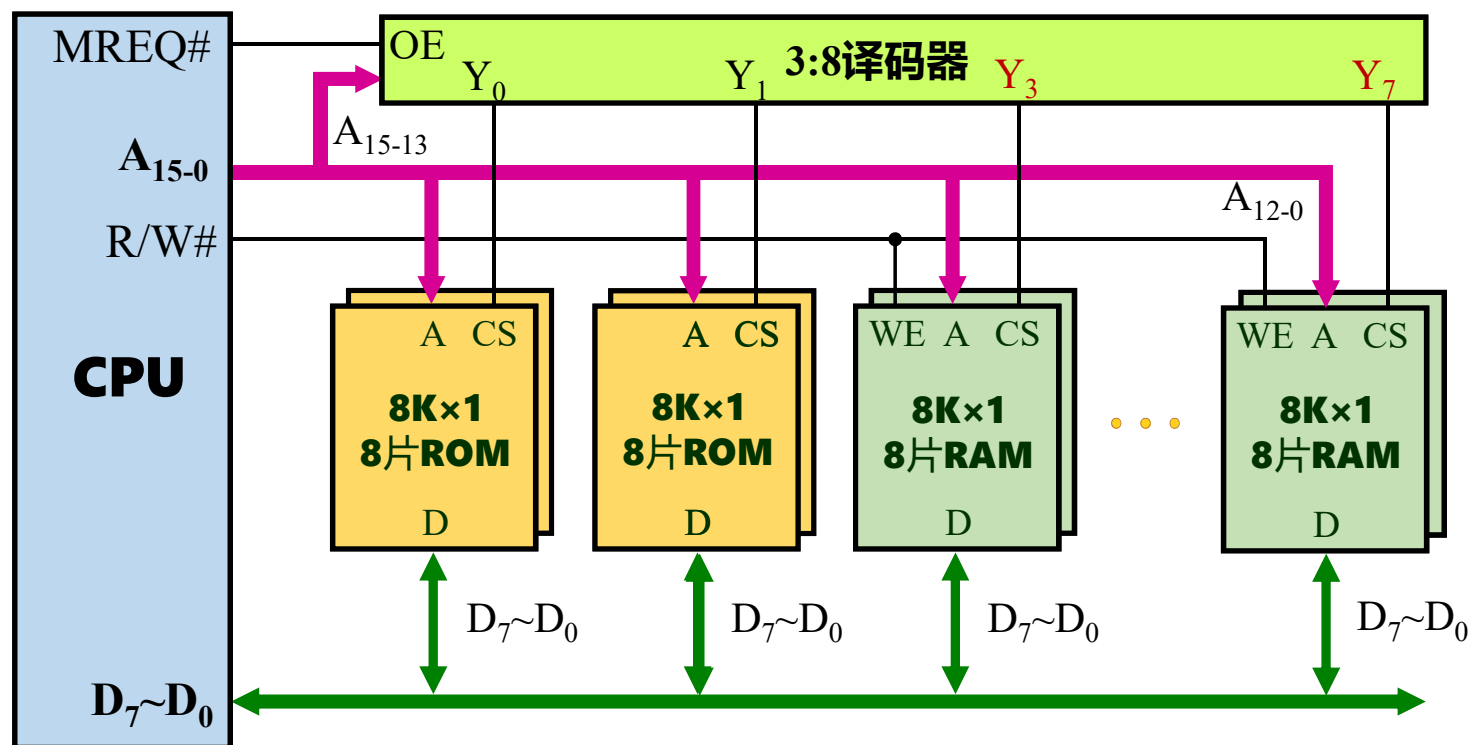
0x4000~0x5FFF 8K*8 RESERVED

| | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

0x6000 ~0xFFFF 40K*8 RAM

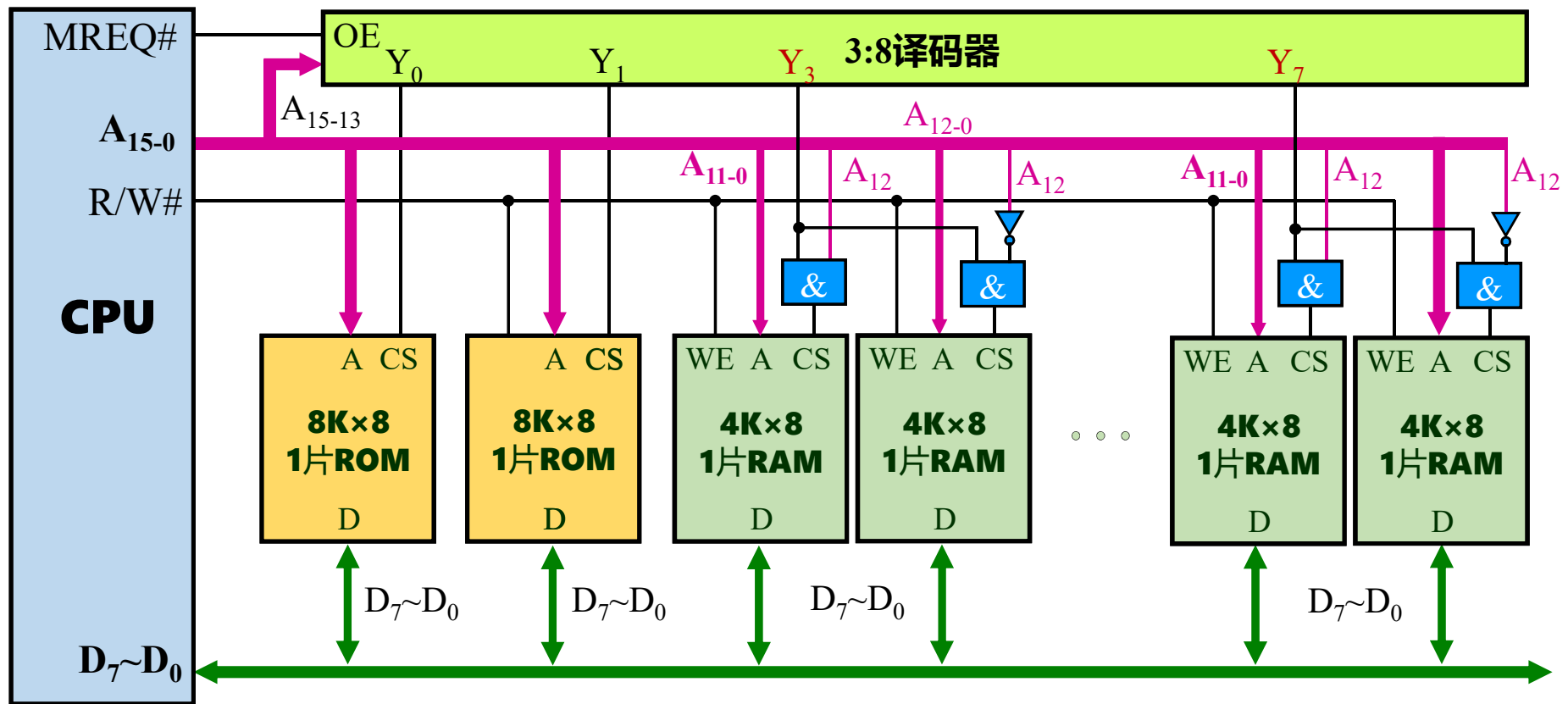
| | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

1、8K×1 ROM、RAM

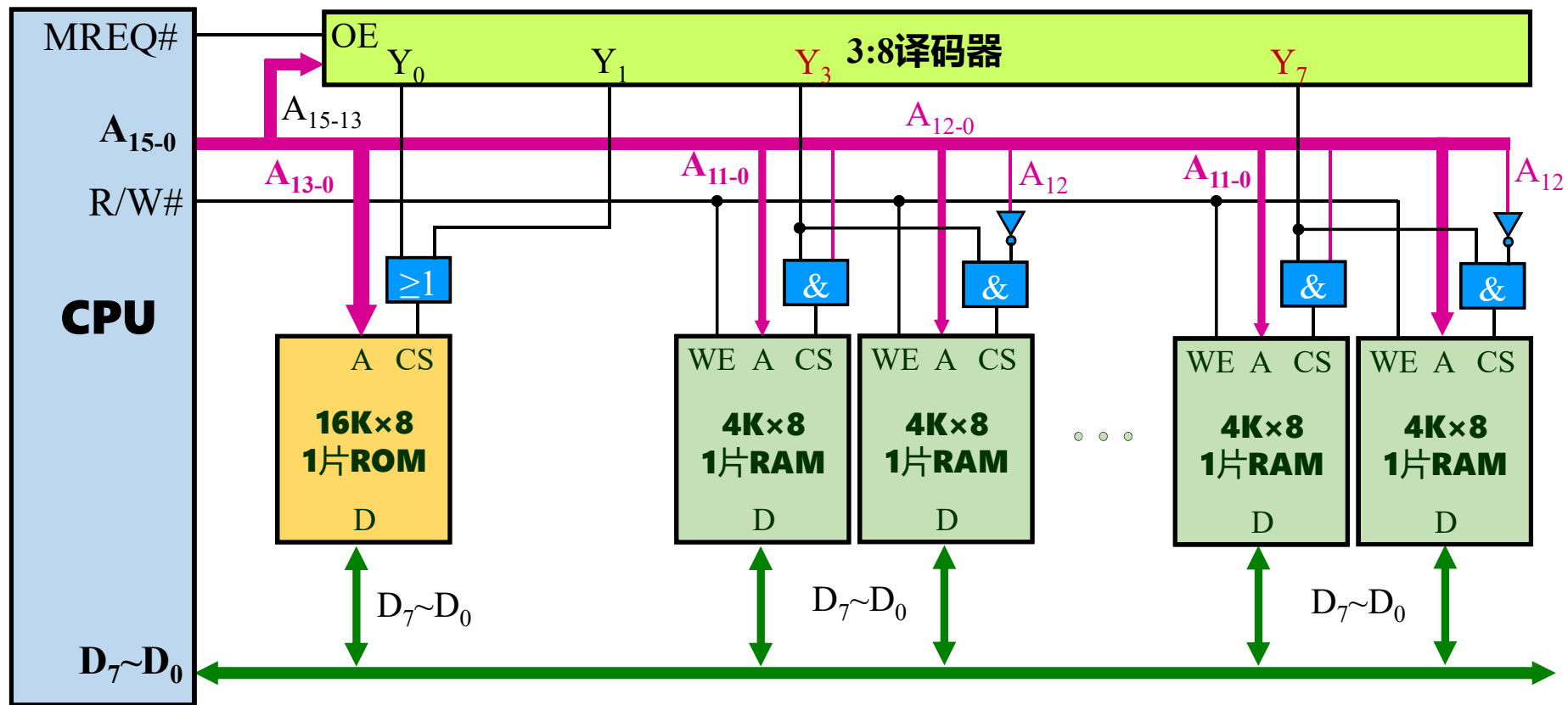


注意译码器片选信号的连接对应不同的存储区间和设备类型

2、8K×8 ROM , 4K×8 RAM



3、16K×8 ROM, 4K×8 RAM



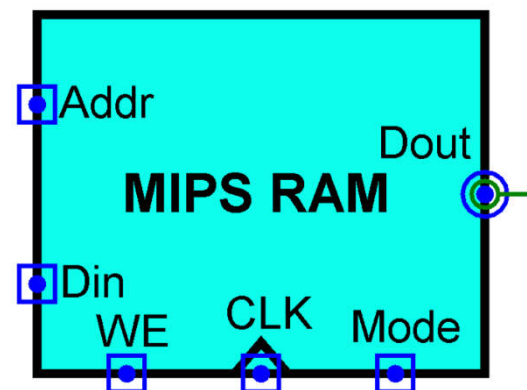
MIPS 存储器设计

■ 设计支持MIPS Load/Store指令的存储器

□ 字节/半字/字访问

□ lb lh lw

□ sb sh sw



主存储器

- 基本概念
- 随机存储器
- 只读存储器
- 新型存储器
- 主存储器与CPU的连接
- **高速主存储器**

|| 高速存储器

- CPU与存储器之间的速度无法匹配
- 解决之道
 - 增加Cache;
 - 采用高速器件提高速度;
 - 采用双端口存储器;
 - 增加字长, 在每个存储周期中存取多个字。
 - 将主存划分为多个模块, 多模块并行

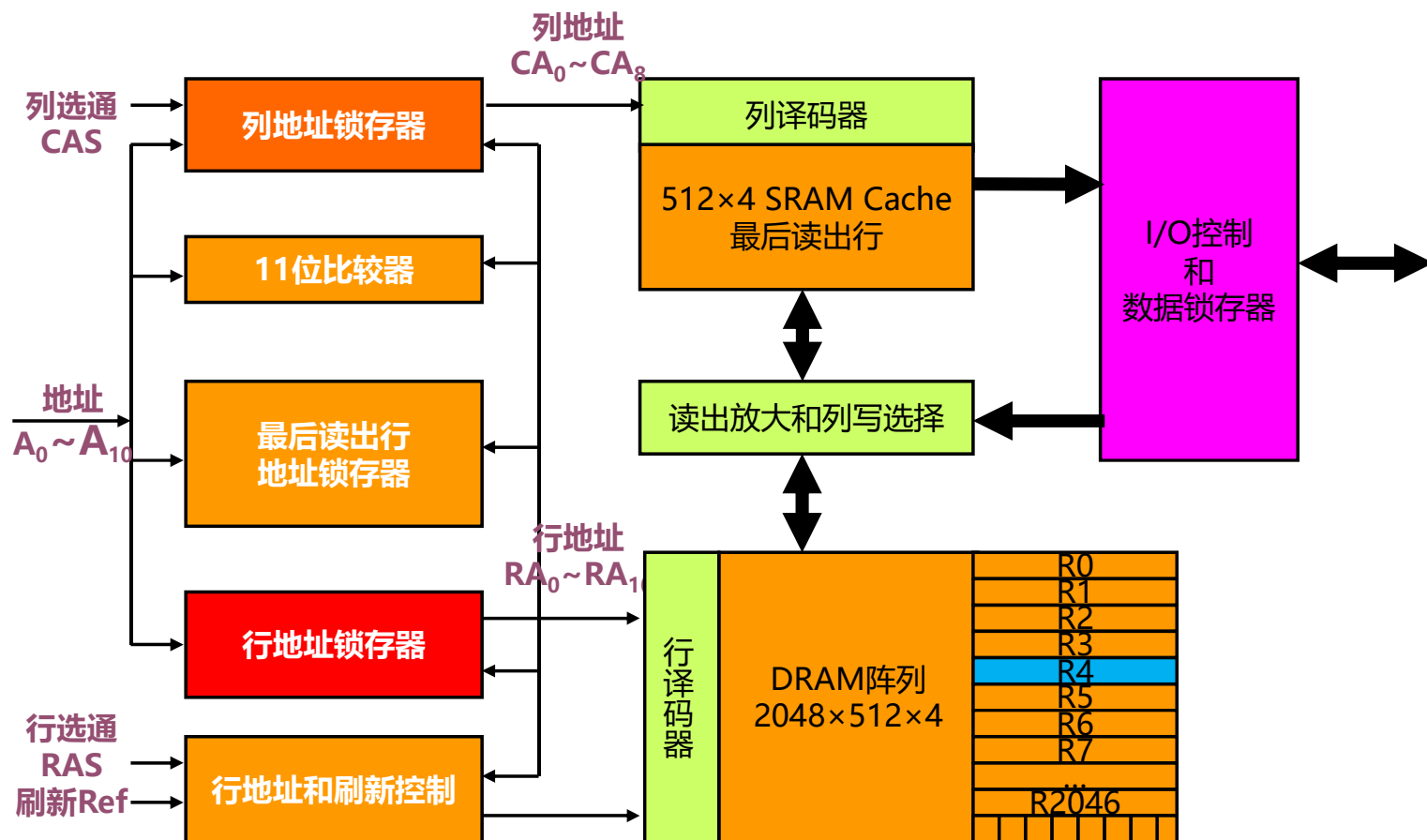
|| DRAM的发展

- FPM RAM
- EDRAM
- EDO RAM
- SDRAM
- DDR SDRAM
- RAMBUS SDRAM

|| 解决之道

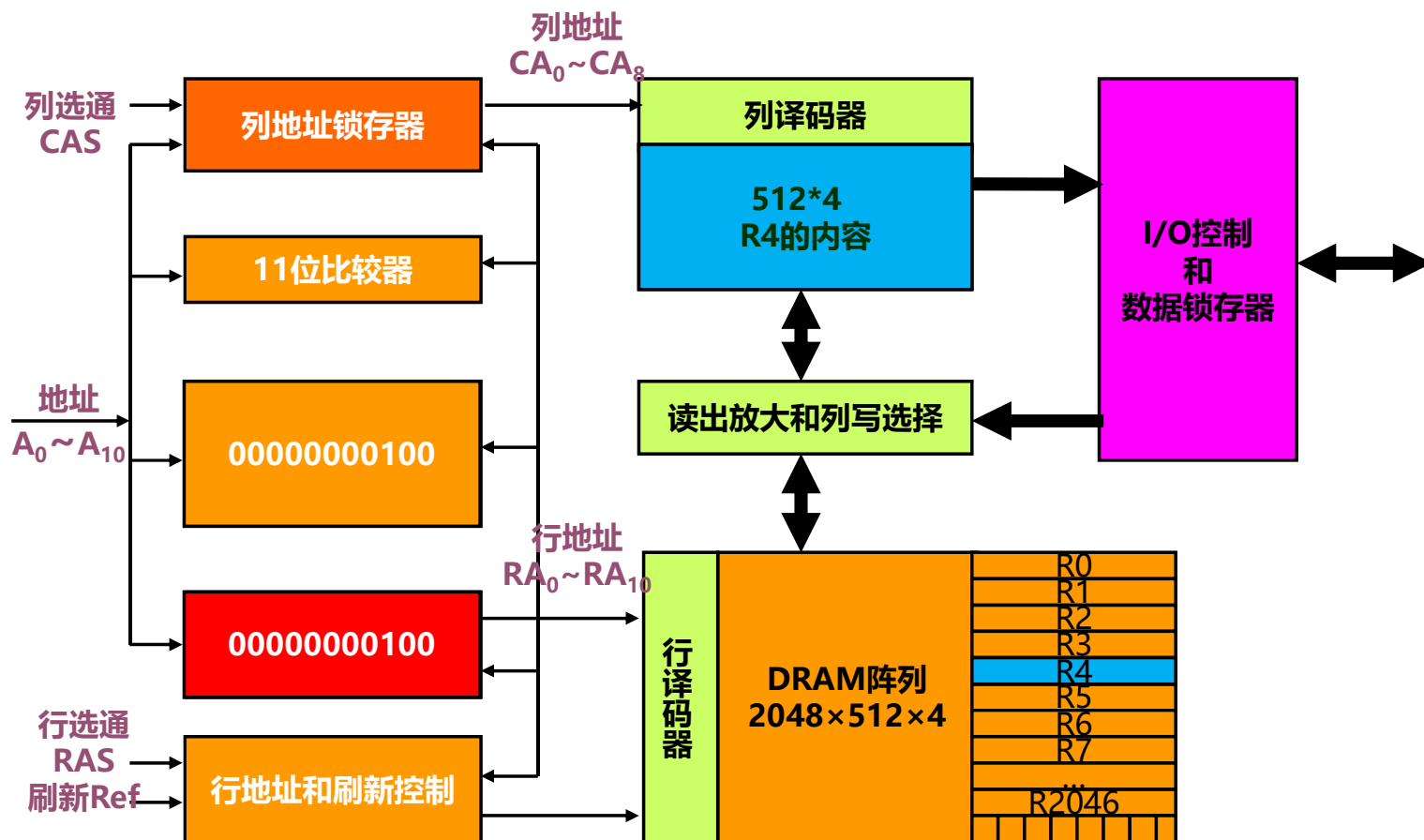
- 增加Cache;
- 采用高速器件提高速度;
- 采用双端口存储器;
- 增加字长，在每个存储周期中存取多个字;
- 将主存划分为多个模块，多模块并行。

EDRAM芯片 (增强型DRAM) 1M×4位



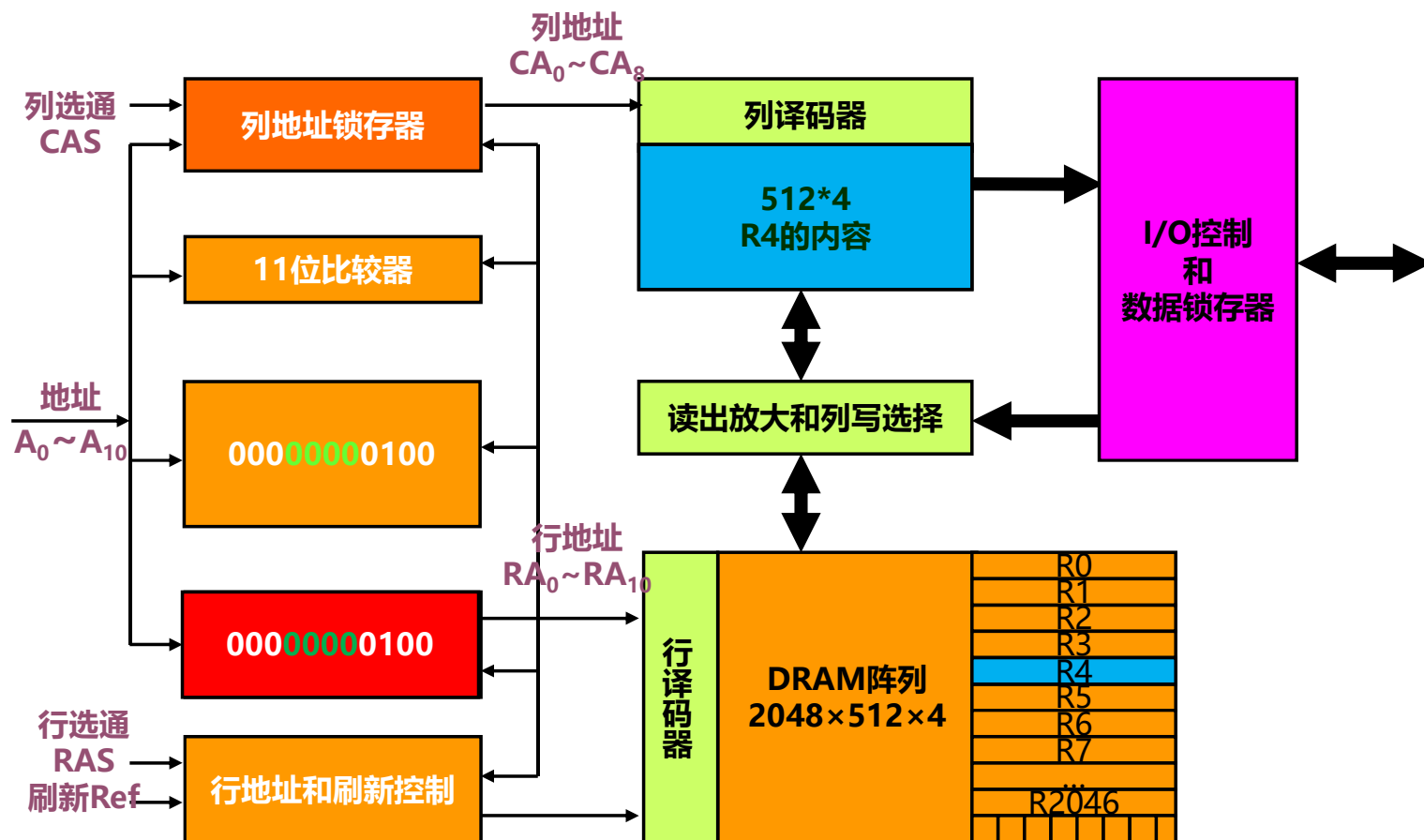
在DRAM芯片中增加小容量的SRAM Cache

EDRAM芯片读取过程 (1)



在DRAM芯片中增加小容量SRAM Cache

EDRAM芯片读取过程 (2)



可以提高顺序读取速度

SDRAM

■ 同步DRAM (SDRAM)

- 普通DRAM CPU访问的过程是先给出要访问单元的地址和控制信号 (R/W) , 经过一段延迟时间 (存取时间) 向DRAM写入数据或从DRAM中读出数据。在这一段延迟时间内, CPU只能等待。
- SDRAM与CPU的数据交换时钟信号同步, 且以处理器/主存总线的最高速度运行, 不需要等待时间。

■ DDR SDRAM

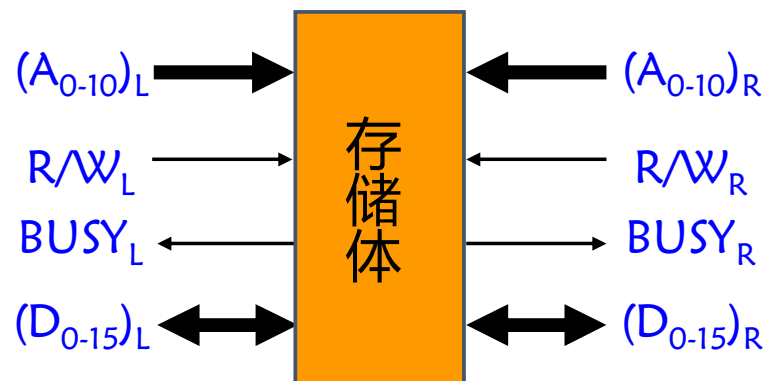
- DDR (Double Data Rate) SDRAM
- 时钟周期的上沿和下沿分别进行两次数据传输, 从而实现双倍数据传输速率

|| 解决之道

- 增加Cache
- 采用高速器件
- 双端口存储器
- 多模块并行

双端口存储器

- 具有两组相互独立的读写控制线路
- 两组读写控制线路可以并行操作
- 端口地址不相同，无冲突，并行存取
- 端口地址相同，读写冲突，无法并行存取



优化主存性能的方法

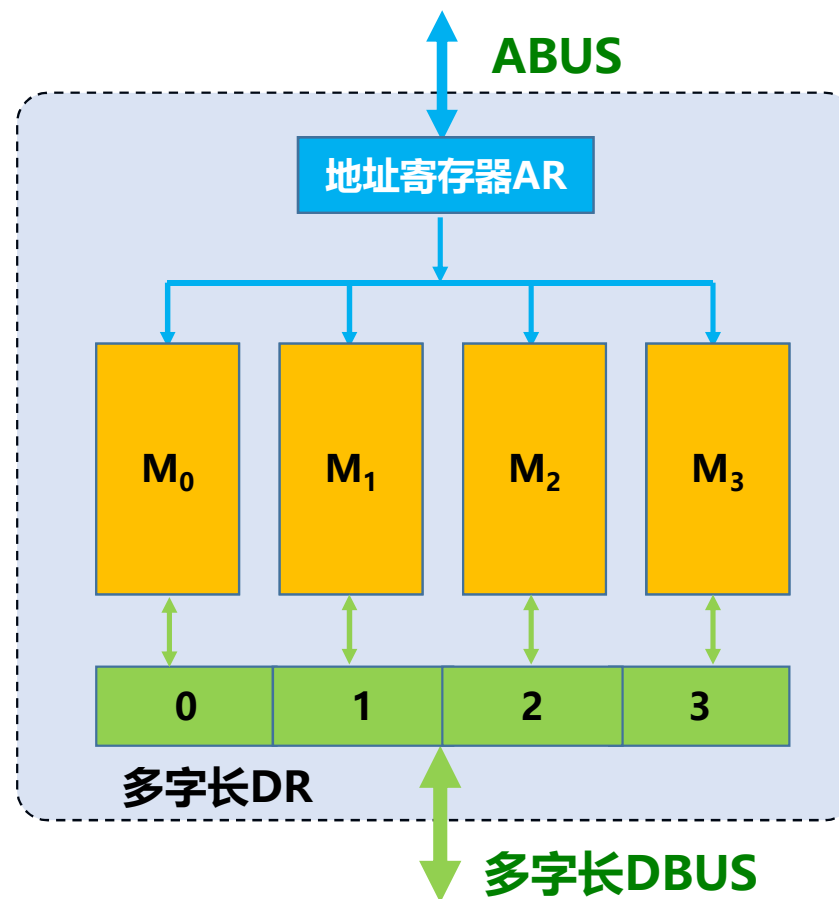
- 增加Cache
- 采用高速器件
- 双端口存储器
- 多模块存储器
 - **单体多字存储器**
 - 增加字长，多模块完全并行
 - **多体单字存储器**
 - 多模块流水线方式并行

- 两条8G内存条
- 单条16G内存条 性能差异？

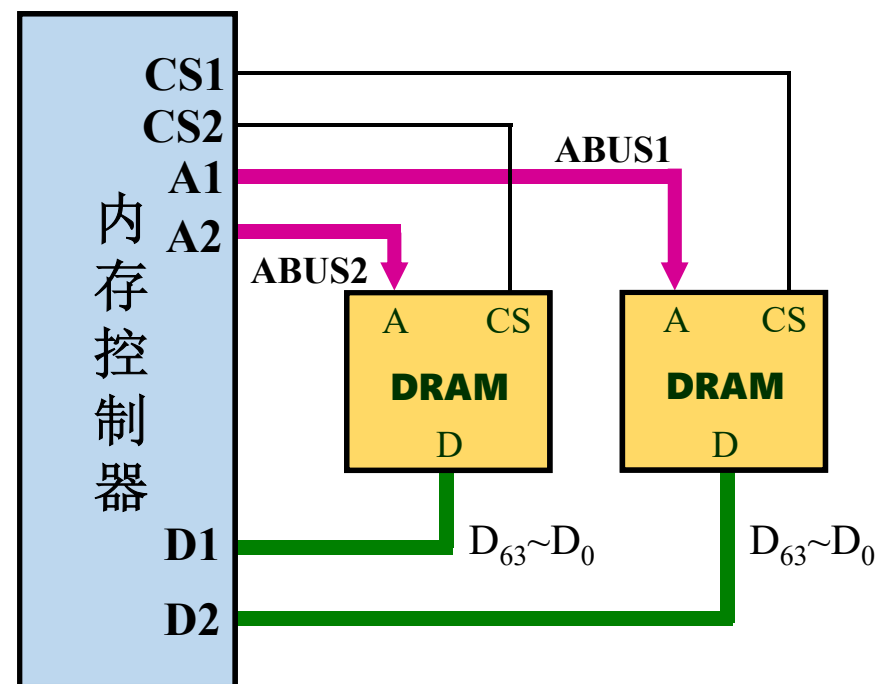
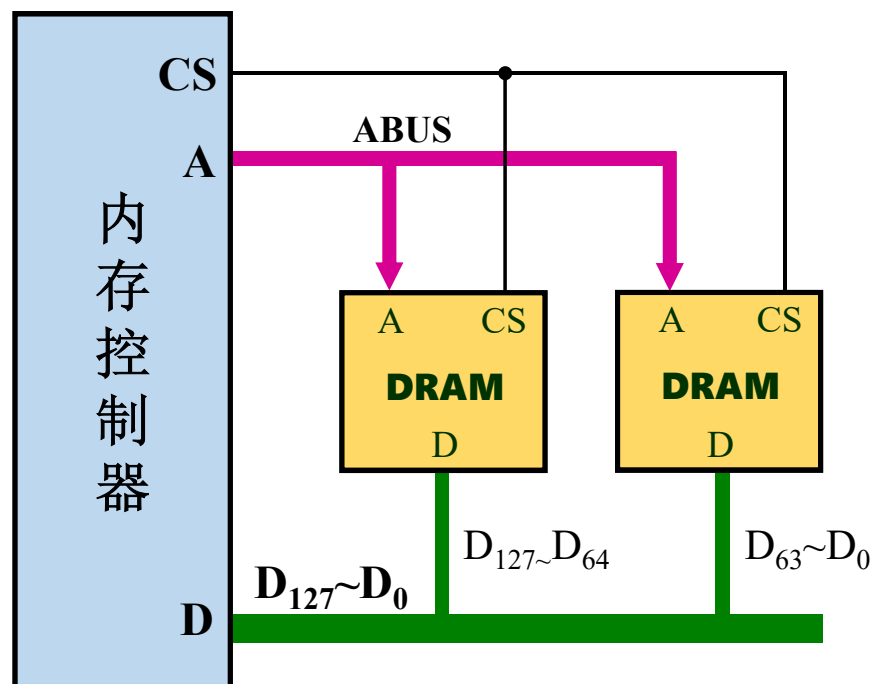


单体多字存储器

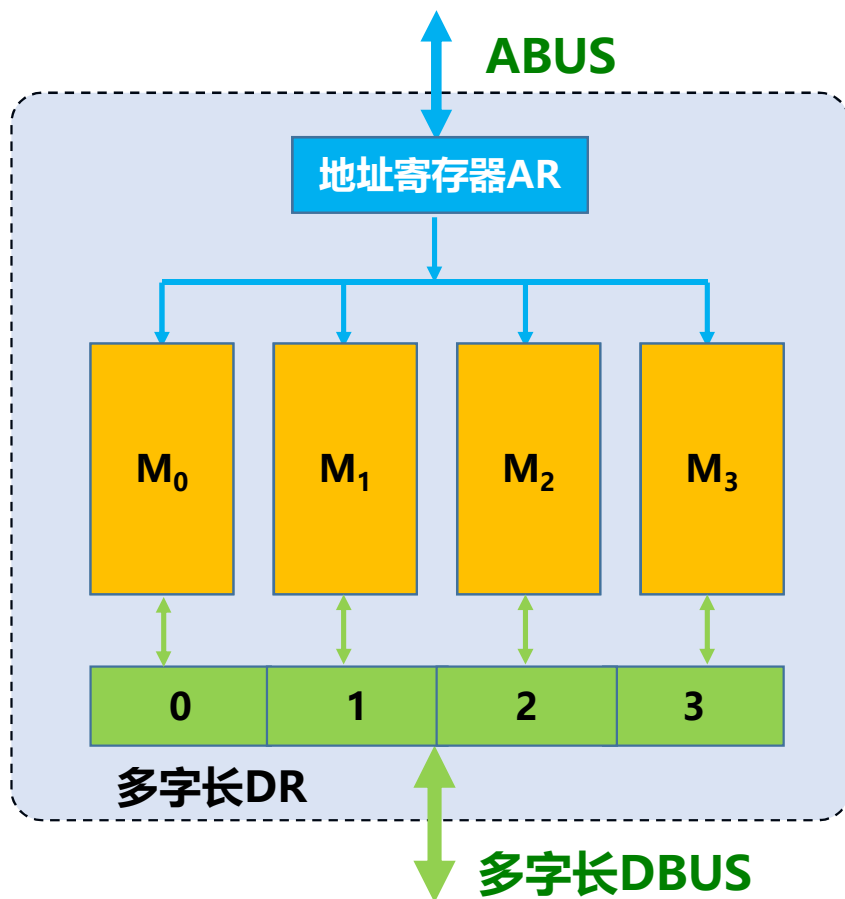
- 多个单字长存储模块**并发**
- 共用一个地址寄存器
- 单存储周期内访问多个存储字
- 性能线性增长，总线位宽变化



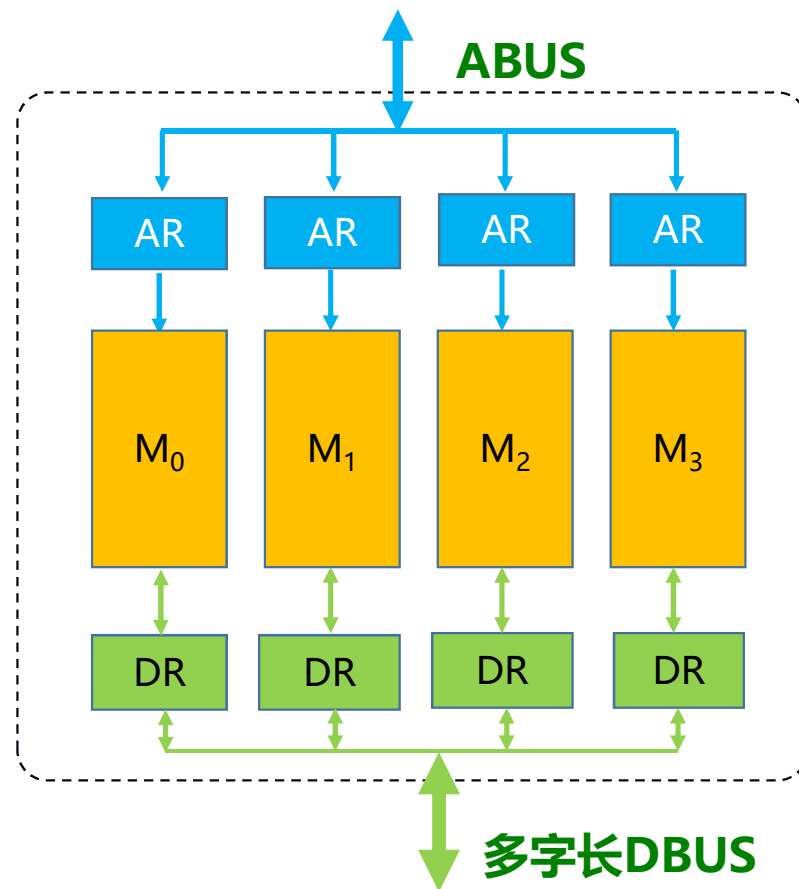
多通道内存



两种多通道模式

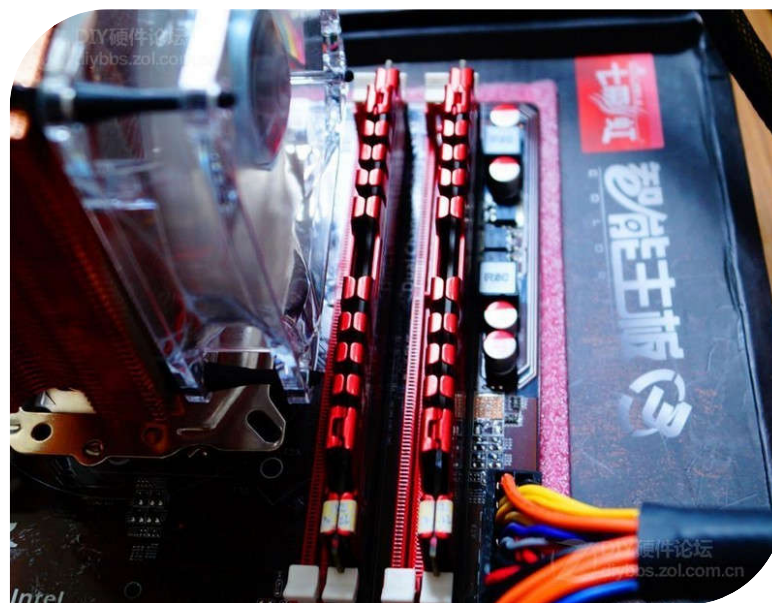
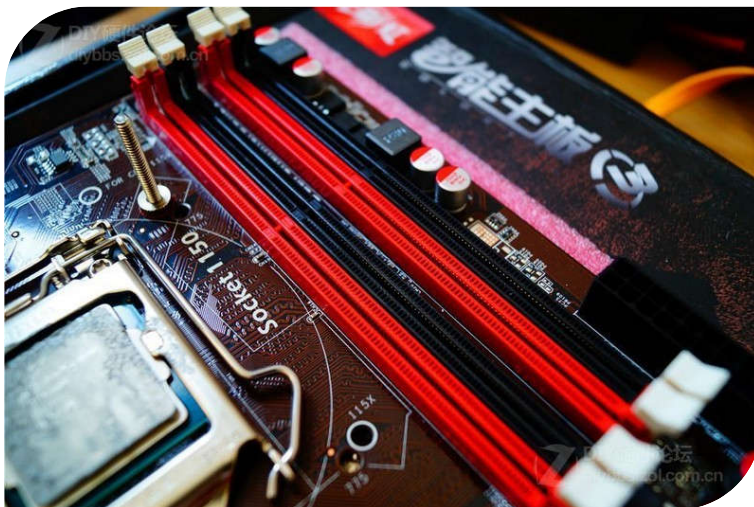


ganged



unganged

双通道内存实例 128bit



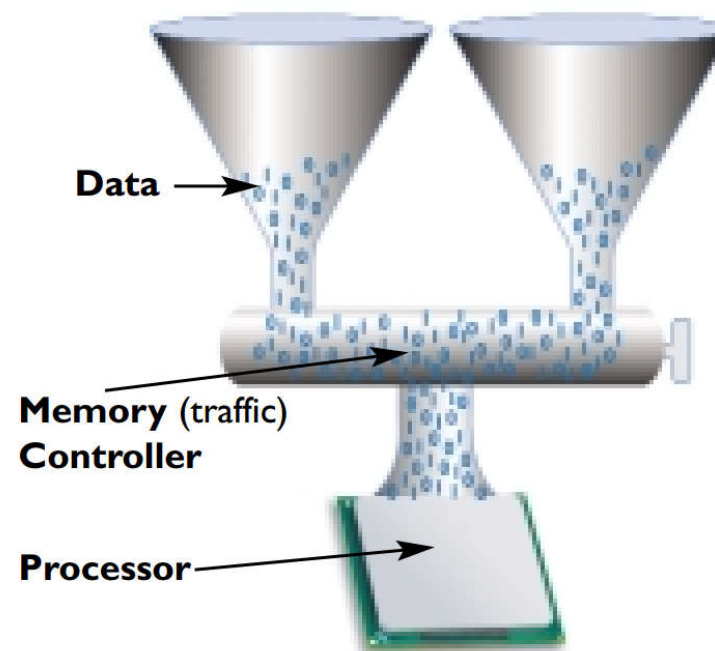
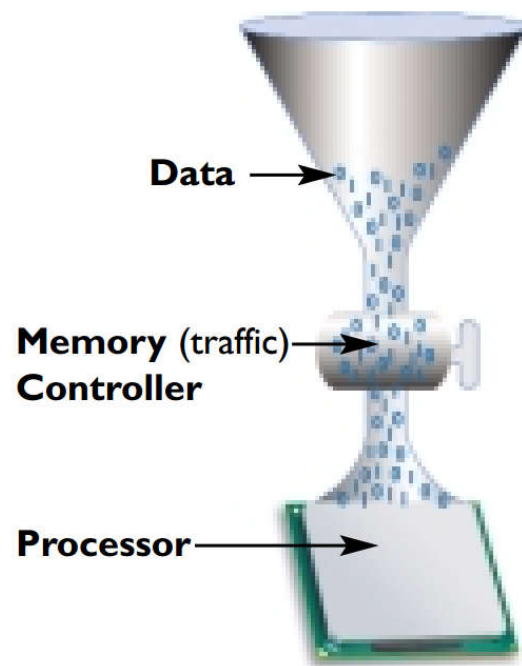
双通道内存性能评测

SiSoftware Sandra Pro Business 2011

HP DL120 G7 Intel SandyBridge

| 内存通道 | 双通道8GB | 单通道8GB |
|----------|------------|------------|
| 总体内存性能 | 17.52GB/s | 9GB/s |
| 缓存/内存带宽 | 95.23GB/s | 73.42GB/s |
| 内部数据高速缓存 | 411.14GB/s | 410.37GB/s |
| 二级板载高速缓存 | 344GB/s | 346GB/s |
| 三级板载高速缓存 | 173.29GB/s | 174.54GB/s |

单通道内存与双通道内存



U盘与SSD性能差异?

- U盘 100MB/S
- SSD 1000MB/s
- 同是闪存颗粒，为何有性能差异？
- USB 与 MSATA SATA PCI-E性能差异还是？



SSD 拆解



多体并行存储器（多体交叉存储器）

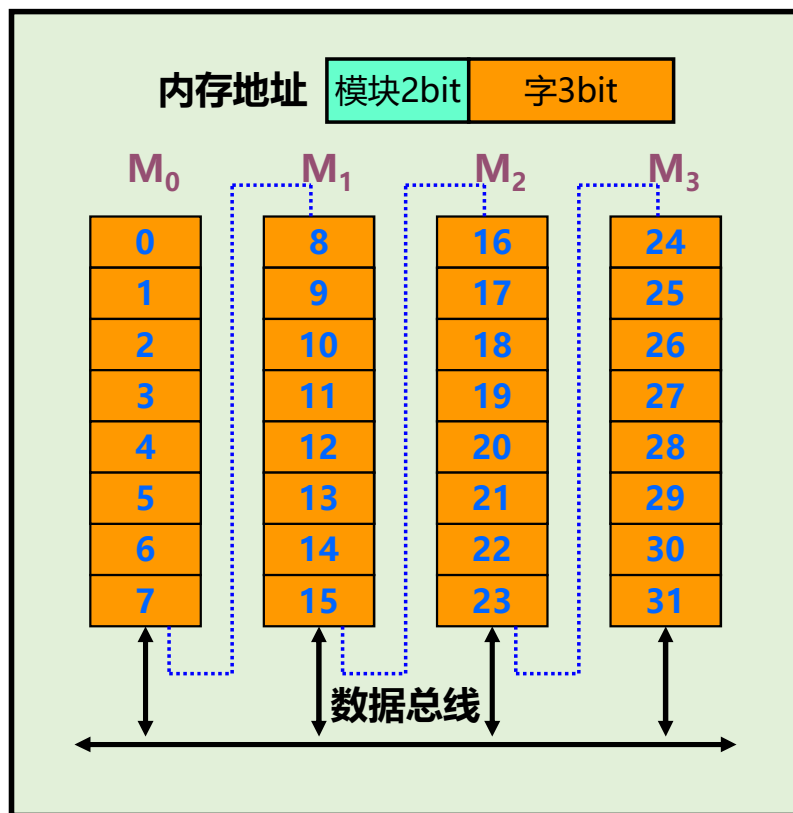
■ 多模块顺序存储器

- 高位多体交叉
- 多模块串行
- 扩充容量

■ 多模块交叉存储器

- 低位多体交叉
- 多模块流水并行
- 扩充容量
- 提升性能

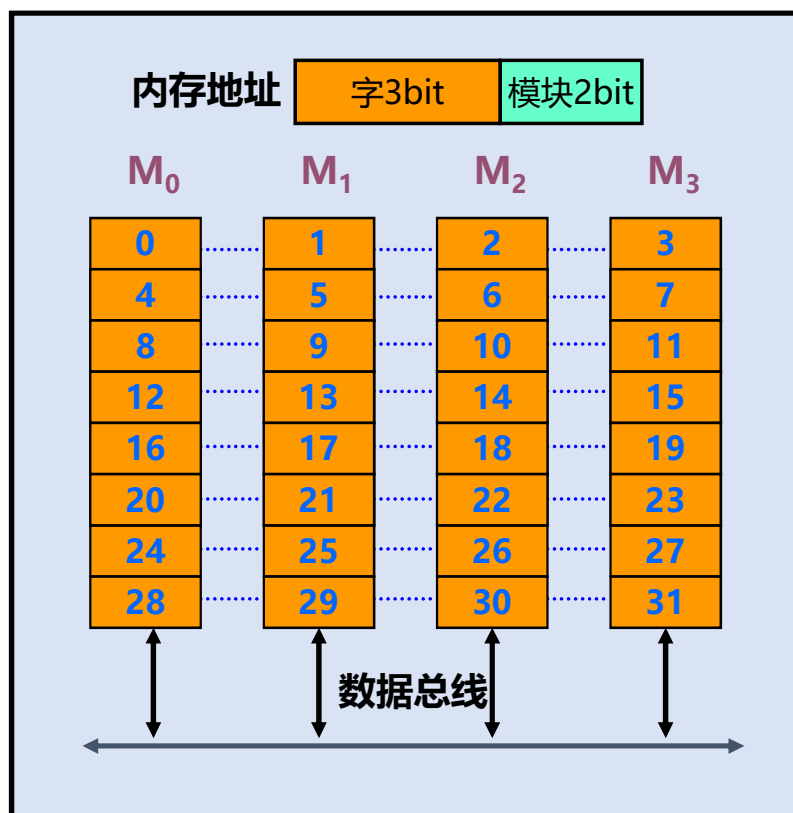
多模块顺序存储器（地址总线扩展，容量扩展）



顺序方式

- 一个地址寄存器
- 高位片选，多模块串行
- 扩充容量方便
- 性能无提升
- 方便故障隔离

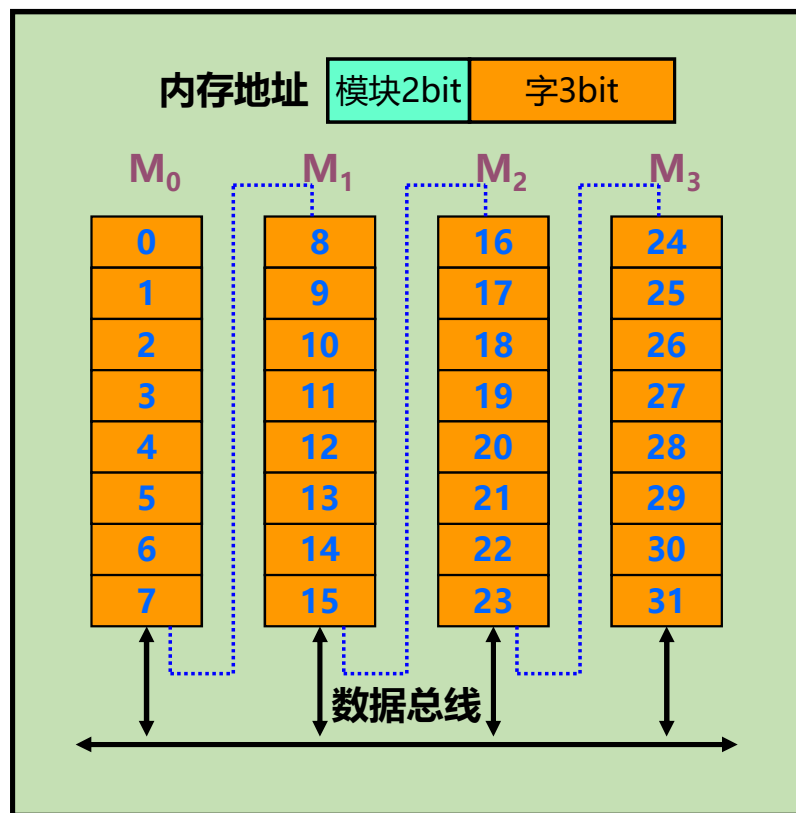
多模块交叉存储器



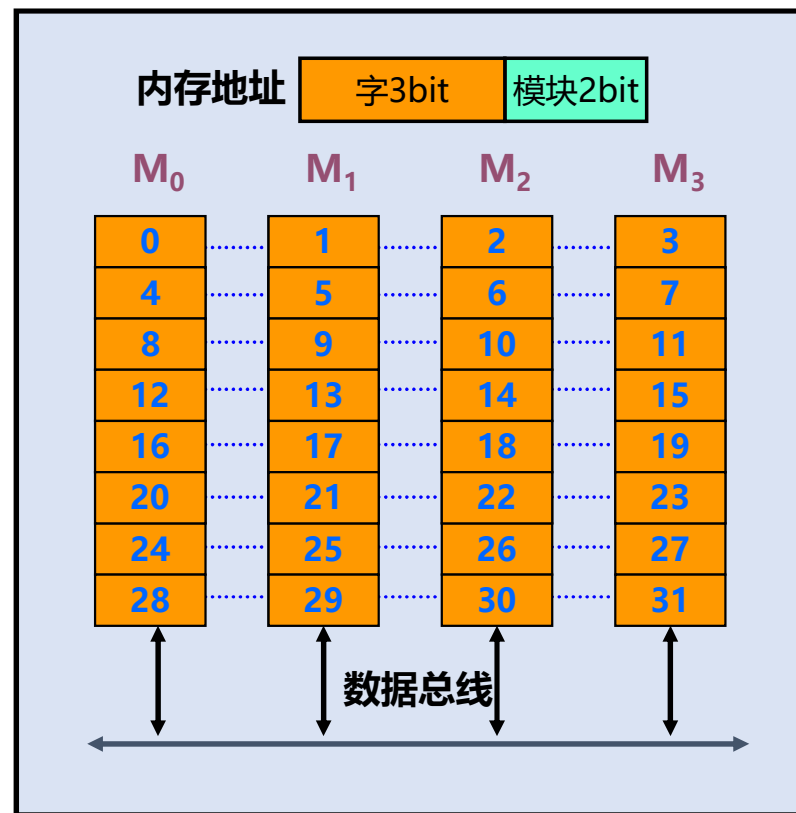
交叉方式

- 模块并行工作
- CPU比存储器要快
- 能同时取出多条指令或者数据
- 可大大提高机器的运行速度及存储带宽

顺序编址与交叉编址

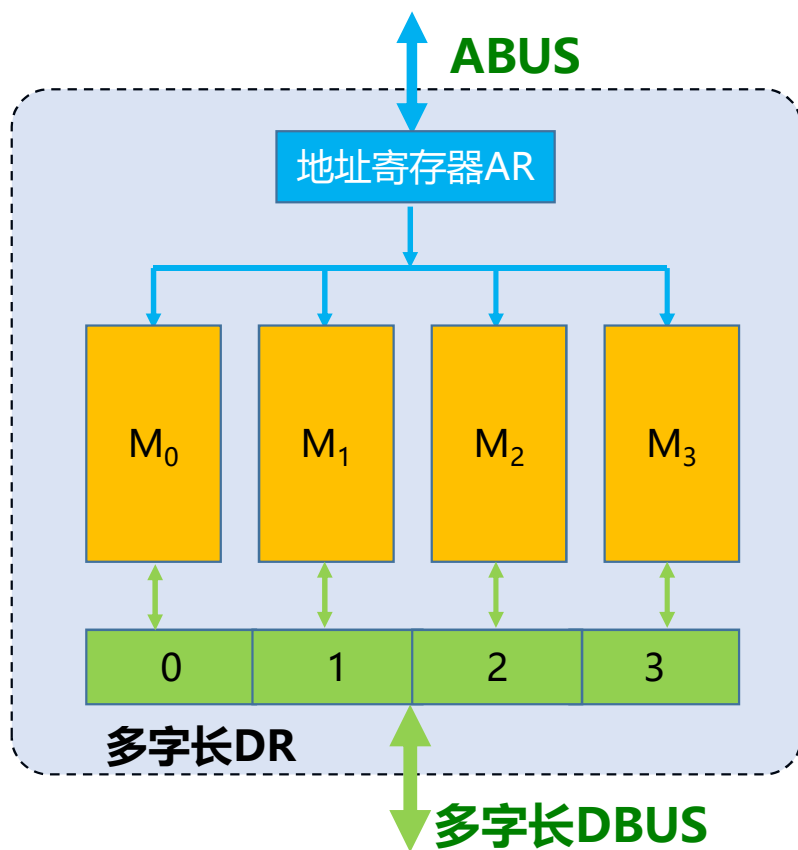


顺序方式

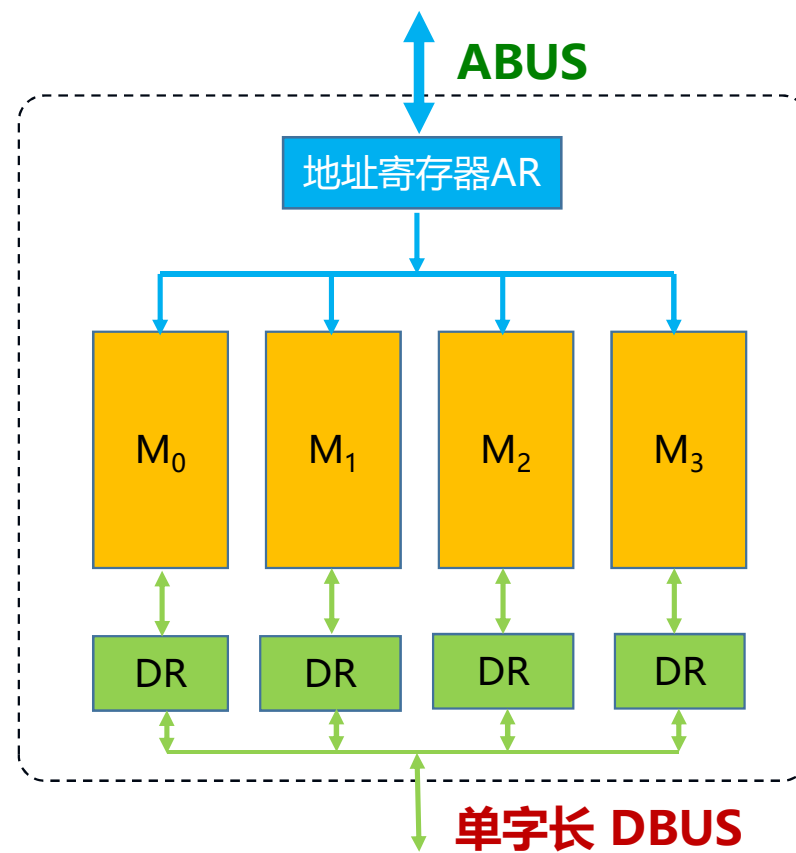


交叉方式

多体并行存储器

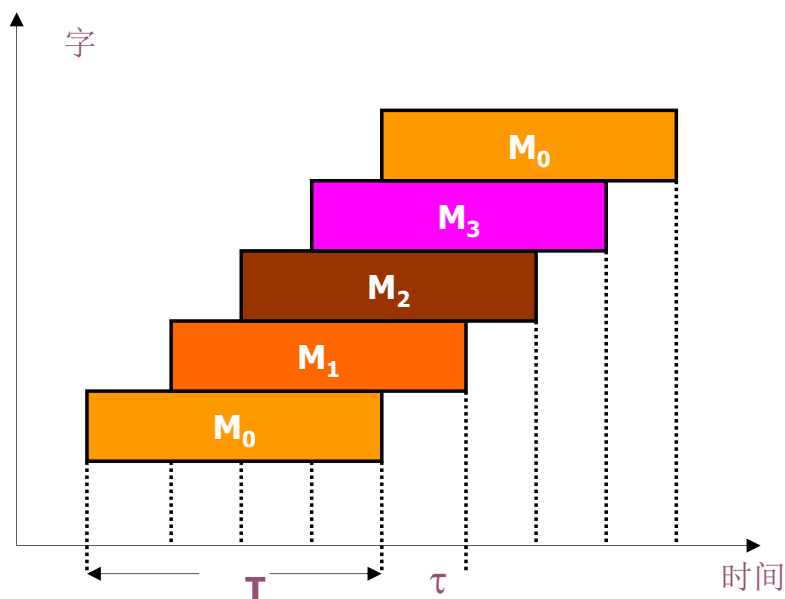


单体多字



多体交叉

交叉编址顺序访问时可按流水方式存取



T : 模块存取周期 τ : 总线传输周期
 m : 存储器交叉模块数

$$T = m\tau$$

$$m = T/\tau \text{ 交叉存取度}$$

连续读取 n 个字的时间

$$t_1 = T + (n-1)\tau \quad t_1 < t_2$$

$$t_2 = nT$$

多体并行存储器

