

5 锁存器和触发器

5.1 双稳态电路

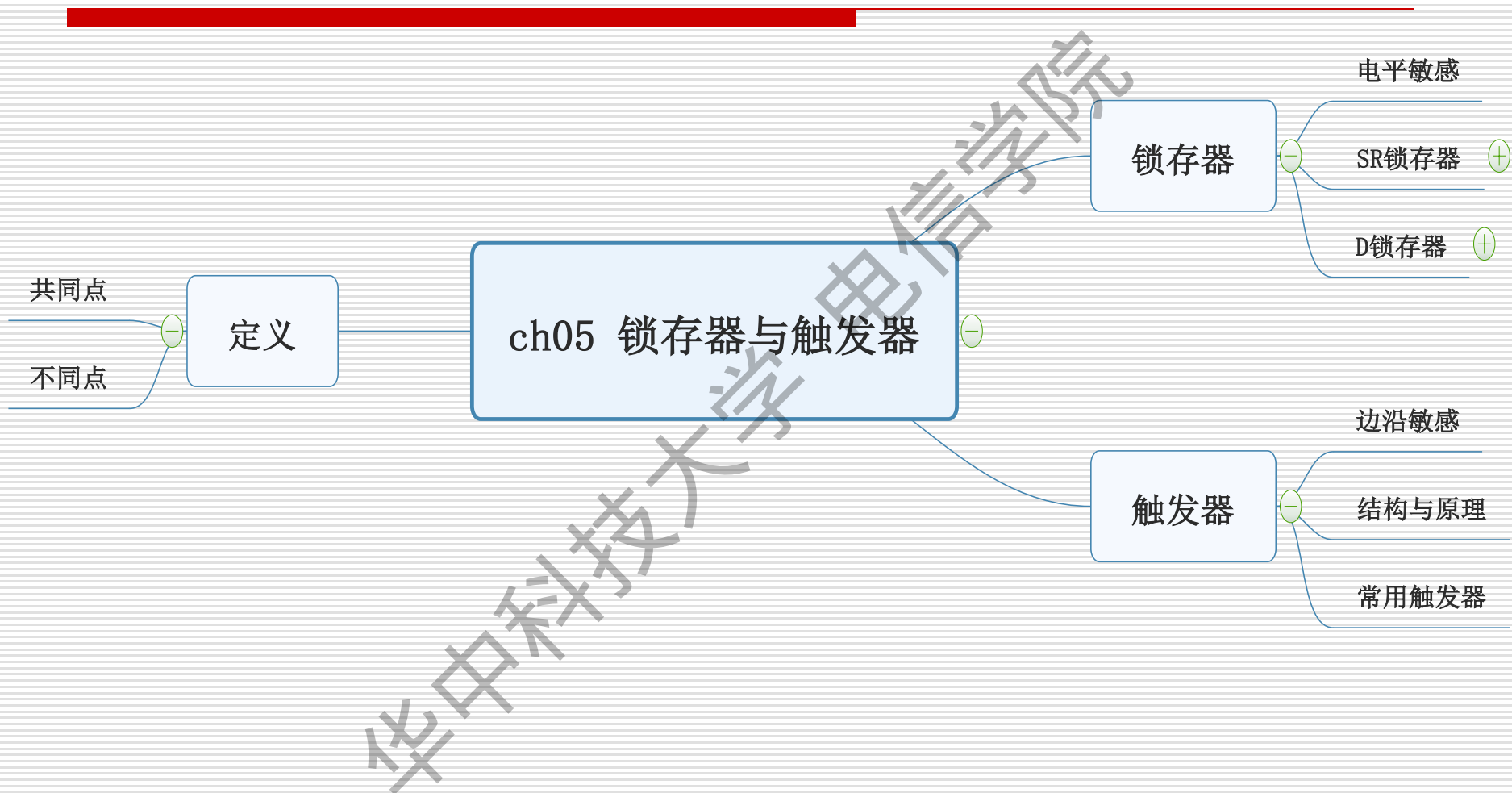
5.2 SR锁存器

5.3 D锁存器

5.4 触发器的电路结构和工作原理

5.5 触发器的逻辑功能

5.6 用Verilog HDL描述锁存器和触发器



教学基本要求

- 1、掌握锁存器、触发器的电路结构和工作原理
- 2、熟练掌握 SR 触发器、 JK 触发器、 D 触发器及 T 触发器的逻辑功能
- 3、正确理解锁存器、触发器的动态特性

概述

1、时序逻辑电路与锁存器、触发器：

时序逻辑电路：

工作特征：时序逻辑电路的工作特点是任意时刻的输出状态不仅与**该当前的输入信号**有关，而且与**此前电路的状态**有关。

结构特征：由**组合逻辑电路**和**存储电路**组成，电路中存在反馈。

锁存器和触发器是构成时序逻辑电路的基本逻辑单元。

2、锁存器与触发器



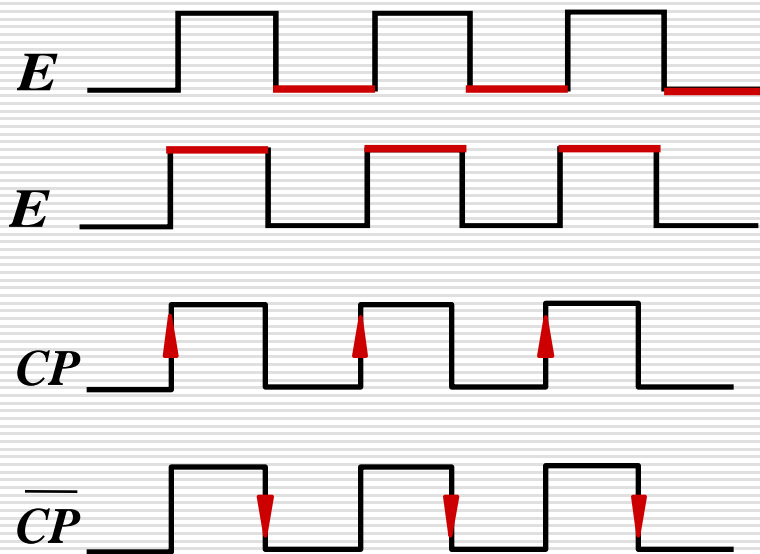
共同点:

具有0和1两个稳定状态，一旦状态被确定，就能自行保持。一个锁存器或触发器能存储一位二进制码。

不同点:

锁存器---对脉冲电平敏感的存储电路，在特定输入脉冲电平作用下改变状态。

触发器---对脉冲边沿敏感的存储电路，在时钟脉冲的上升沿或下降沿的变化瞬间改变状态。



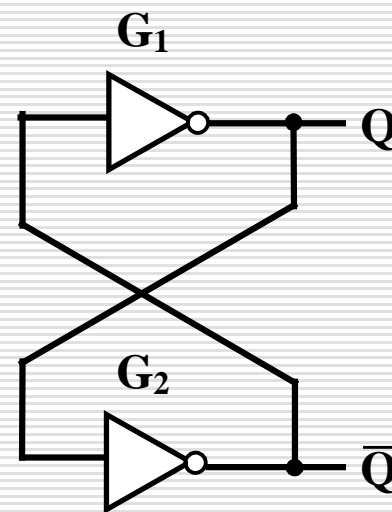
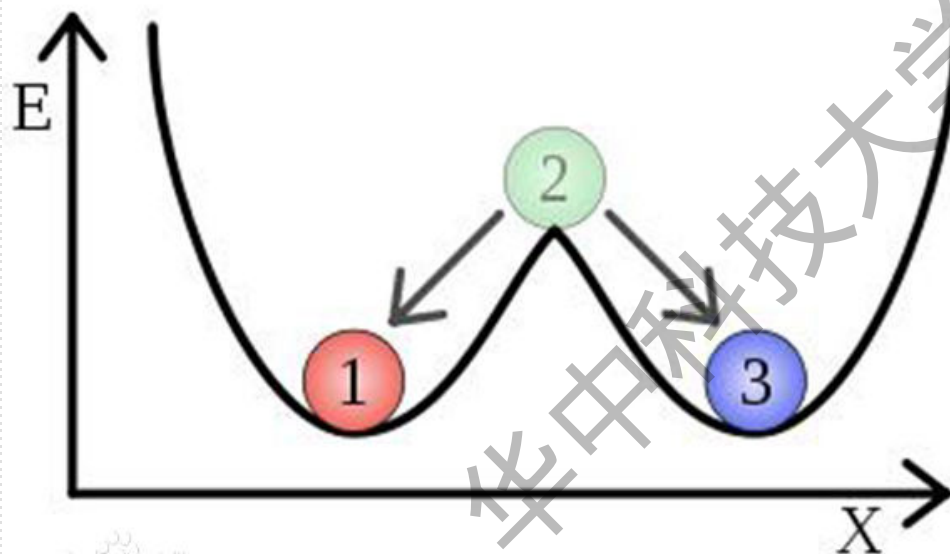
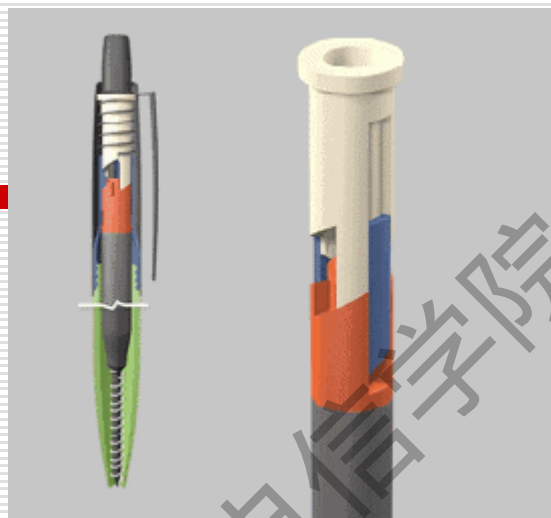
5.1 双稳态电路

5.1.1 双稳态的概念

5.1.2 最基本的双稳态电路

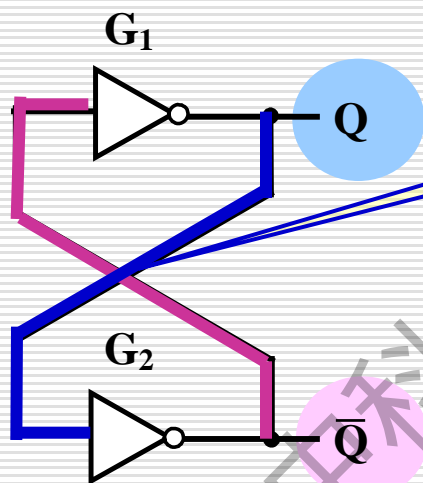
5.1 双稳态电路

5.1.1 双稳态的概念



5.1.2 最基本的双稳态电路

1. 电路结构



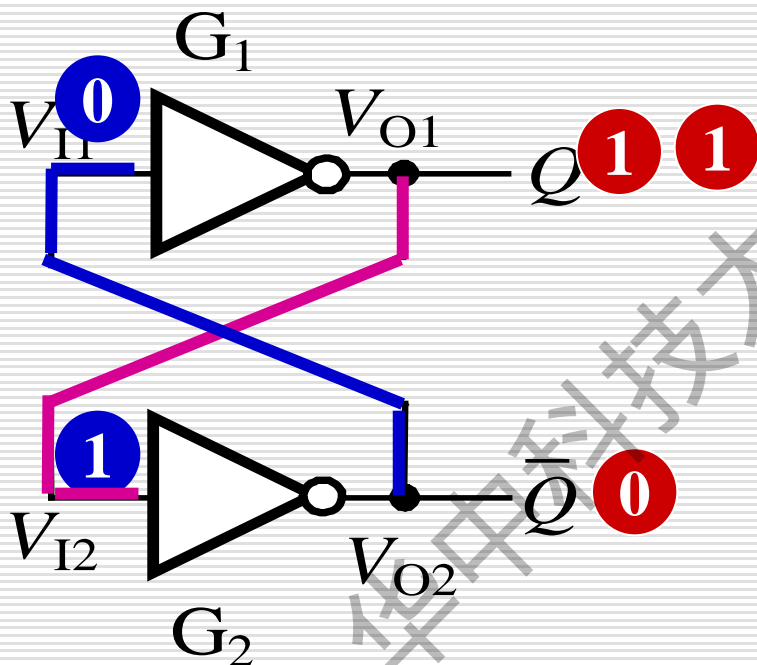
电路有两个互补的输出端

Q 端的状态定义为电路输出状态。

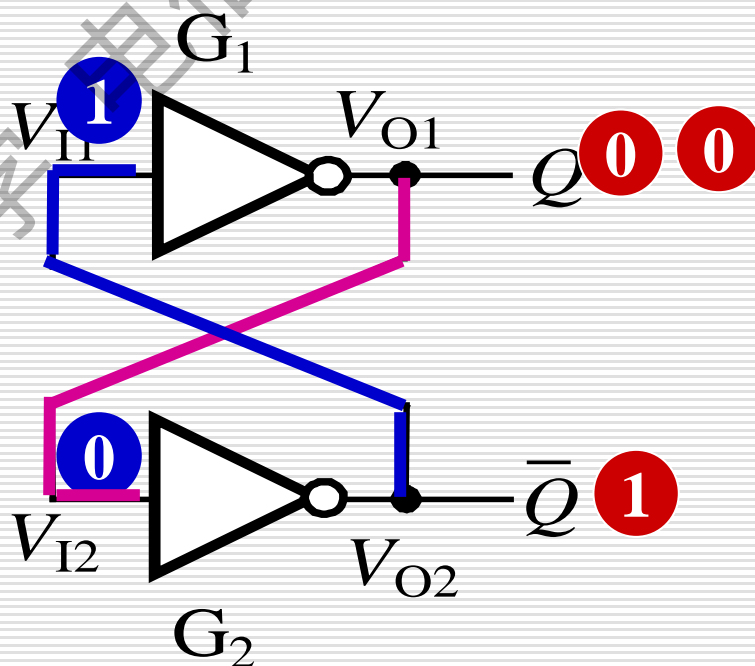
2、数字逻辑分析

——电路具有记忆1位二进制数据的功能。

如 $Q = 1$

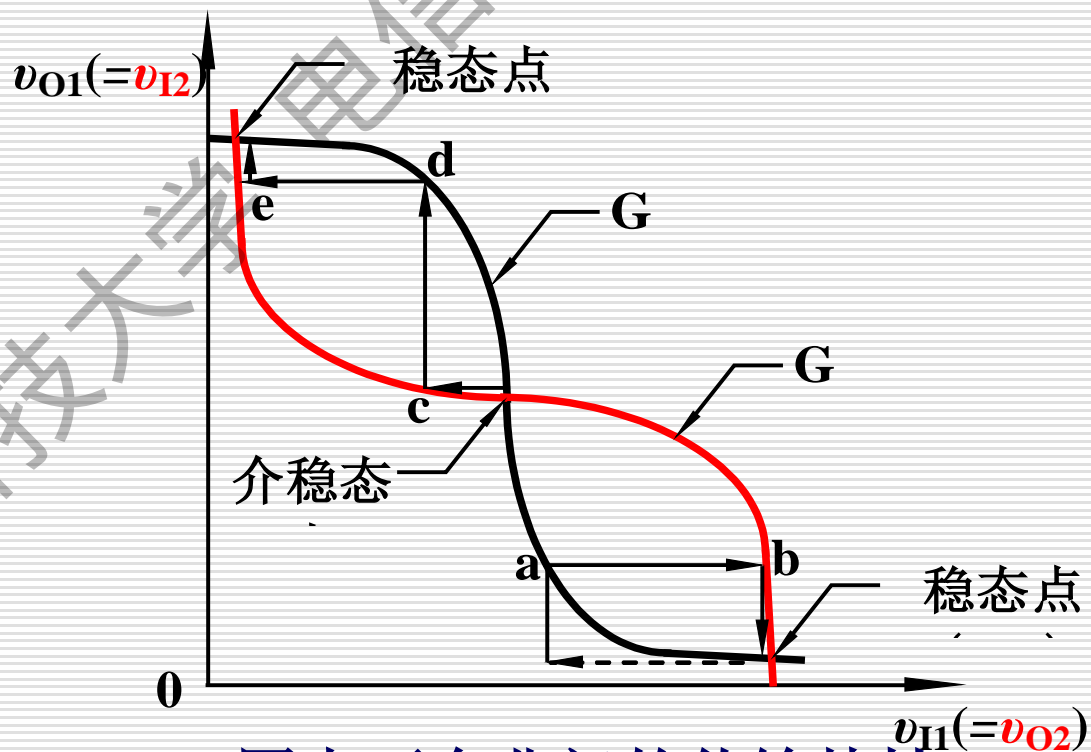
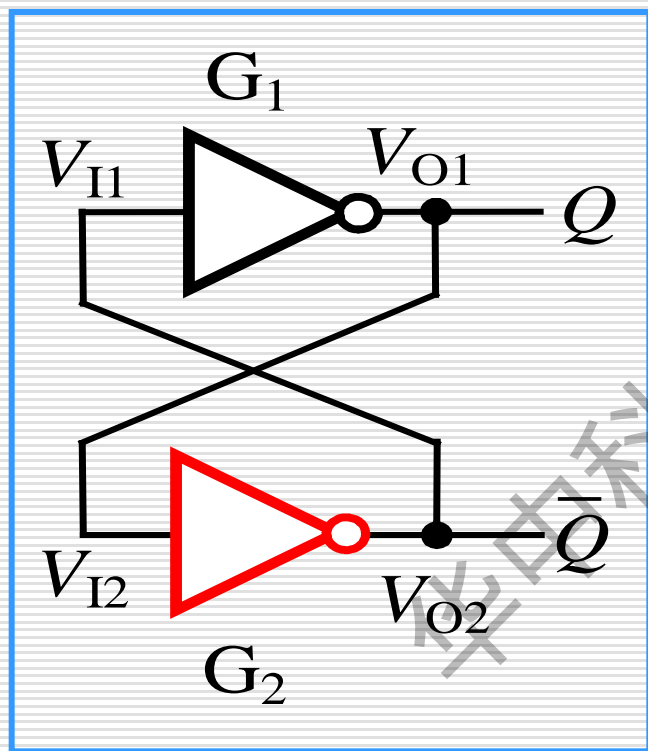


如 $Q = 0$



3. 模拟特性分析

$$v_{O1} = v_{I2} \quad v_{I1} = v_{O2}$$



图中两个非门的传输特性

5.2 SR锁存器

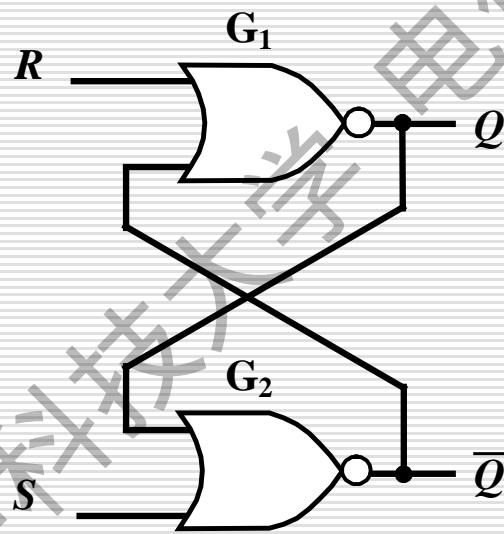
5.2.1 基本SR 锁存器

5.2.2 门控SR锁存器

5.2 SR锁存器

5.2.1基本SR 锁存器

1. 工作原理



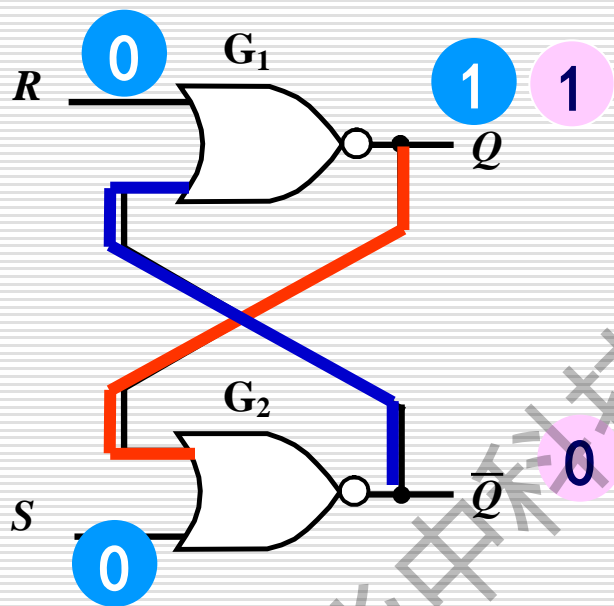
现态： R 、 S 信号作用前 Q 端的状态，现态用 Q^n 表示。

次态： R 、 S 信号作用后 Q 端的状态，次态用 Q^{n+1} 表示。

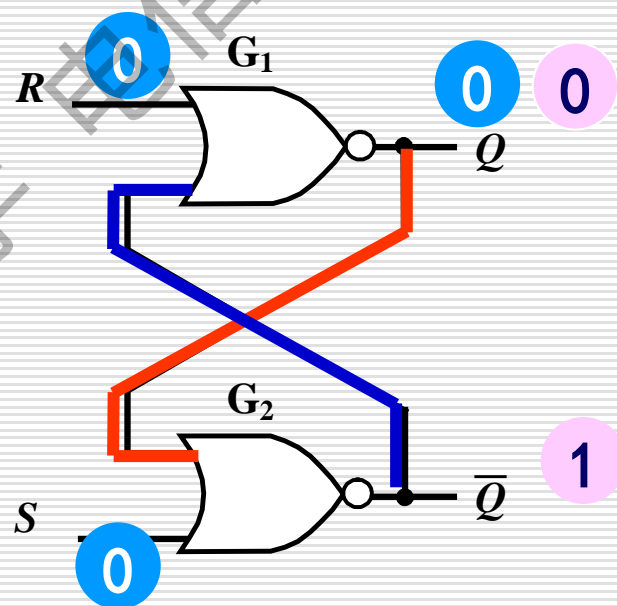
1. 工作原理

$R=0$ 、 $S=0$

状态不变



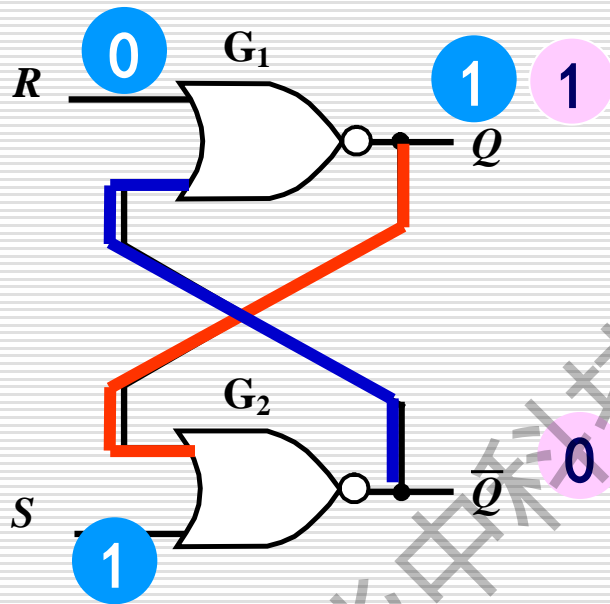
若现态 $Q^n = 1$



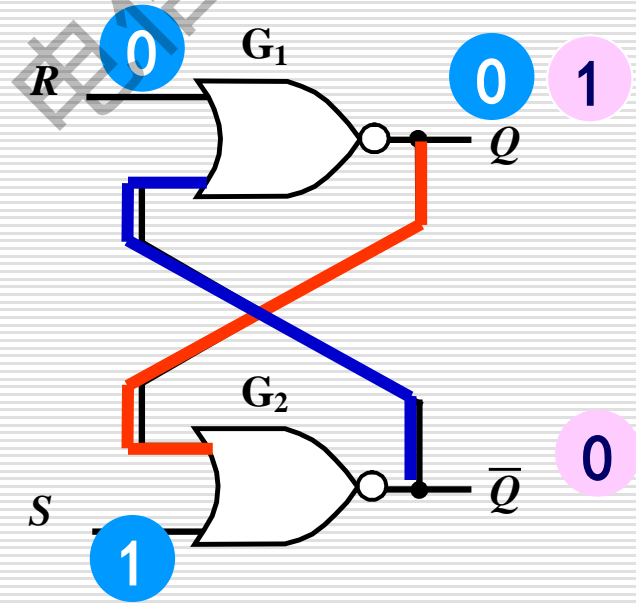
若现态 $Q^n = 0$

$R=0$ 、 $S=1$ 置1

无论现态 Q^n 为0或1，锁存器的次态为1态。信号消失后新的状态将被记忆下来。



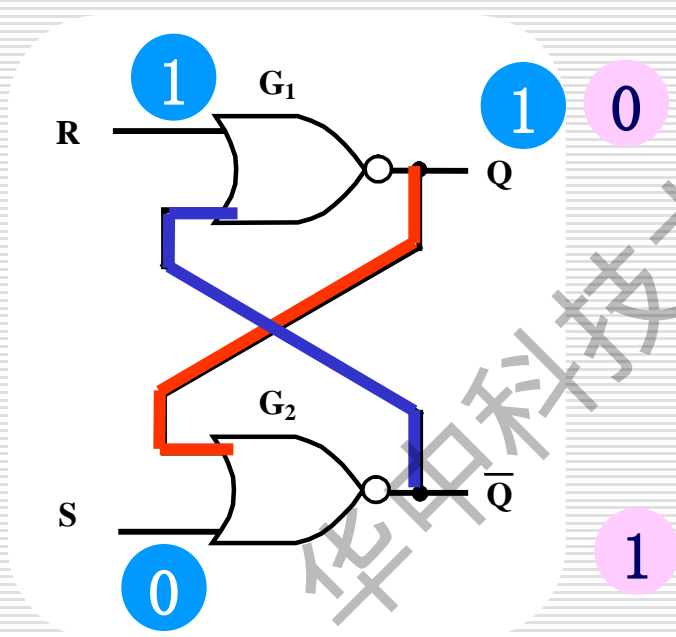
若现态 $Q^n = 1$



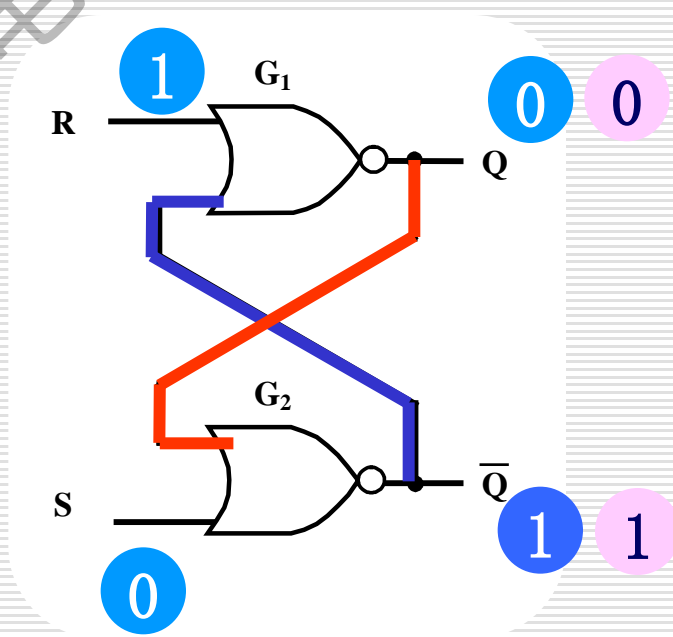
若现态 $Q^n = 0$

$R=1$ 、 $S=0$ 置0

无论现态 Q^n 为0或1，锁存器的次态为0态。信号消失后新的状态将被记忆下来。



若现态 $Q^n = 1$



若现态 $Q^n = 0$

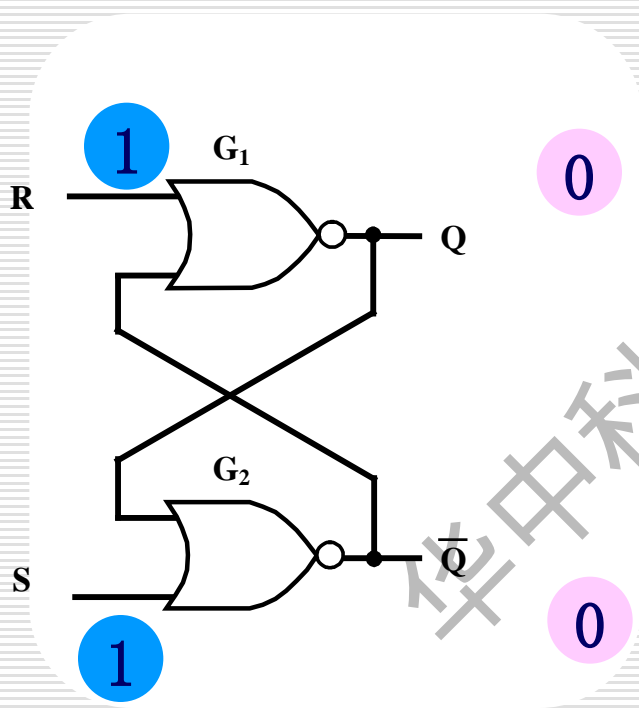
$S=1$ 、 $R=1$ 状态不确定

无论现态 Q^n 为0或1，触发器的次态 Q^n 、 \overline{Q}^n 都为0。

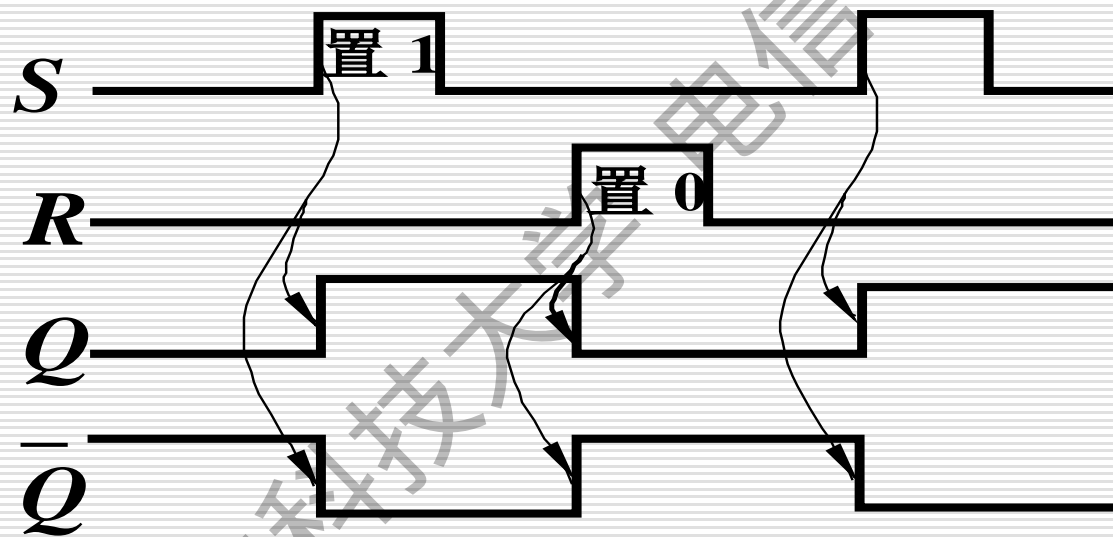
触发器的输出既不是0态，也不是1态

当 S 、 R 同时回到0时，由于两个与非门的延迟时间无法确定，使得触发器最终稳定状态也不能确定。

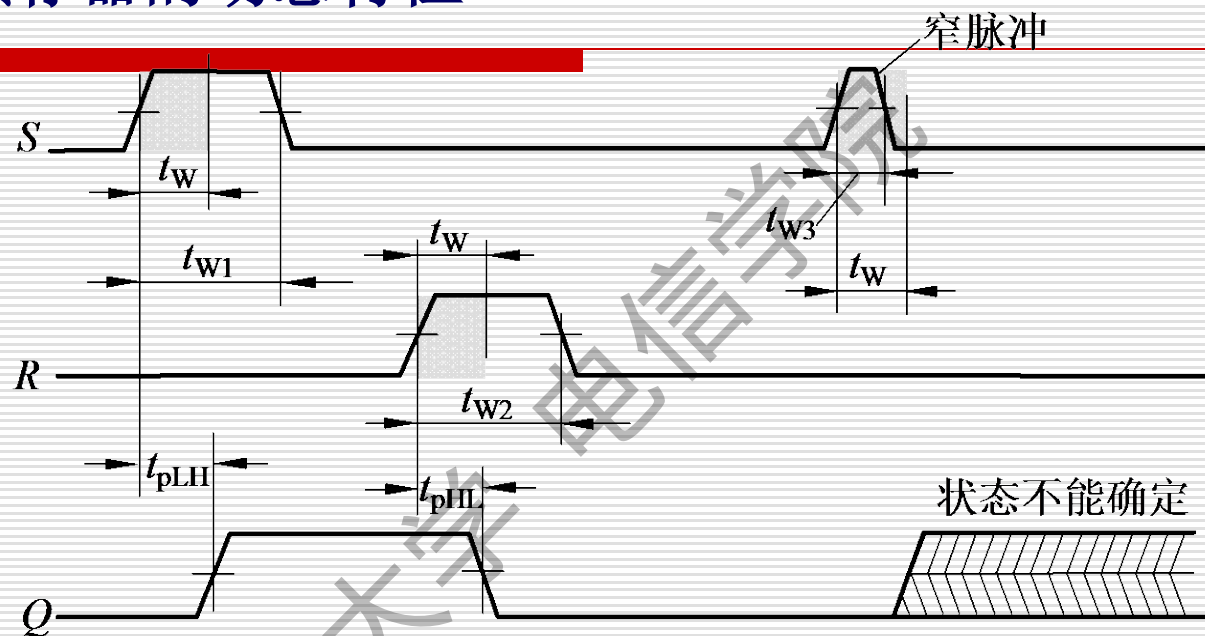
约束条件: $SR = 0$



工作波形



2. 基本SR锁存器的动态特性



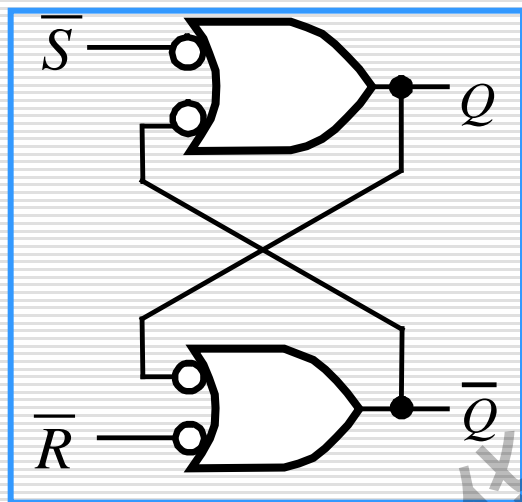
定时图

t_{pLH} 和 t_{pHL} 分别为输出由高到低和由低到高时，相对于输入的延迟时间。

脉冲宽度 t_W ：如果输入脉冲宽度 $< t_W$ ，Q未越过介稳态点，S端信号撤出，会使输出状态不稳定。图中 t_{W1} 和 t_{W2} 均 $> t_W$ 。

3. 用与非门构成的基本SR锁存器

a. 电路图

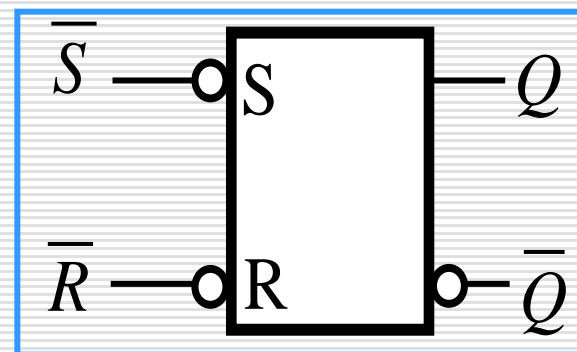


b. 功能表

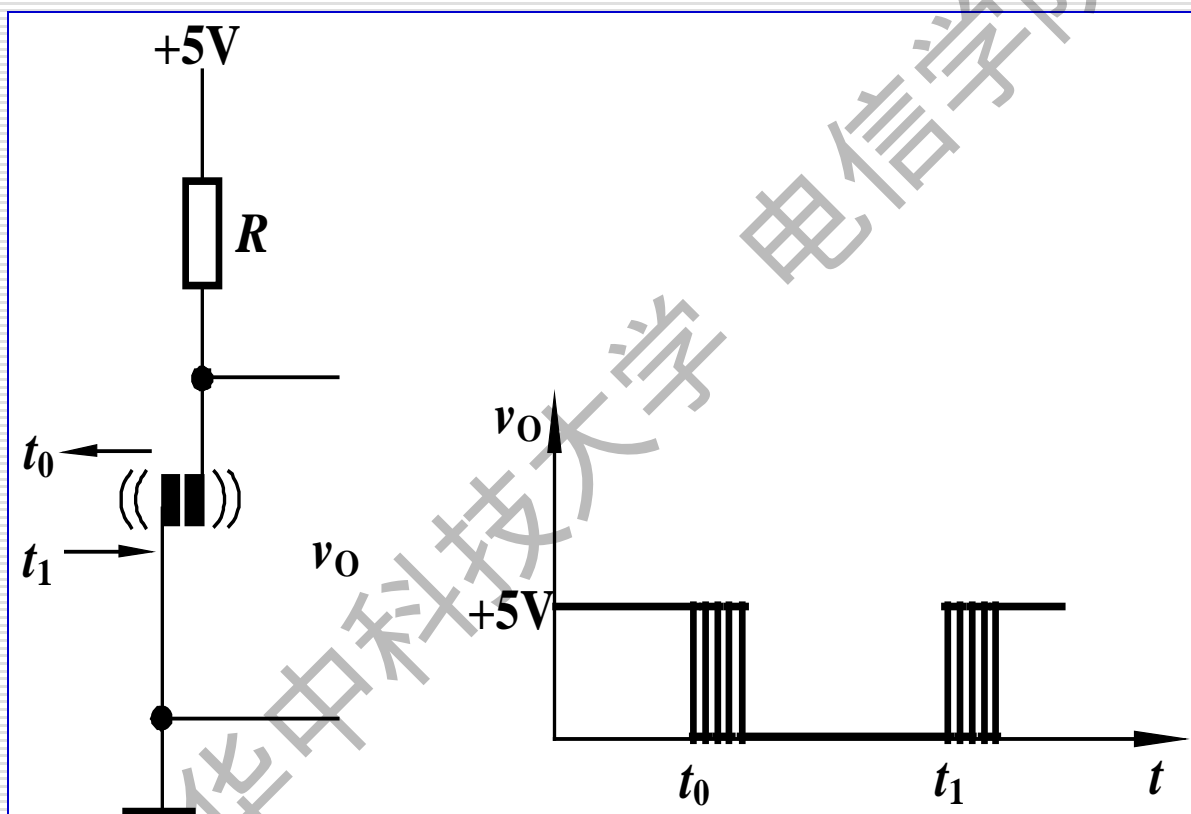
| \overline{R} | \overline{S} | Q | \overline{Q} |
|----------------|----------------|-----|----------------|
| 1 | 1 | 不变 | 不变 |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 |

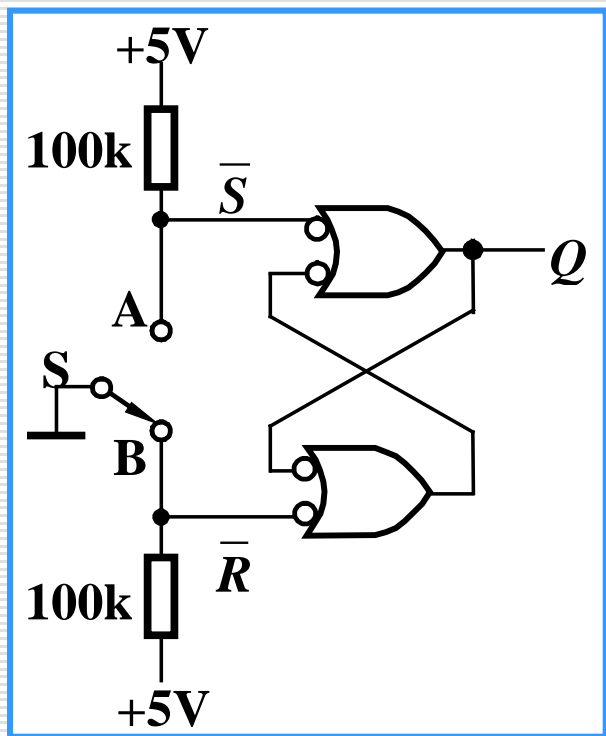
约束条件: $\overline{S} + \overline{R} = 1$

c. 国标逻辑符号



例 运用基本SR锁存器消除机械开关触点抖动引起的脉冲输出。





去抖动电路工作原理

开关起始状态: 接B,
 $\overline{R} = 0$ $\overline{S} = 1$ $Q = 0$

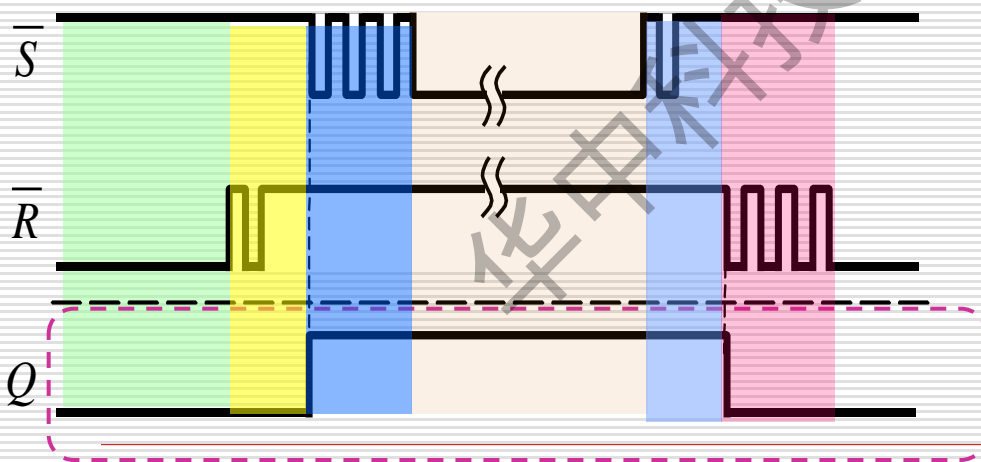
悬空时 $\overline{R} = X$ $\overline{S} = 1$
 Q 不变

开关接A时振动, $Q = 1$

开关转接A,
 $\overline{R} = 1$ $\overline{S} = 0$ $Q = 1$

S悬空时 $\overline{S} = X$ $\overline{R} = 1$
 Q 不变

开关接 B 振动

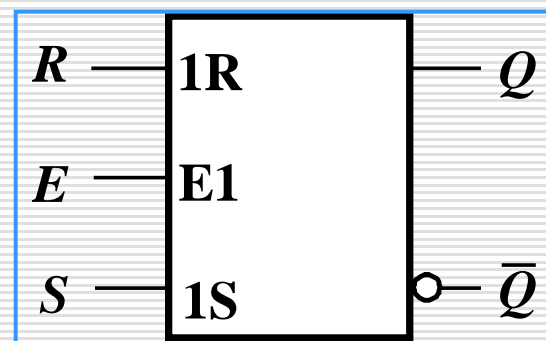
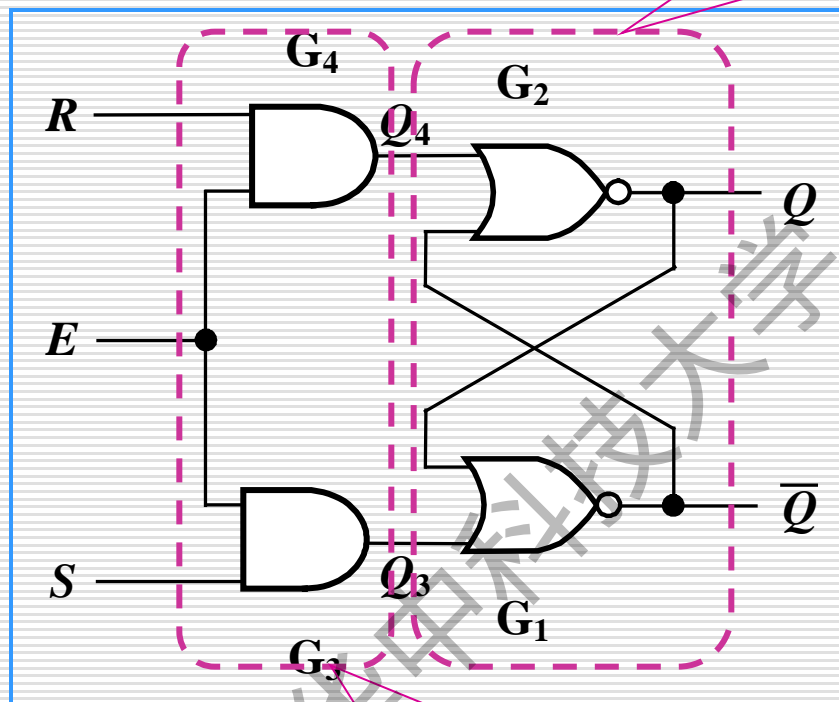


5.2.2 门控SR 锁存器

1. 电路结构

简单SR锁存器

国标逻辑符号



使能信号控制门电路

2、工作原理

$E=0$: 状态不变

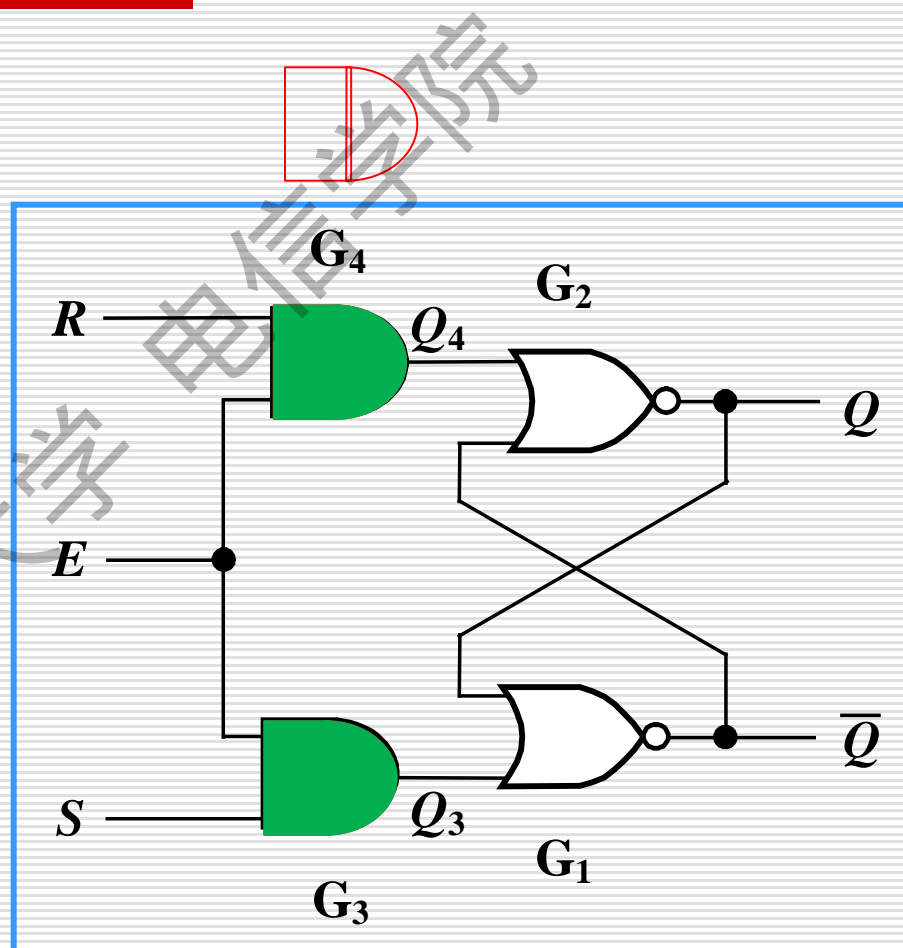
$E=1$: $Q_3 = S$ $Q_4 = R$
状态发生变化。

$S=0, R=0$: $Q^{n+1} = Q^n$

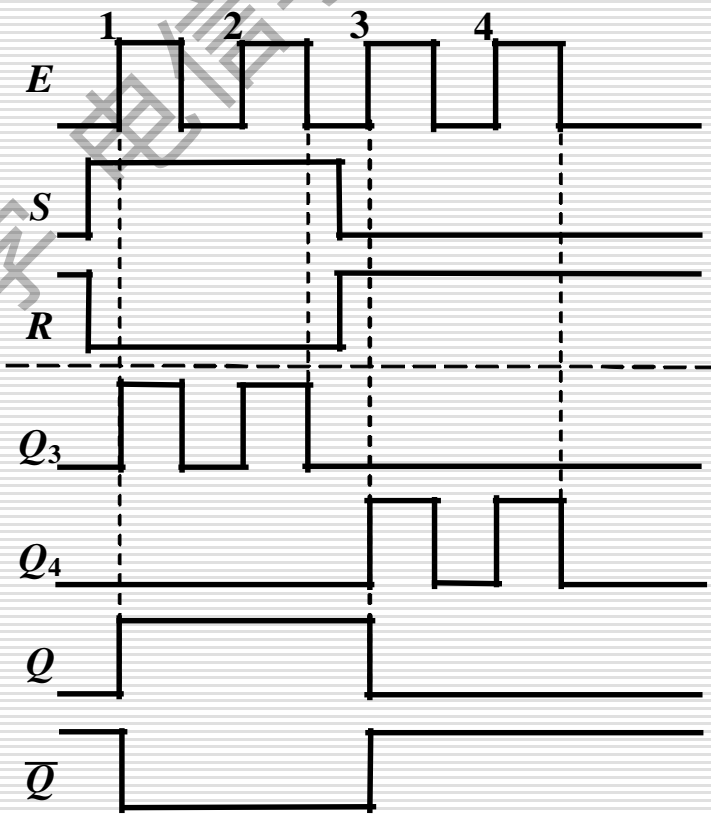
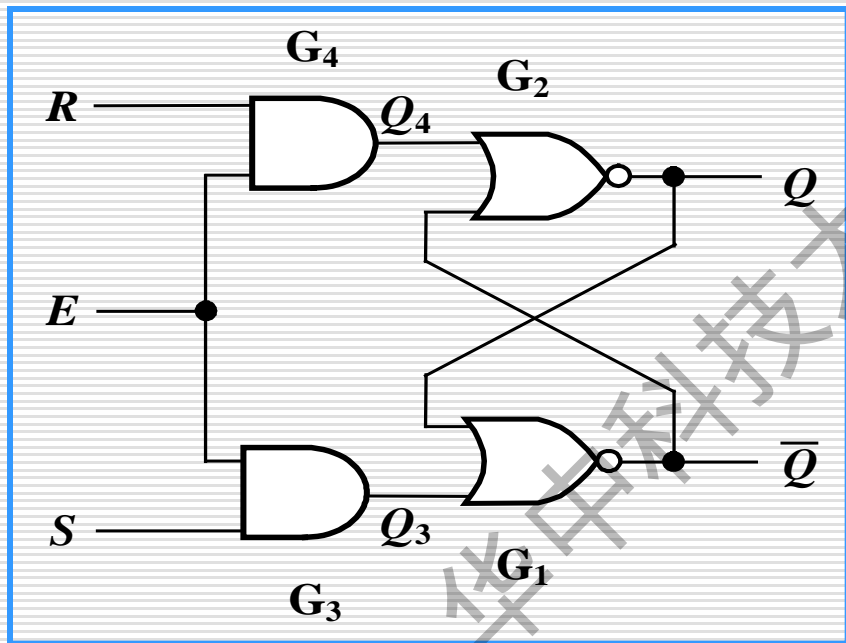
$S=1, R=0$: $Q^{n+1} = 1$

$S=0, R=1$: $Q^{n+1} = 0$

$S=1, R=1$: $Q^{n+1} = \Phi$



例：逻辑门控SR锁存器的 E 、 S 、 R 的波形如下图虚线上边所示，锁存器的原始状态为 $Q = 0$ ，试画出 Q_3 、 Q_4 、 Q 和 \bar{Q} 的波形。



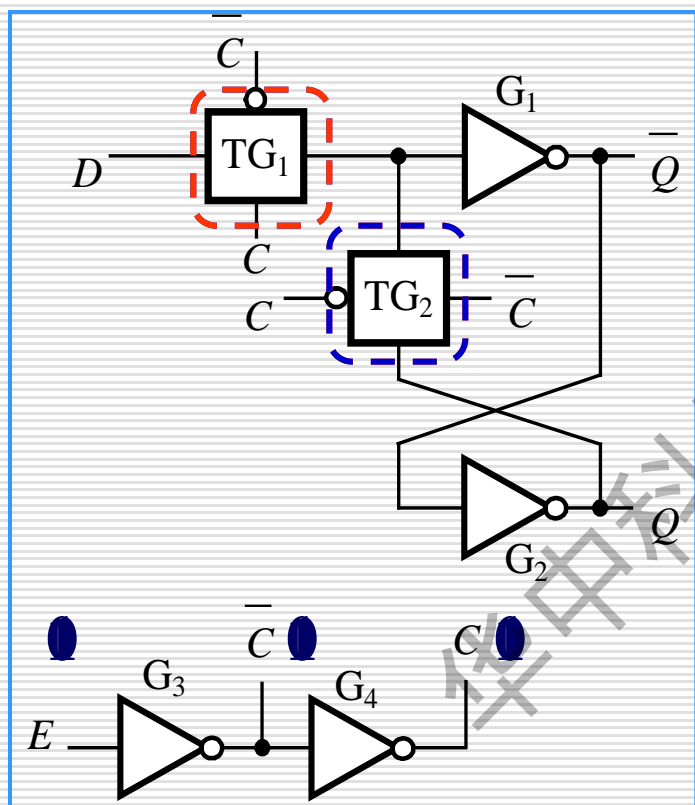
5.3 D锁存器

5.3.1 D锁存器的电路结构

5.3.2 典型的D锁存器集成电路

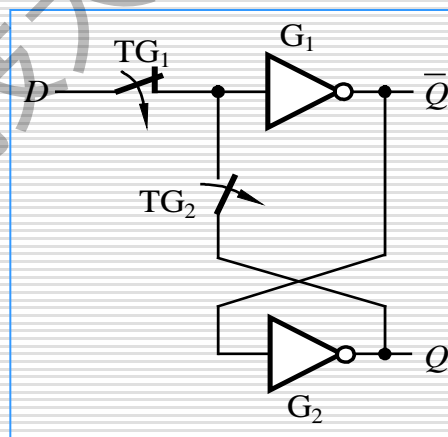
5.3.3 D锁存器的动态特性

(2)工作原理



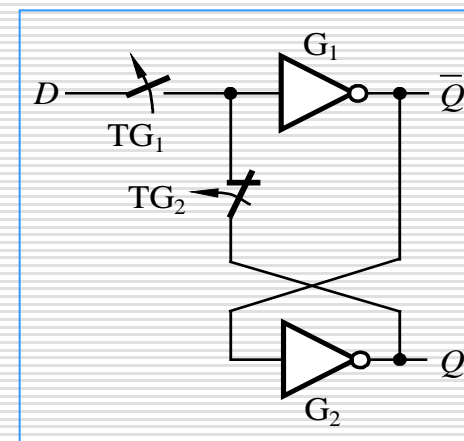
(a) $E=1$ 时

TG_1 导通,
 TG_2 断开
 $Q = D$

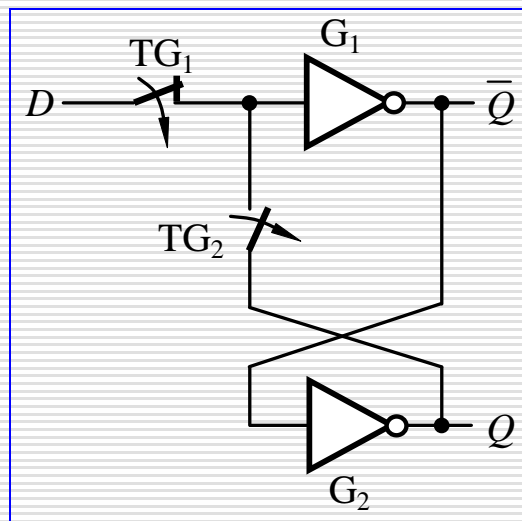


(b) $E=0$ 时

TG_2 导通,
 TG_1 断开
 Q 不变



(3) 逻辑功能

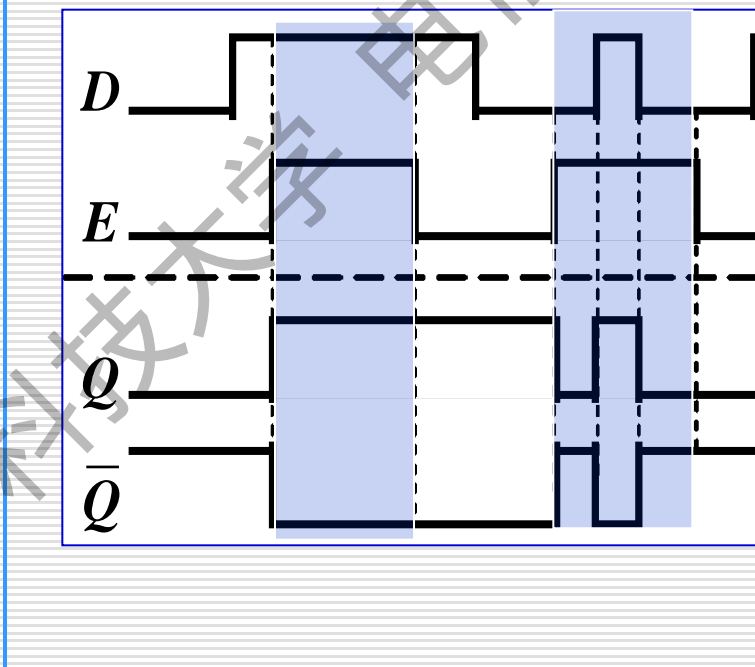
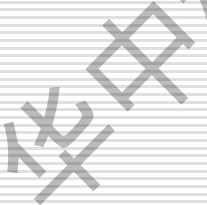


D锁存器的功能表

| E | D | Q | \bar{Q} | 功能 |
|-----|----------|-----|-----------|----|
| 0 | \times | 不变 | 不变 | 保持 |
| 1 | 0 | 0 | 1 | 置0 |
| 1 | 1 | 1 | 0 | 置1 |

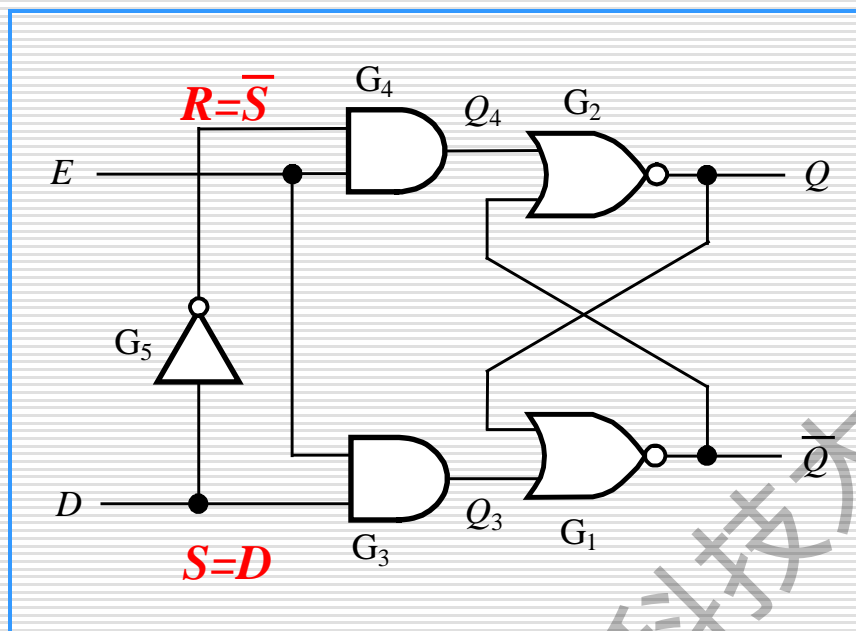
$E=0$, Q 不变

$E=1$ $Q = D$

[illegible]

2. 逻辑门控D锁存器

逻辑电路图



D锁存器的功能表

| E | D | Q | \bar{Q} | 功能 |
|-----|----------|-----|-----------|----|
| 0 | \times | 不变 | 不变 | 保持 |
| 1 | 0 | 0 | 1 | 置0 |
| 1 | 1 | 1 | 0 | 置1 |

$E=0$

Q 不变

$E=1$

$D=0$

$S=0 \quad R=1$

$Q=0$

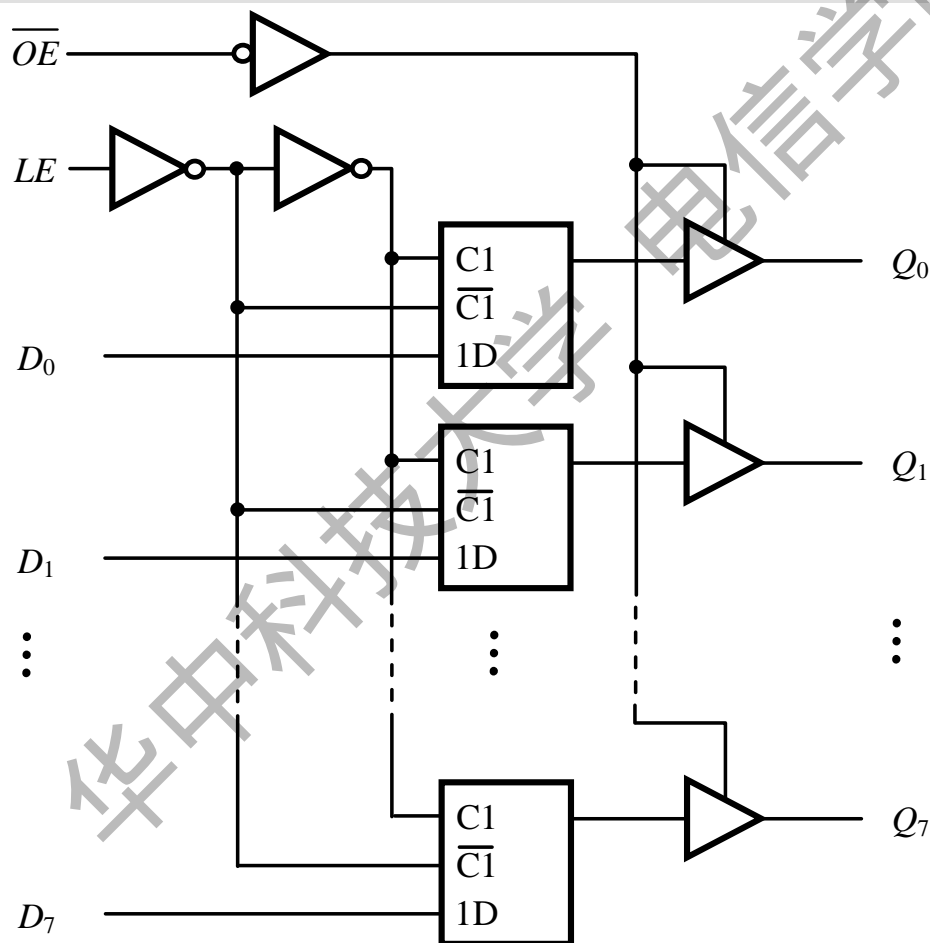
$D=1$

$S=1 \quad R=0$

$Q=1$

5.3.2 典型的D锁存器集成电路

74HC/HCT373 八D锁存器



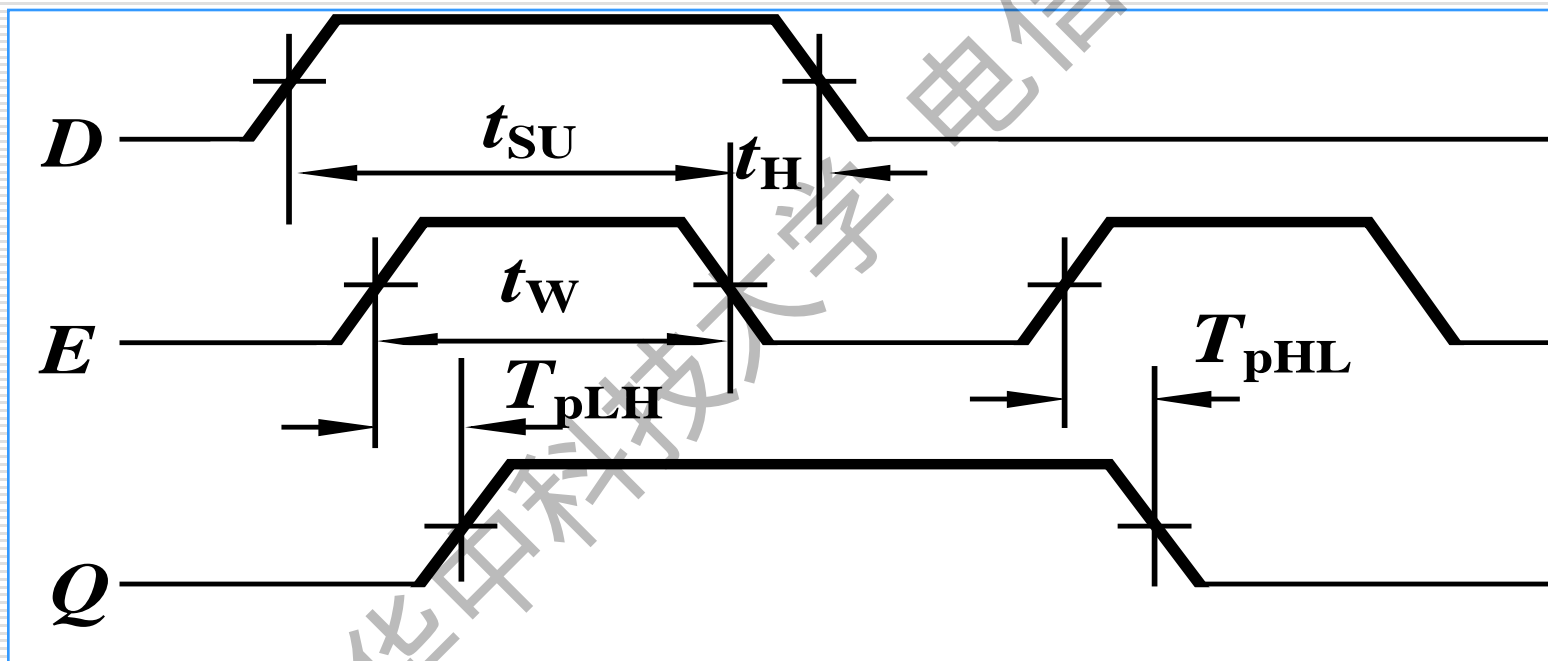
74HC/HCT373的功能表

| 工作模式 | 输 入 | | | 内部锁存器 状 态 | 输 出 Q_n |
|-------------------|------|------|-------|--------------|--------------|
| | OE | LE | D_n | | |
| 使能和读锁存器 (传送模式) | L | H | L | L | L |
| | L | H | H | H | H |
| 锁存和读锁存器 | L | L | L* | L | L |
| | L | L | H* | H | H |
| 锁存和禁止输出 | H | × | × | × | 高阻 |
| | H | × | × | × | 高阻 |

L*和H*表示门控电平 LE 由高变低之前瞬间 D_n 的逻辑电平。

5.3.3 D锁存器的动态特性

定时图:表示电路动作过程中, 对各输入信号的时间要求以及输出对输入信号的响应时间。



有建立时间 t_{SU} 、保持时间 t_U 、脉冲宽度 t_W 等。

5.4 触发器的电路结构和工作原理

5.4.1 主从D触发器的电路结构和工作原理

5.4.2 典型主从D触发器集成电路

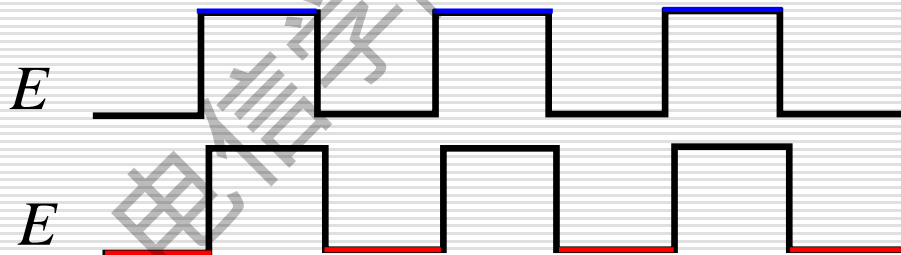
5.4.3 主从D触发器的动态特性

5.4.4 其他电路结构的触发器

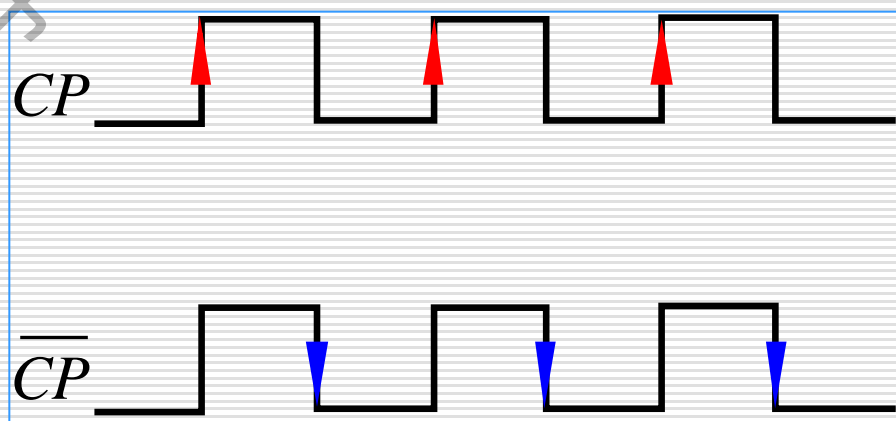
5.4 触发器的电路结构和工作原理

1. 锁存器与触发器

锁存器在 E 的高(低)电平期间对信号敏感



触发器在 CP 的上升沿(下降沿)对信号敏感



在VerilogHDL中对锁存器与触发器的描述语句是不同的

5.4 触发器的电路结构和工作原理

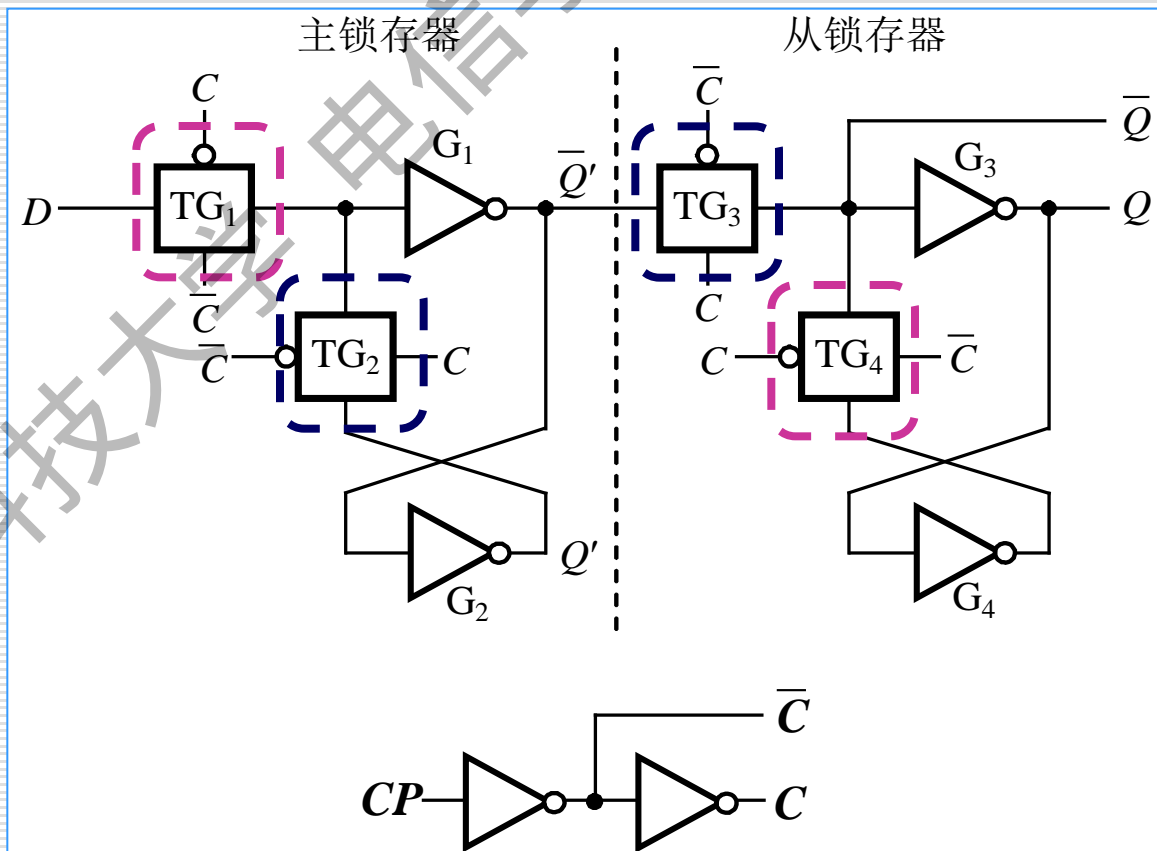
5.4.1 主从D触发器的电路结构和工作原理

1. 电路结构

主锁存器与从锁存器结构相同

TG_1 和 TG_4 的工作状态相同

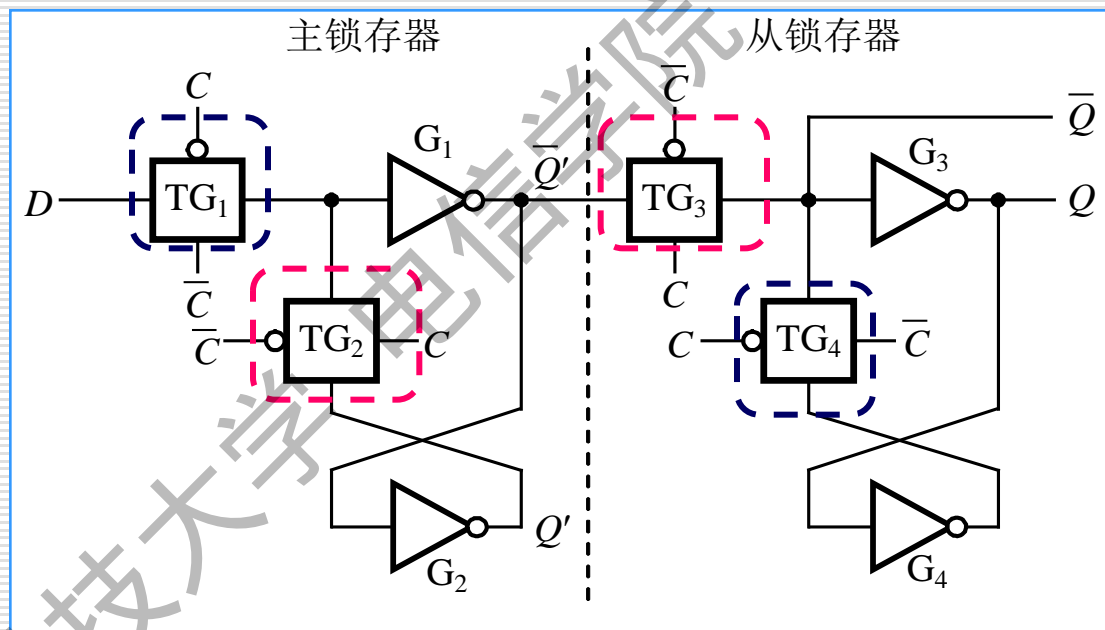
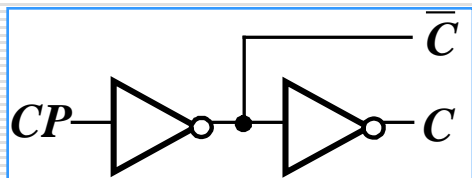
TG_2 和 TG_3 的工作状态相同



2. 工作原理

(1) $CP=0$ 时:

$$\bar{C} = 1, C = 0,$$



TG_1 导通, TG_2 断开——输入信号 D 送入主锁存器。

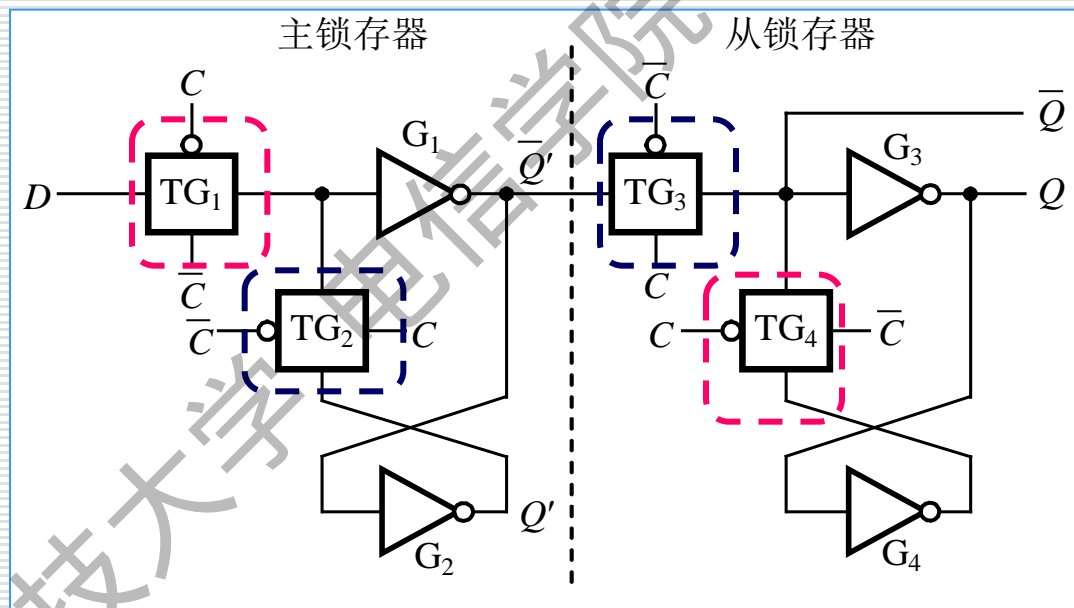
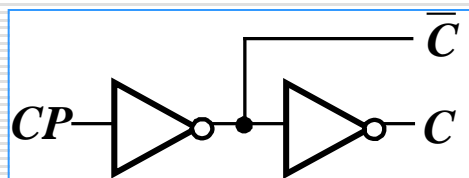
Q' 跟随 D 端的状态变化, 使 $Q'=D$ 。

TG_3 断开, TG_4 导通——从锁存器维持在原来的状态不变。

2. 工作原理

(2) CP由0跳变到1：

$$\bar{C} = 0, C = 1,$$



TG₁断开，TG₂导通——输入信号D不能送入主锁存器。

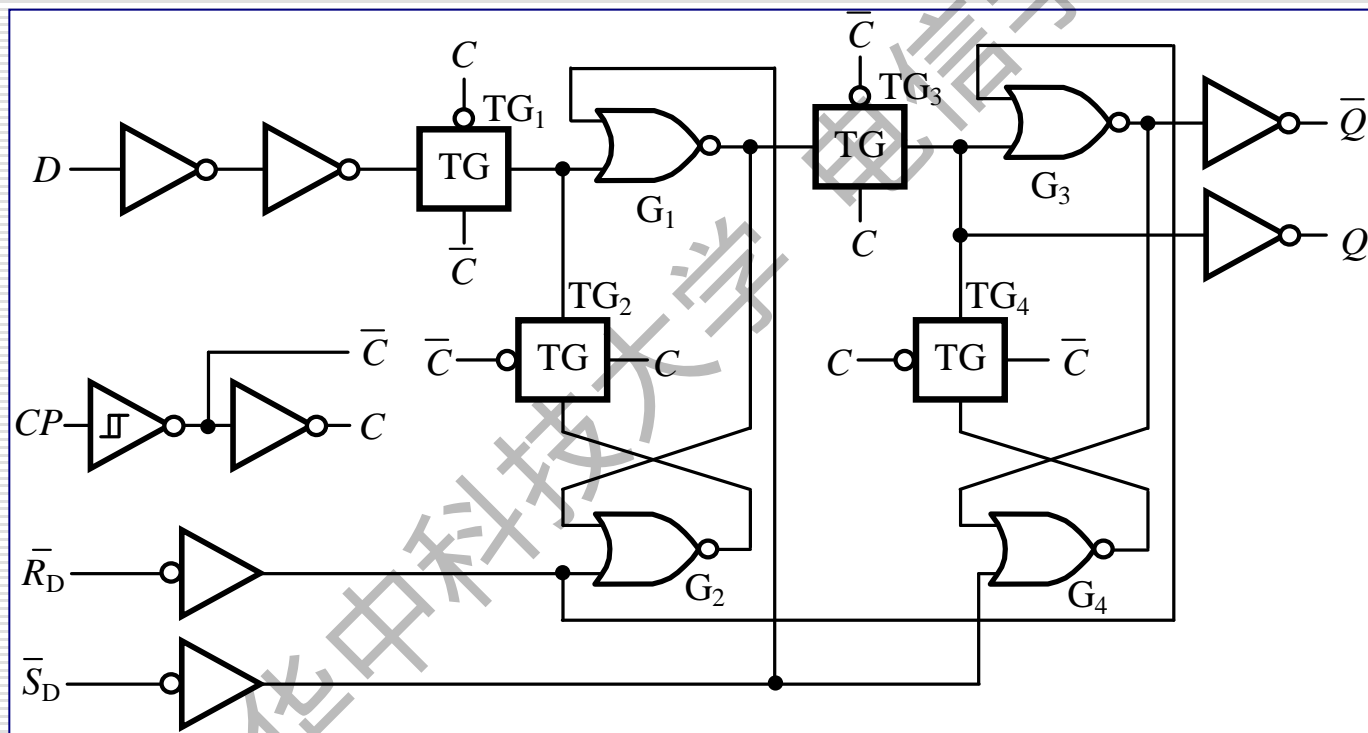
主锁存器维持原态不变。

TG₃导通，TG₄断开——主锁存器Q'的信号送Q端。

触发器的状态仅仅取决于CP信号上升沿到达前瞬间的D信号

5.4.2 典型主从D触发器集成电路

74HC/HCT74 中D触发器的逻辑图



$$\begin{array}{ccccc} \bar{R}=0 & \bar{S}=1 & CP=1 & \bar{R}=0 & \bar{S}=1 & Q=0 \\ CP=1 & & & & & \end{array}$$



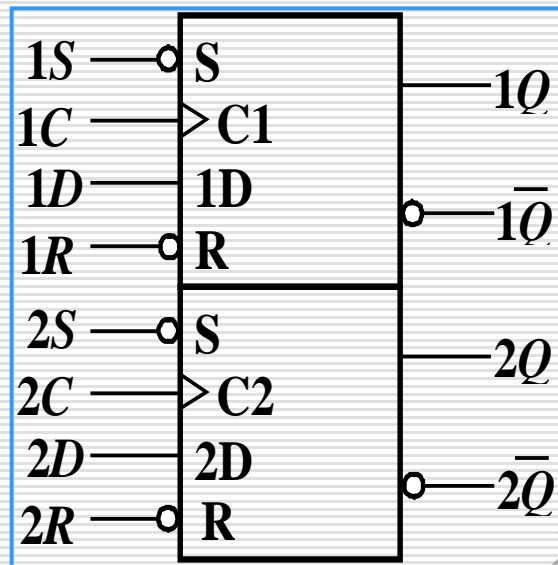
5.4.2 典型主从D触发器集成电路

$CP=1$ 或 $CP=0$ $\bar{R}=0$ $\bar{S}=1$ $Q=0$

$CP=1$ 或 $CP=0$ $\bar{R}=1$ $\bar{S}=0$ $Q=1$

\bar{R}_D 、 \bar{S}_D 的直接置1和直接置0的作用与CP无关

74HC/HCT74的逻辑符号和功能表



国标逻辑符号

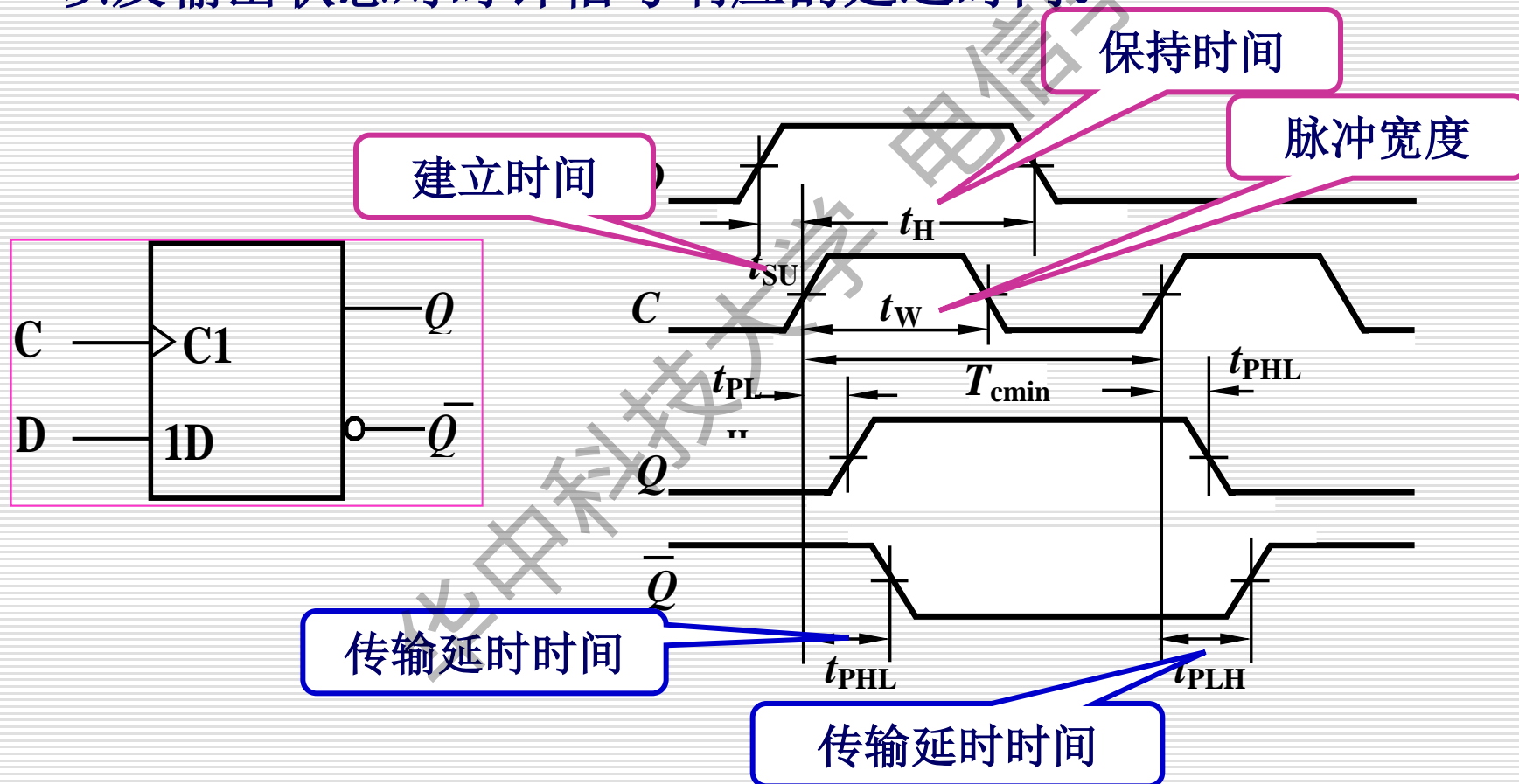
74HC/HCT74的功能表

| 输 入 | | | | 输 出 | |
|------------------|------------------|------|-----|-----------|----------------------|
| \overline{S}_D | \overline{R}_D | CP | D | Q | \overline{Q} |
| L | H | × | × | H | L |
| H | L | × | × | L | H |
| L | L | × | × | H | H |
| \overline{S}_D | \overline{R}_D | CP | D | Q^{n+1} | \overline{Q}^{n+1} |
| H | H | ↑ | L | L | H |
| H | H | ↑ | H | H | L |

具有直接置1、直接置0，正边沿触发的D功能触发器

5.4.3 主从D触发器的动态特性

动态特性反映其触发器对输入信号和时钟信号间的时间要求，以及输出状态对时钟信号响应的延迟时间。



建立时间 t_{SU} ：保证与 D 相关的电路建立起稳定的状态，使触发器状态得到正确的转换。

保持时间 t_H ：保证 D 状态可靠地传送到 Q

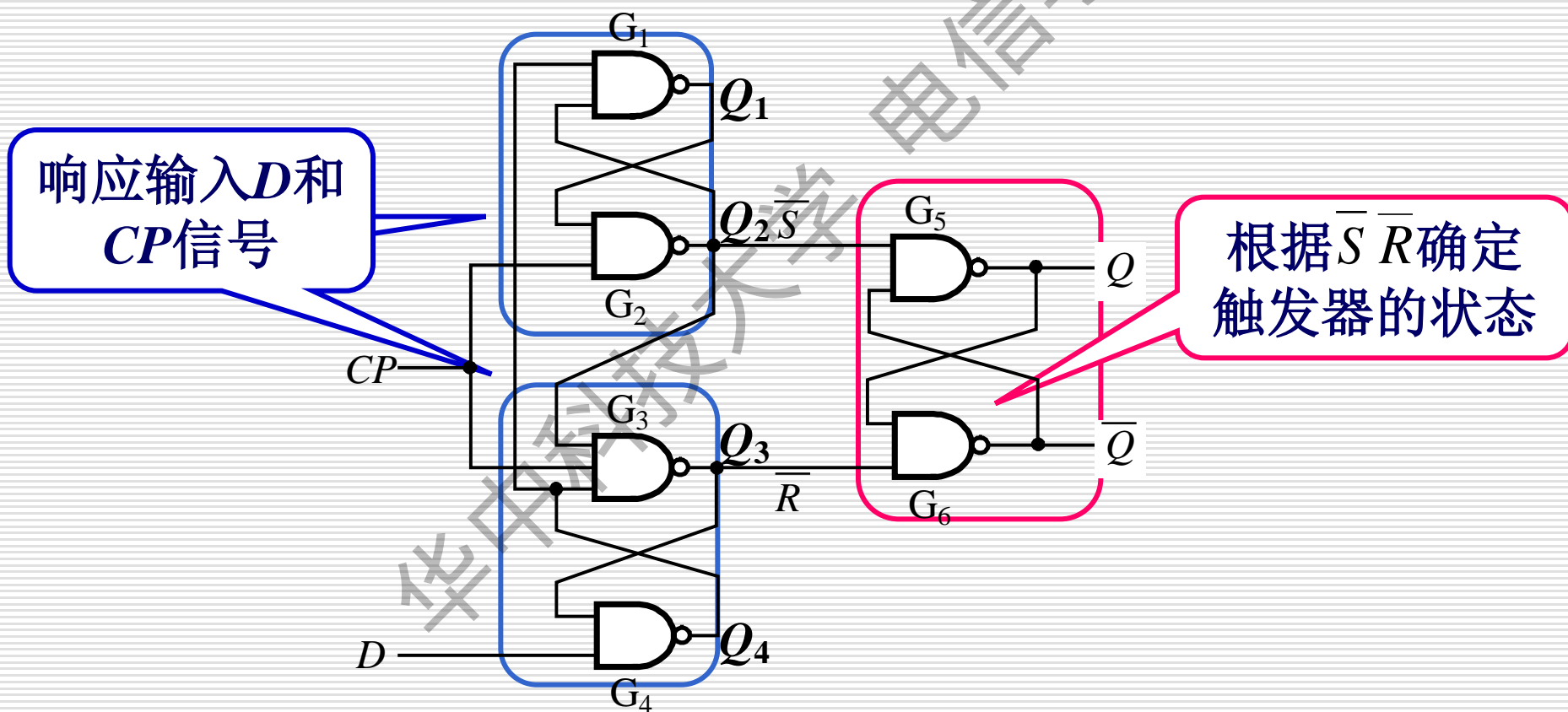
触发脉冲宽度 t_W ：保证内部各门正确翻转。

传输延迟时间 t_{PLH} 和 t_{PHL} ：时钟脉冲 CP 上升沿至输出端新状态稳定建立起来的时间

最高触发频率 f_{cmax} ：触发器内部都要完成一系列动作，需要一定的时间延迟，所以对于 CP 最高工作频率有一个限制。

5.4.4 其他电路结构的触发器

1. 维持阻塞触发器



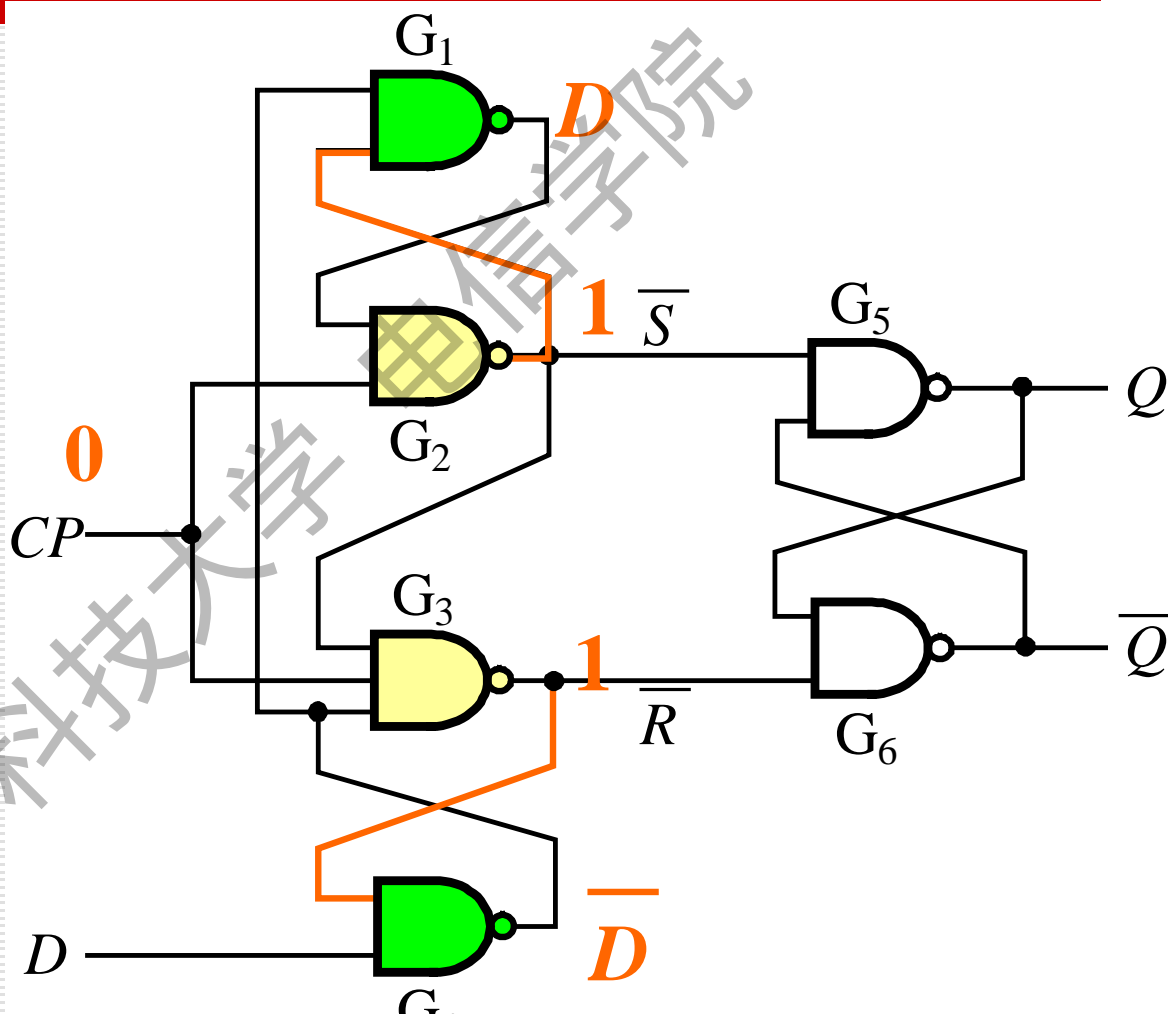
2、工作原理

$$CP = 0$$

$$Q_4 = \bar{D} \quad Q_1 = D$$

$$Q^{n+1} = Q^n$$

\bar{D} 信号存于 Q_4

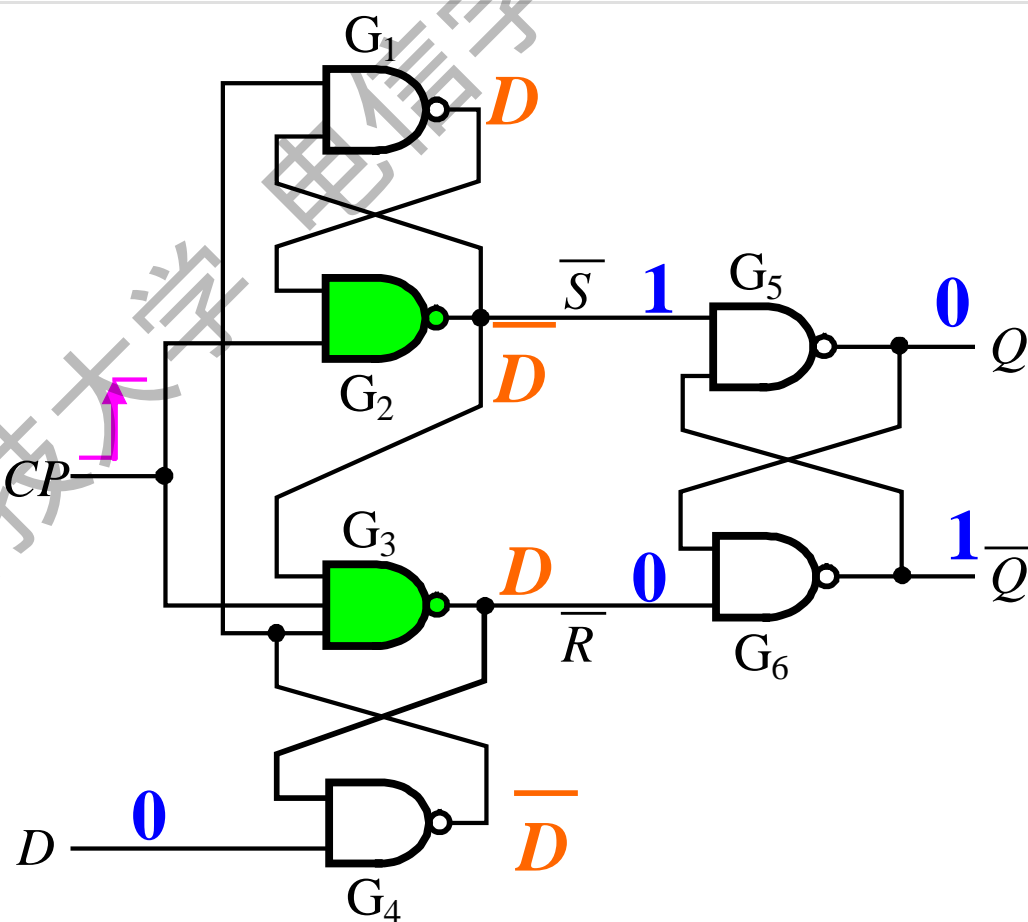


D 信号进入触发器, 为状态刷新作好准备

当 CP 由0跳变为1

$$Q^{n+1} = D$$

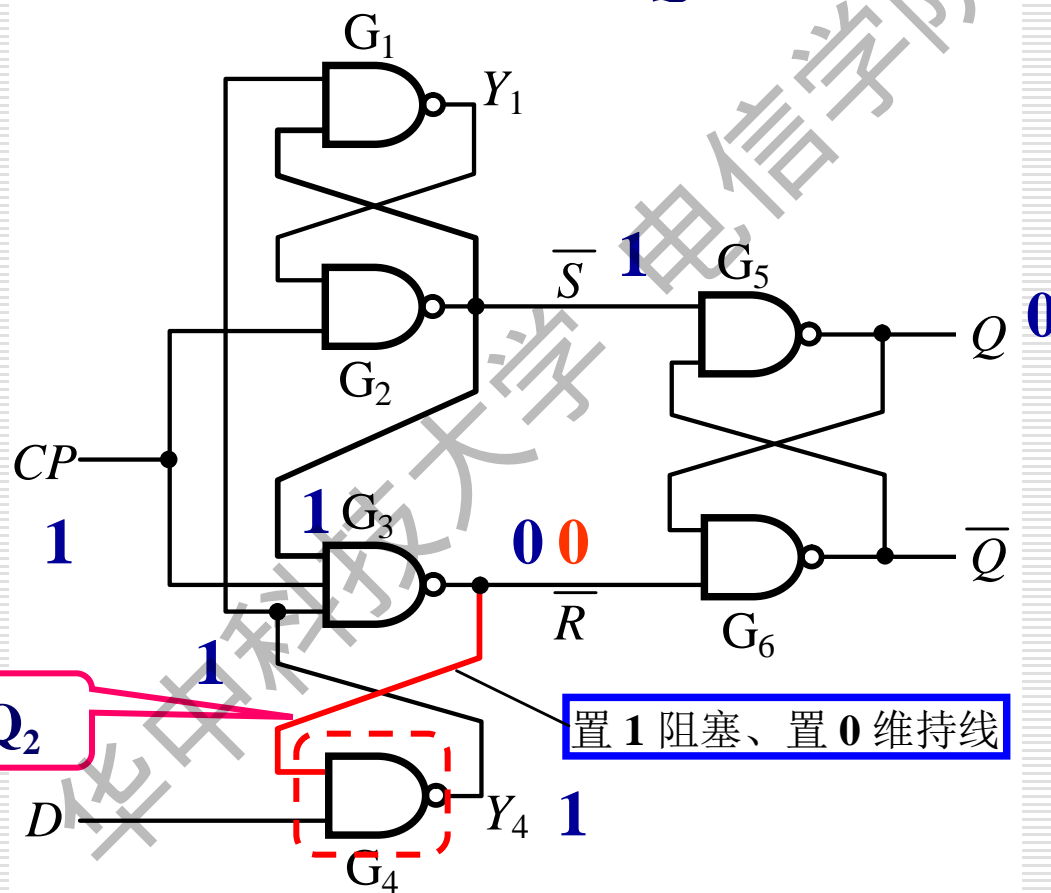
在 CP 脉冲的上升沿，触发器按此前的 D 信号刷新



当 $CP = 1$

D 信号不影响 \overline{S} 、 \overline{R} 的状态, Q 的状态不变

如 $Q^{n+1}=0$

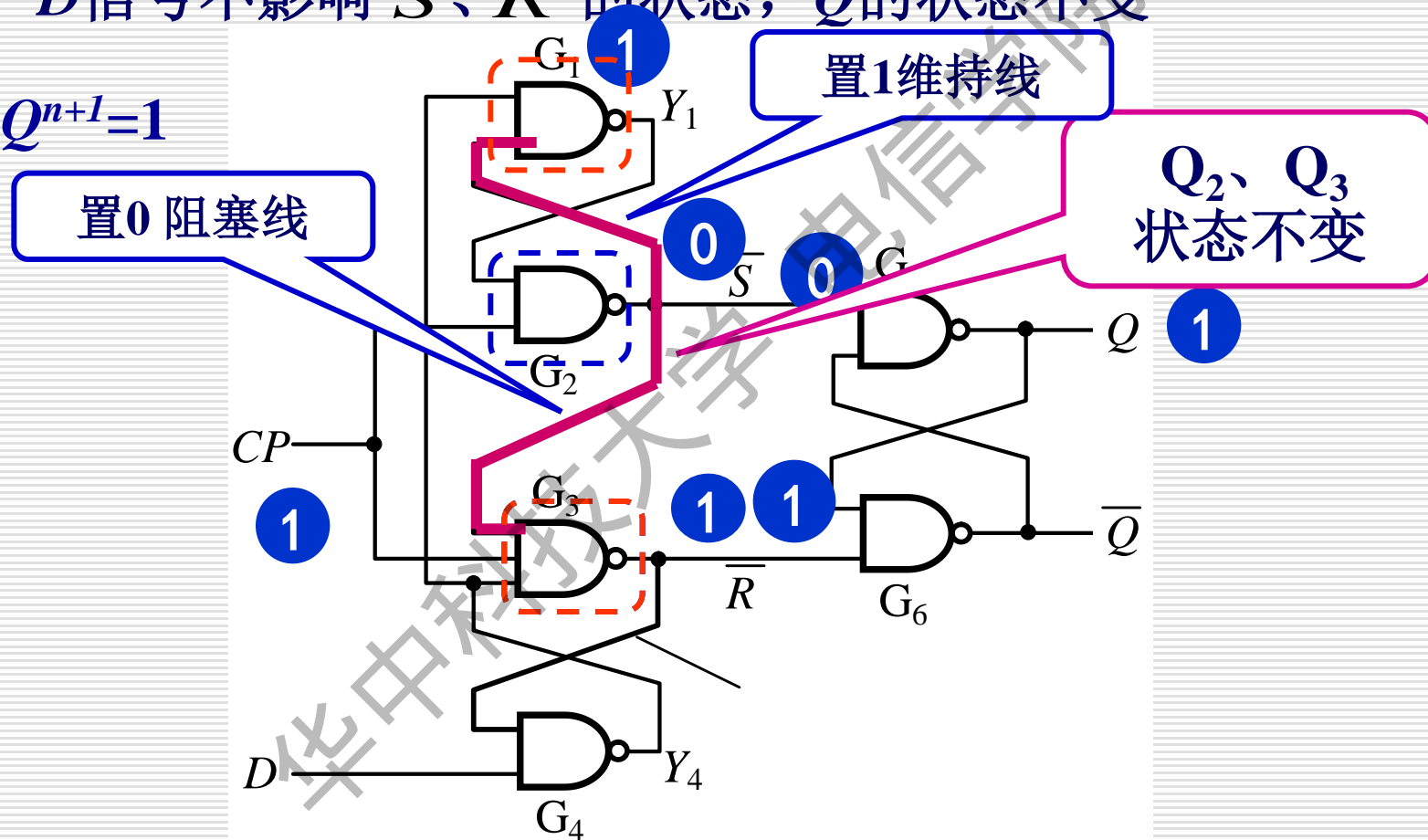


在 CP 脉冲的上升沿到来瞬间使触发器的状态变化

当 $CP = 1$

D 信号不影响 \overline{S} 、 \overline{R} 的状态, Q 的状态不变

如 $Q^{n+1}=1$



在 CP 脉冲的上升沿到来瞬间使触发器的状态变化

5.5 触发器的逻辑功能

5.5.1 D 触发器

5.5.2 JK 触发器

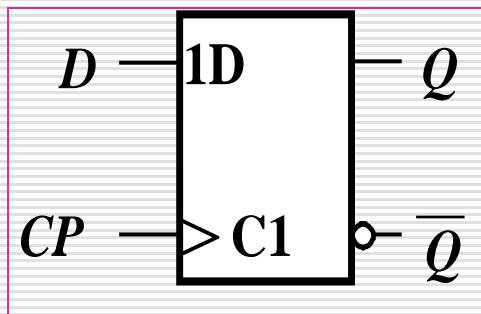
5.5.2 T 触发器

5.5.3 SR 触发器

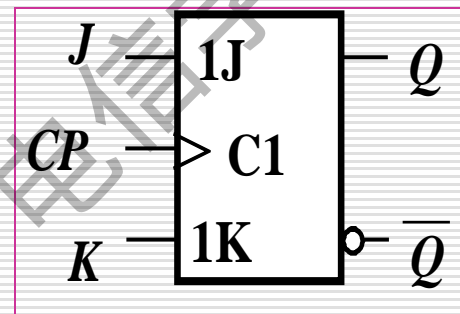
5.5.4 D 触发器功能的转换

5.5 触发器的逻辑功能

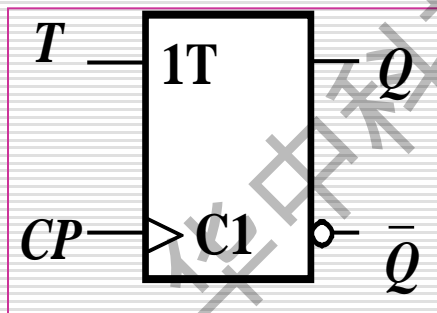
不同逻辑功能的触发器国际逻辑符号



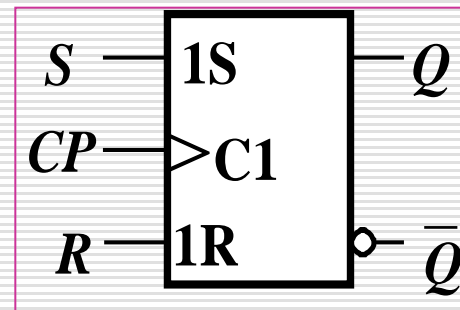
D 触发器



JK 触发器



T 触发器



RS 触发器

5.5.1 D 触发器

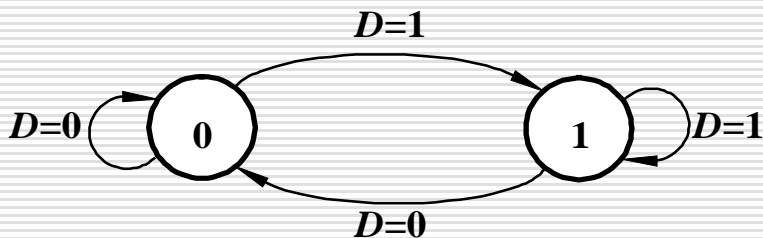
1. 特性表

| D | Q^n | Q^{n+1} |
|-----|-------|-----------|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

2. 特性方程

$$Q^{n+1} = D$$

3. 状态图



5.5.2 JK 触发器

1. 特性表

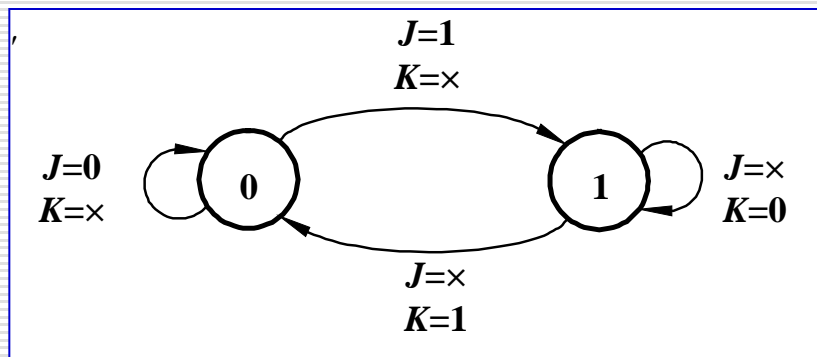
| J | K | Q^n | Q^{n+1} | 说 明 |
|-----|-----|-------|-----------|------|
| 0 | 0 | 0 | 0 | 状态不变 |
| 0 | 0 | 1 | 1 | |
| 0 | 1 | 0 | 0 | 置 0 |
| 0 | 1 | 1 | 0 | |
| 1 | 0 | 0 | 1 | 置 1 |
| 1 | 0 | 1 | 1 | |
| 1 | 1 | 0 | 1 | 翻 转 |
| 1 | 1 | 1 | 0 | |

2. 特性方程

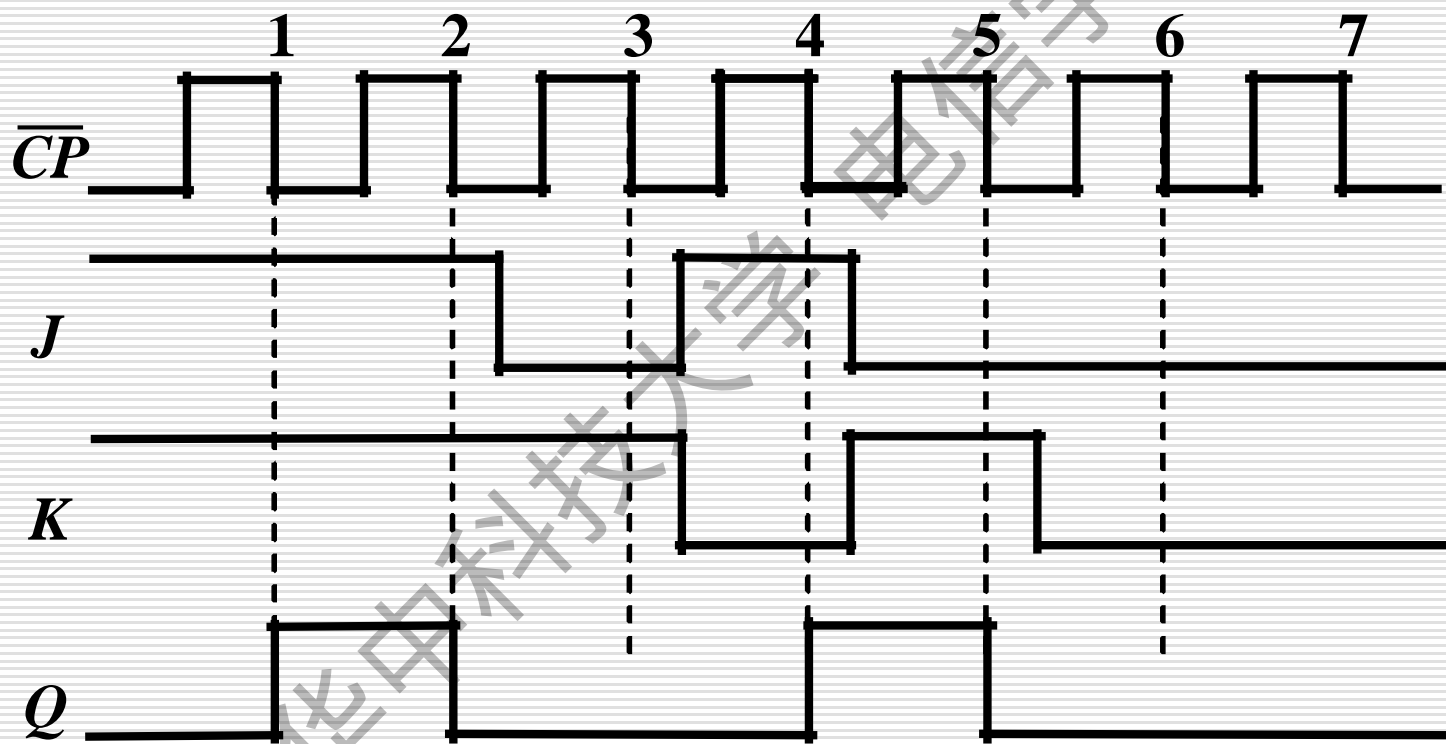
| $J \backslash KQ^n$ | 00 | 01 | 11 | 10 |
|---------------------|----|----|----|----|
| 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 |

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

3. 状态转换图

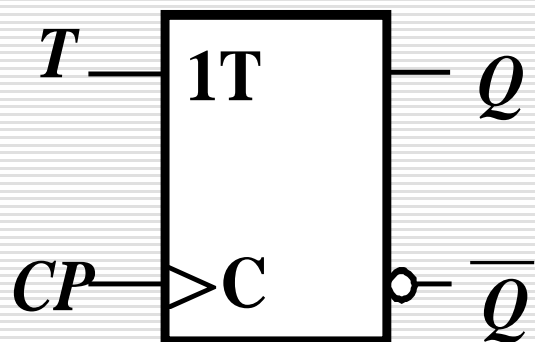


例5.4.1 设下降沿触发的JK触发器时钟脉冲和J、K信号的波形如图所示试画出输出端Q的波形。设触发器的初始状态为0。



5.5.3 T触发器

逻辑符号



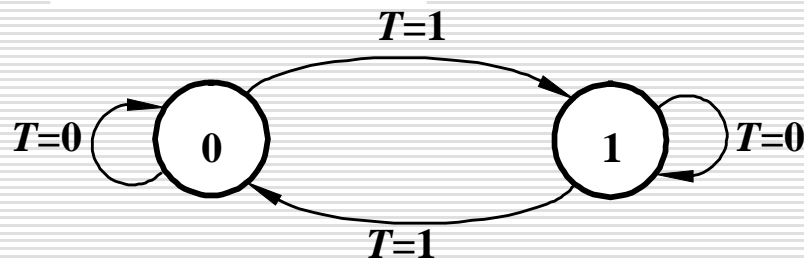
特性方程

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

特性表

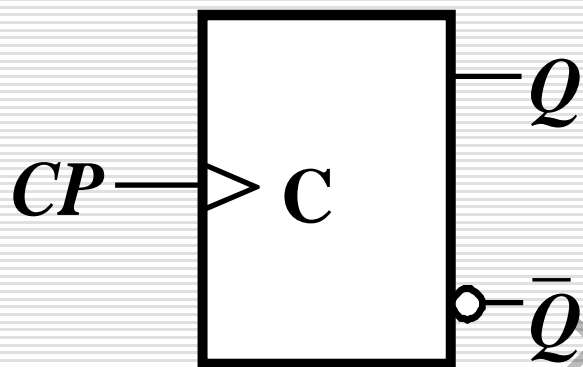
| T | Q^n | Q^{n+1} |
|-----|-------|-----------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

状态转换图



4. T'触发器

逻辑符号



特性方程

$$Q^{n+1} = \overline{Q^n}$$

时钟脉冲每作用一次，触发器翻转一次。

5.5.4 SR 触发器

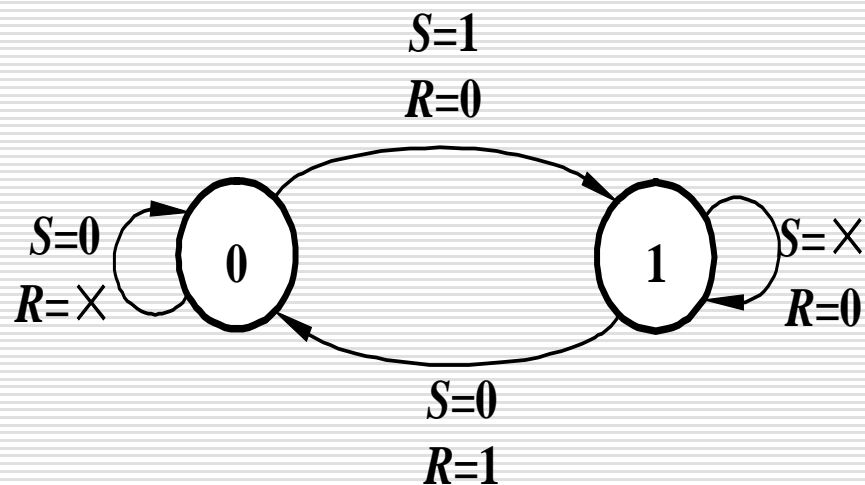
1. 特性表

| Q^n | S | R | Q^{n+1} |
|-------|-----|-----|-----------|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 不确定 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 不确定 |

2. 特性方程

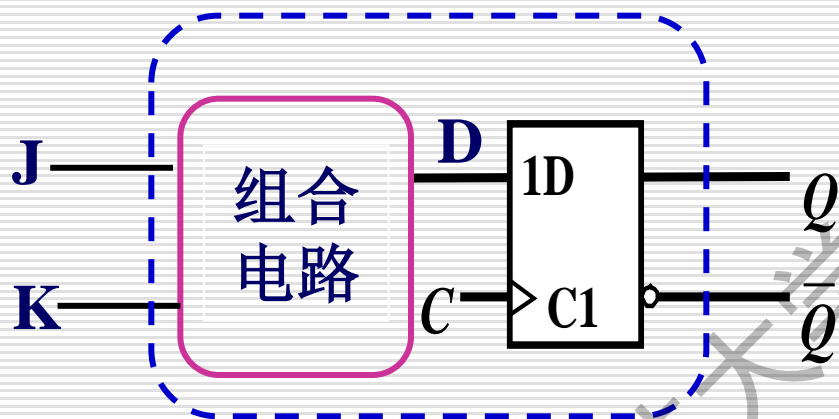
$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ SR=0 \text{ (约束条件)} \end{cases}$$

3. 状态图

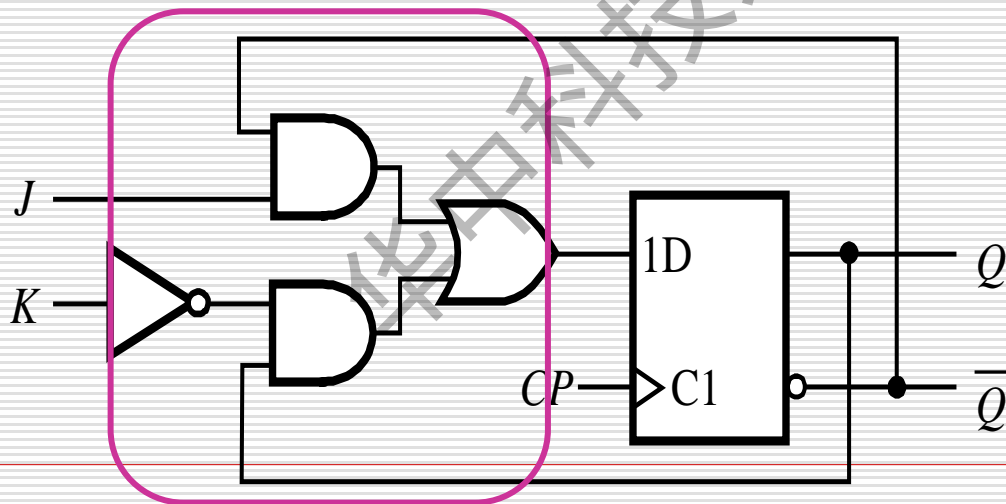


5.5.5 D触发器功能的转换

1.D 触发器构成 JK 触发器（不考）

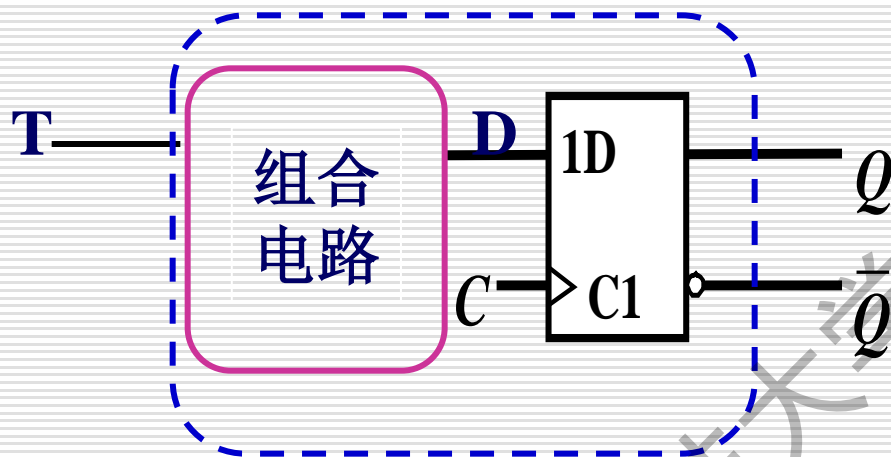


$$\begin{aligned} Q^{n+1} &= JQ^n + \bar{K}Q^n \\ Q^{n+1} &= D \end{aligned}$$



$$D = J\bar{Q} + \bar{K}Q$$

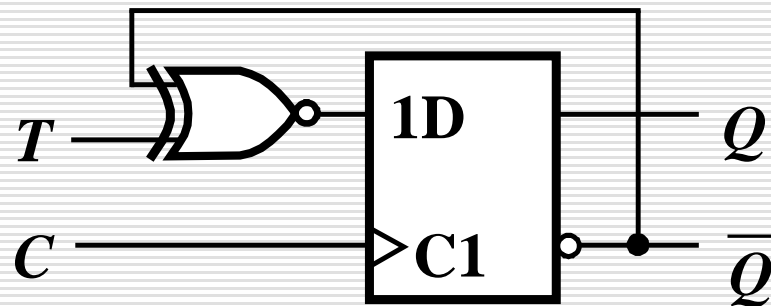
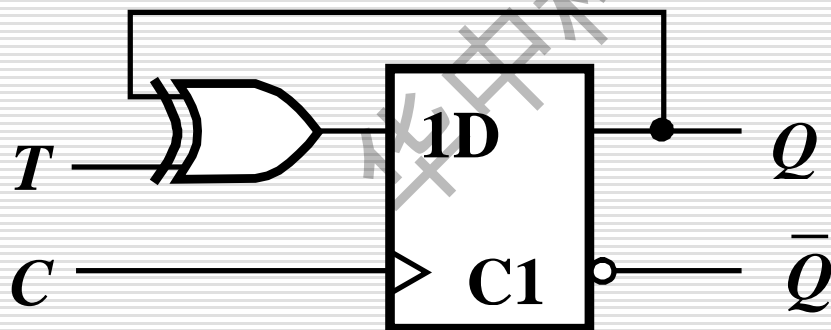
2. D 触发器构成 T 触发器



$$Q^{n+1} = D$$

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$$

$$D = T\bar{Q} + \bar{T}Q = T \oplus Q$$

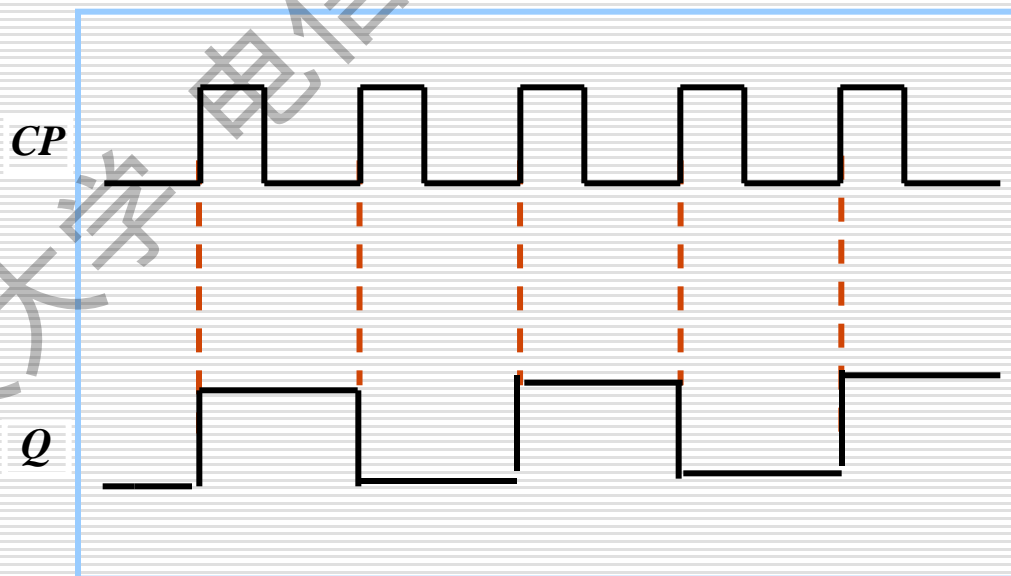
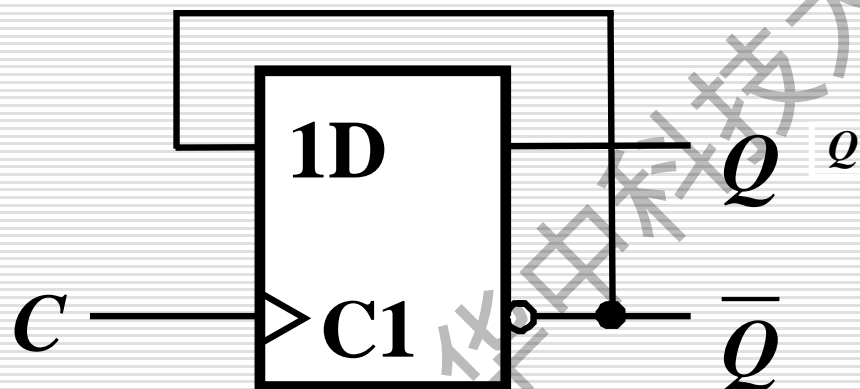


3. D 触发器构成 T' 触发器

$$Q^{n+1} = D$$

$$Q^{n+1} = \overline{Q^n}$$

$$D = \overline{Q^n}$$



二分频

小 结

- 锁存器和触发器都是具有存储功能的逻辑电路，是构成时序电路的基本逻辑单元。每个锁存器或触发器都能存储1位二值信息。
- 锁存器是对脉冲电平敏感的电路，它们在一定电平作用下改变状态。
- 触发器是对时钟脉冲边沿敏感的电路，它们在时钟脉冲的上升沿或下降沿作用下改变状态。
- 触发器按逻辑功能分类有D触发器、JK触发器、T (T')触发器和SR触发器。它们的功能可用特性表、特性方程和状态图来描述。触发器的电路结构与逻辑功能没有必然联系。

5.6 用Verilog HDL描述锁存器和触发器

5.6.1 时序电路建模基础

5.6.2 锁存器和触发器的Verilog建模

5.6.1 时序电路建模基础

Verilog行为级描述用关键词**initial**或**always**，但**initial**是面向仿真，不能用于逻辑综合，本书不介绍。**always**是无限循环语句，其用法为：

always@ (事件控制表达式 (或敏感事件表))

begin

块内局部变量的定义；

过程赋值语句；

end

敏感事件分为电平敏感事件和边沿触发事件：

电平敏感事件（如锁存器）：

always@ (sel or a or b)

sel、a、b中任意一个电平发生变化，后面的过程赋值语句将执行一次。

边沿敏感事件（如触发器）：

always@(posedge CP or negedge CR)

CP的上升沿或CR的下降沿来到，后面的过程语句就会执行。

过程赋值语句有阻塞型和非阻塞型：

阻塞型用“=”表示，语句块内部多条语句**顺序**执行。

```
begin
    B=A;
    C=B+1;
end
```

非阻塞型用“<=”表示，语句块内部的语句**并行**执行。

```
begin
    B<=A;
    C<=B+1;
end
```

假设A, B, C均为2比特的变量，初值为A=1, B=0, C=3，在某一时刻过程语句块被执行

多条语句**顺序**执行。结果为：

B=1;

C=2;

多条语句**并行**执行。结果为：

B=1;

C=1;

5.6.2 锁存器和触发器的Verilog建模实例

```
module D_latch (Q, D, E); //D锁存器的描述
    output Q;
    input D, E;
    reg Q;
    always @(E or D)
        if (E) Q <= D; //Same as: if (E== 1)
endmodule
```

```
module DFF (Q, D, CP); //D触发器的描述
    output Q;
    input D, CP;
    reg Q;
    always @(posedge CP)
        Q <= D;
endmodule
```



作业

➤ 5.2.1

➤ 5.2.3

➤ 5.2.6

➤ 5.5.1

➤ 5.5.8

➤ 5.5.9

➤ 5.6.3