

《数字电路与逻辑设计》课程教学大纲

一、课程名称（中英文）

中文名称：数字电路与逻辑设计

英文名称：Digital Circuit and Logic Design

二、课程代码及性质

学科（大类）基础课

必修

三、学时与学分

总学时：56（理论学时：56 学时；实践学时：0 学时）

学分：3.5

四、先修课程

先修课程：电路理论；模拟电子技术基础（可同学期提前 4~5 周并行开课）

五、授课对象

本课程面向电子与信息类各相关专业本科学生开设

六、课程教学目的（对学生知识、能力、素质培养的贡献和作用）

数字电路与逻辑设计是电子信息类相关学科各专业的一门主要技术基础课程，也是一门实践与应用背景很强的专业应用性课程。

课程系统学习分析数字逻辑电路的基本理论——逻辑代数；数字集成电路的物理实现——MOS 门；组合逻辑电路和时序逻辑电路的分析与设计；中、大规模数字集成电路和可编程逻辑器件的电路结构及使用；现代 EDA 设计的初步概念；典型脉冲单元电路；模数与数模转换电路。

本课程的教学目的是使学生掌握数字逻辑电路的基本原理、

基本分析和基本设计方法，掌握数字集成电路的使用，了解可编程逻辑器件原理和数字电路 EDA 设计概念，掌握数模和模数接口设计方法，为后续专业课程的学习打下基础。通过课程学习，要求学生达到：

- 1、熟练掌握逻辑代数的原理和逻辑函数化简方法。
- 2、了解数字逻辑门电路的结构特点、分析方法；熟知 CMOS 门电路的特点、差异、性能指标和应用中的接口问题。
- 3、熟练掌握组合逻辑电路与时序逻辑电路的分析与设计方法；了解竞争冒险现象及其消除。
- 4、掌握数字集成电路的功能分析与设计方法；熟悉和掌握典型中规模组合逻辑和时序逻辑集成电路的基本应用与扩展使用。
- 5、了解各类 RAM、ROM 的基本工作原理和结构特点；掌握 RAM、ROM 的基本使用和扩展使用。
- 6、了解可编程器件的结构和工作原理；了解 CPLD、FPGA 器件；了解现代 EDA 设计方法。
- 7、基本掌握各类脉冲单元电路的分析与计算。
- 8、基本掌握各类 A/D 与 D/A 电路的工作原理；正确理解与掌握 A/D 和 D/A 的主要参数计算。

七、教学重点与难点：

课程重点：CMOS 电路的接口、组合逻辑电路分析与设计、时序逻辑电路分析与设计、数字集成电路的使用、存储器的使用、Verilog HDL 硬件描述语言与 EDA 设计、A/D 和 D/A 混合电路应用。

课程难点：组合逻辑电路设计、同步时序逻辑电路设计、数字集成电路的扩展使用、存储器的扩展使用、Verilog HDL 硬件描述语言的建模、A/D 和 D/A 混合电路的扩展应用

八、教学方法与手段：

教学方法：讲授法、讨论法、直观演示法、任务驱动法。

教学手段：以多媒体课件为基础，授课教师在课堂阐述教学内容，辅之黑板板书和电子视听材料播放。

九、教学内容与学时安排

(一) 教学内容 1 (教师课堂教学学时 (1 小时) + 学生课后学习学时 (1 小时))

教学内容: 绪论

课程引论: 数字逻辑电路的发展概况, 课程内容简介, 教学要求;

数制: 二进制、八进制、十六进制、十进制及其相互转换;

课后文献阅读: 了解数字集成电路与 ASIC 发展进程。

课后作业和讨论: 二进制与十进制互相转换。

(二) 教学内容 2 (教师课堂教学学时 (7 小时) + 学生课后学习学时 (3 小时))

教学内容: 逻辑代数

逻辑代数基础: 逻辑代数公理、定理与运算规则; 逻辑函数表达式及标准型;

逻辑电路符号: 逻辑门与复合逻辑门;

逻辑代数化简: 公式化简与卡诺图化简;

课后文献阅读: 正逻辑与负逻辑的互相转换。

课后作业和讨论: 六变量的代数化简, 四变量卡诺图化简 (要求一题三解: 基于最小项圈 “1”、基于最小项圈 “0”、基于最大项)。

(三) 教学内容 3 (教师课堂教学学时 (4 小时) + 学生课后学习学时 (2 小时))

教学内容: 集成逻辑门 (4 学时)

器件的开关特性: 二极管、三极管、MOS 管;

CMOS 逻辑门: 电路特点与性能参数指标及其对比; CMOS 逻辑门的应用

课后文献阅读: 集成电路工艺发展进程。

课后作业和讨论: CMOS 电路的驱动能力计算。

(四) 教学内容 4 (教师课堂教学学时 (10 小时) + 学生课后学习学时 (6 小时))

教学内容: 组合逻辑电路 (10 学时)

基于小规模门的组合逻辑电路分析和设计;

组合逻辑功能描述与中规模集成电路: 编码器、译码/分配器、运算器、多路器; 数字逻辑电路的竞争与冒险;

课后文献阅读：优先权编码器在工业环境的应用。

课后作业和讨论：组合逻辑电路设计（要求一题三解：基于与非门、基于 74xx138 和基于 74xx151）。硬件描述语言对组合逻辑电路的建模

（五）教学内容 5（教师课堂教学学时（4 小时） + 学生课后学习学时（2 小时））

教学内容：集成触发器

基本 RS 触发器；

各类触发器功能分析和电路结构：主从 RS、主从 JK、维持阻塞 D、T 和 T' 集成触发器应用及其工作波形图

课后文献阅读：硬件描述语言对触发器的建模。

课后作业和讨论：三个 D 触发器级联的工作波形（要求 D 触发器的清零端或置位端，有前馈或反馈）。

（六）教学内容 6（教师课堂教学学时（10 小时） + 学生课后学习学时（6 小时））

教学内容：时序逻辑电路

时序逻辑电路分析；同步时序逻辑电路设计；

时序逻辑功能描述与中规模集成电路：寄存器、移存器、同步／异步计数器、串行接口分析

课后文献阅读：RS232C 串口工作原理。多片中规模集成电路级联的方法。

课后作业和讨论：同步时序电路分析、同步时序电路设计、基于 74xx161 的电路设计（要求一题二解：异步清零、同步置位）。硬件描述语言对时序逻辑电路的建模

（七）教学内容 7（教师课堂教学学时（4 小时） + 学生课后学习学时（2 小时））

教学内容：半导体存储器

RAM／ROM 结构与 RAM／ROM 器件应用；

新型存储器件简介；

课后文献阅读：FLASH 存储器的概念和分类。

课后作业和讨论：存储器的扩展应用（要求写出存储器的地址映射表）。

（八）教学内容 8（教师课堂教学学时（8 小时） + 学生课后学习学时（8 小时））

教学内容：可编程逻辑器件（8学时）

小规模 PLD 器件：电路原理与使用；

中大规模 PLD 器件：内部结构；使用特点；

现代 EDA 设计方法简介，Verilog HDL 硬件描述语言入门，
复杂状态机设计与实现，RISC 组成原理初步；

课后文献阅读：有限状态机。RISC 处理器的基本构成。

课后作业和讨论：有限状态机的实现（要求一题二解：基于 D
触发器和基于硬件描述语言）

（九）教学内容 9（教师课堂教学学时（2 小时） + 学生课后学
习学时（1 小时））

教学内容：脉冲单元电路

典型脉冲电路功能与实现：施密特触发器、单稳态触发器、
多谐振荡器

课后文献阅读：典型脉冲电路在工业中的应用。

课后作业和讨论：使用数字电路设计可重触发单稳触发器。

（十）教学内容 10（教师课堂教学学时（6 小时） + 学生课后
学习学时（4 小时））

教学内容：模数与数模转换电路

数模转换原理；典型实现结构；主要性能指标；

模数转换原理；典型实现结构：并行、串并行、逐次比较、
双积分；性能指标

课后文献阅读：信号与系统中的采样问题。

课后作业和讨论：使用硬件描述语言设计逐次比较型 AD。

十、教学参考书及文献

教学参考书：

1、数字电路与逻辑设计（第五版），华中科技大学出版社，曹汉
房主编

2、电子技术基础 数字部分（第六版），高等教育出版社，康华
光主编

课外文献阅读：

1、Verilog HDL 与 FPGA 数字系统设计，机械工业出版社，罗杰
主编；

2、数字电路与逻辑设计，清华大学出版社，朱定华编著；

3、电子技术基础数字部分(第六版)习题全解，高等教育出版社，罗杰主编；

4、数字电子技术基础(第四版)，高等教育出版社，阎石主编。

十一、课程成绩评定与记载

课程成绩构成（建议增加形成性评价成绩所占比例）：

课程成绩=课堂讨论(5%)+课后作业(10%)+课后文献阅读(5%)
+平时（期中）测验（考试）(10%)+终结性考试（70%）

终结性考试形式：闭卷

大纲制定：数字电路与逻辑设计课程组

审 核：苏钢

2016年1月21日