

A glowing blue microchip is positioned in the center-right of the image. It has a square shape with a grid of pins on its bottom edge. The chip itself is translucent, revealing internal circuitry. It sits on a dark blue background with a complex, glowing circuit board pattern. The overall lighting is a deep blue, giving it a high-tech, digital feel.

# 计算机组成原理



## 计算机组成原理

### 四、存储系统



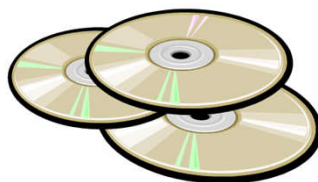
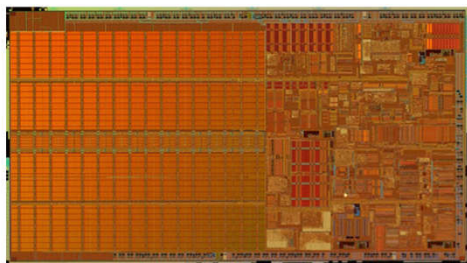
## || 本章主要内容

- 存储器概述
- 主存储器
- 高速缓冲存储器
- 虚拟存储器
- 外存储器





## 花样繁多的存储器



## 4.1 存储器概述

- **存储器分类**
- 存储器分级结构
- 存储器的性能指标

## || 存储器分类

- 按存储介质分
- 按存取方式分
- 按读写功能分
- 按信息的可保存性分
- 按在计算机系统中的作用分

## 按存储介质分

### ■ 半导体存储器

- 双极型存储器 MOS存储器
- 速度快、功耗低

### ■ 磁存储器

- 磁芯、磁带、磁盘
- 容量大，速度慢、体积大

### ■ 激光存储器

- CD-ROM CD-RW CD-R
- DVD-ROM DVD-RW DVD-R
- 便于携带，廉价，易于保存

## 按存取方式分

### ■ 随机存储器

- 存取时间与物理位置无关
- 磁芯、半导体存储器

### ■ 顺序存储器

- 存取时间与物理位置有关
- 磁盘、磁带、激光存储器



## 按读/写功能分

- 只读存储器 (ROM)

- 存储器内容是预置的，固定的，无法改写

- 读/写存储器

- 既能读出也能写入的存储器
  - 随机存储器RAM

## 按信息的可保存性分

- 易失性存储器 *Volatile Memories*
  - 断电后信息消失
  - SRAM
  - DRAM
- 非易失性存储器 *Non-Volatile Memories*
  - 断电后仍能保存信息
  - 磁存储器、激光存储器、NVRAM

## 按在计算机系统中的作用分

- 主存储器
- 辅助存储器
- 高速缓冲存储器 Cache
- 控制存储器

## || 存储系统主要技术指标

### ■ 存储时间

- 接受到读写命令到从存储器中读出或写入信息所经历的时间

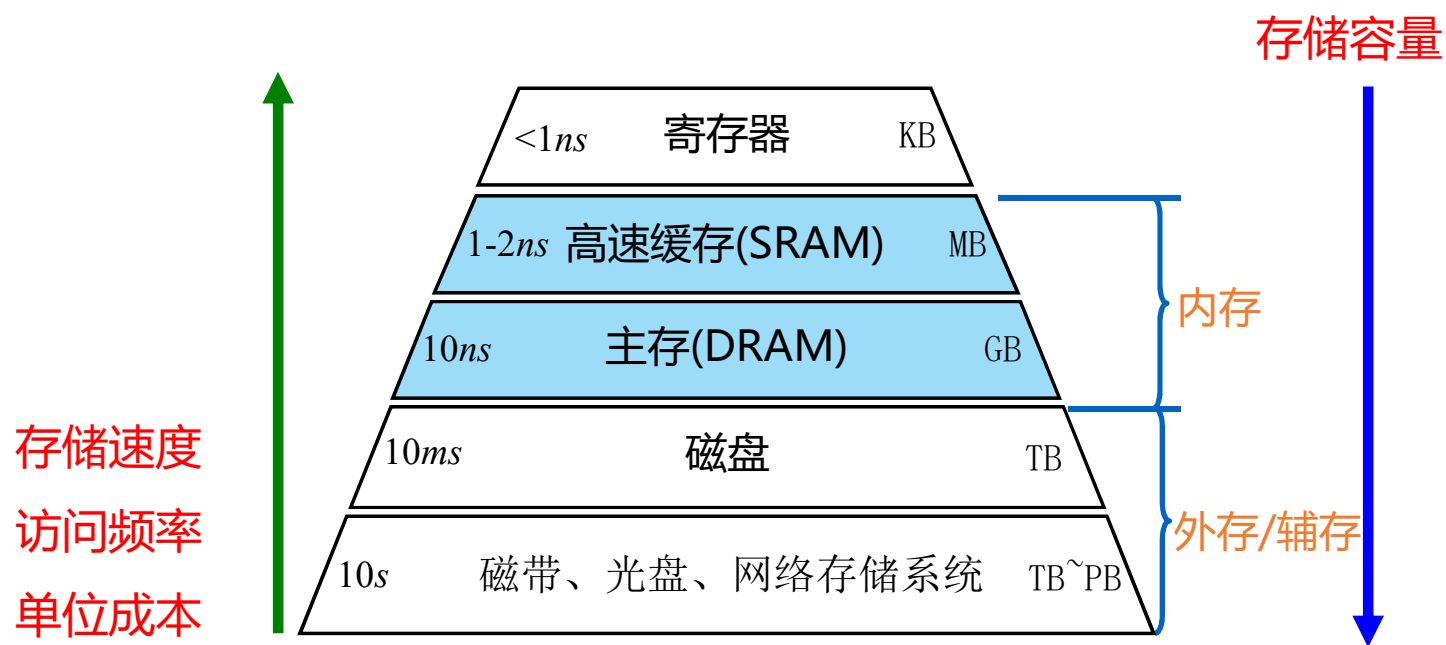
### ■ 存储周期

- 连续两次访问存储器所需要的最小时间间隔

### ■ 存储器带宽

- 单位时间内存储器存取的信息量
- Byte/s

## 存储系统分层结构



## || 本章主要内容

- 存储器概述
- **主存储器**
- 高速缓冲存储器
- 虚拟存储器
- 外存储器





# 主存储器

- **基本概念**
- 随机存储器
- 只读存储器
- 主存储器与CPU的连接
- 新型存储器

## 主存储器特征

### ■ 由半导体MOS存储器组成

□ 地址, 存储周期, 存储单元

### ■ 存储单元 (与机器字长有关)

□ 支持不同大小的访问, 字节, 半字, 字

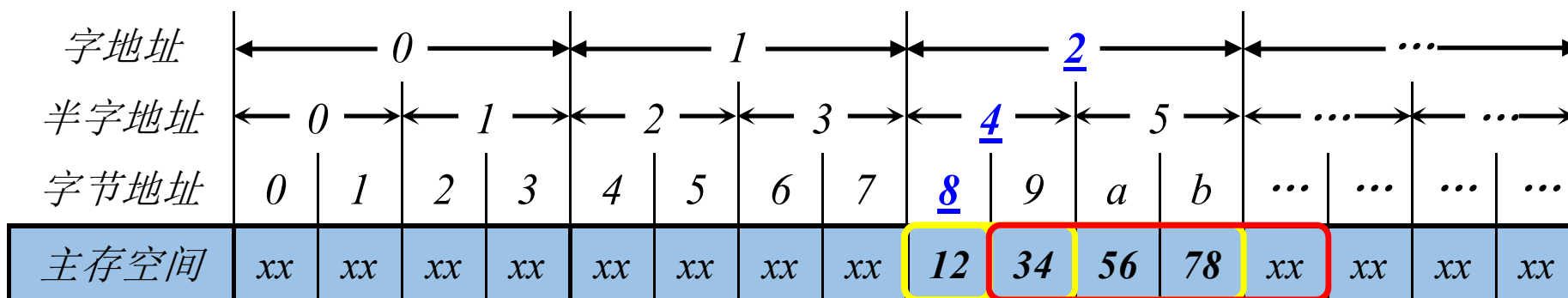
### ■ 存储地址: 字节, 半字, 字地址

`mov ah, [8]` #按字节访存 ah=0x12

`mov ax, [8]` #按半字访存 ax=0x3412

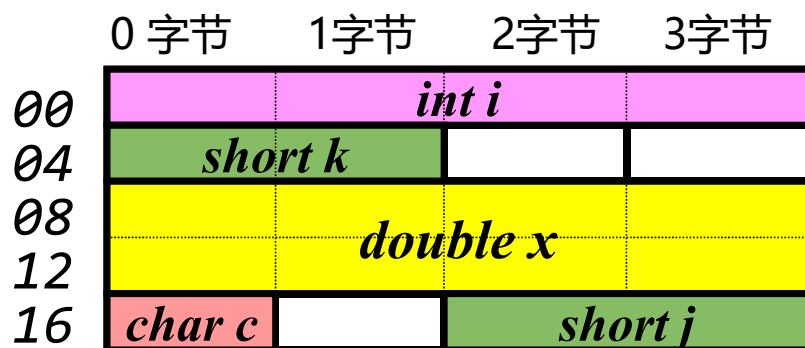
`mov eax, [8]` #按字访存 eax=0x78563412

`mov eax, [9]` #未对齐, 产生异常

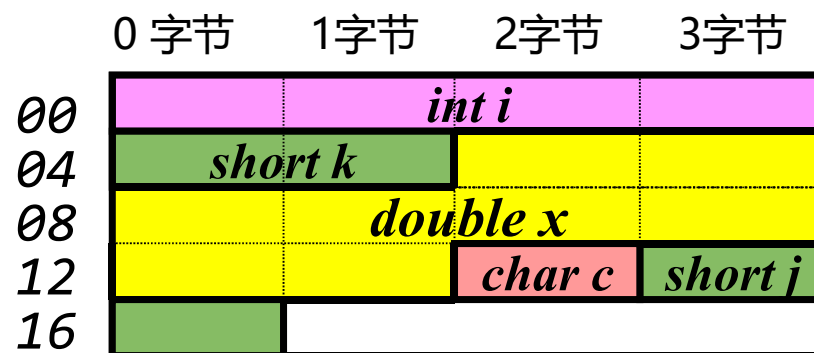


## 主存中的数据组织 (32位计算机)

- 按边界对齐的方式存储数据
- $int\ i, short\ k, double\ x, char\ c, short\ j$ 
  - int (4字节) short (2字节) double (8字节) char (1字节)
  - short按16位对齐, int按32位对齐, double按64位对齐
- 对齐可提升访问数据的速度, 不对齐可节约空间



对齐存放

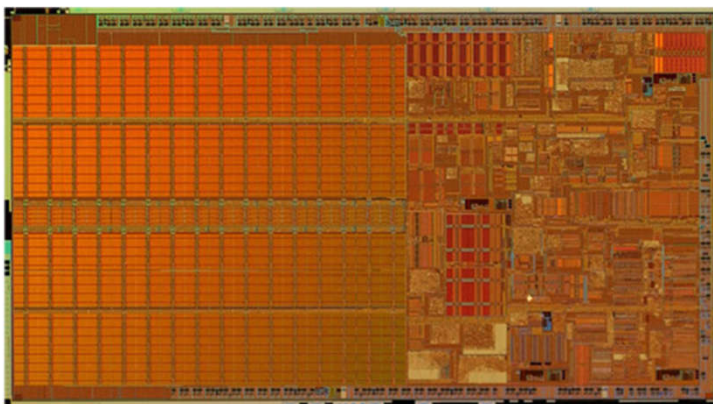


未对齐存放

# 主存储器

- 基本概念
- **随机存储器**
- 只读存储器
- 主存储器与CPU的连接
- 高速主存储器

## 半导体存储器如何存储数据？



SRAM (CPU缓存)



DRAM 内存条

二者为什么存在性能、容量、价格差异？

## || 随机存取存储器 (Random Access Memory)

- 静态MOS存储器

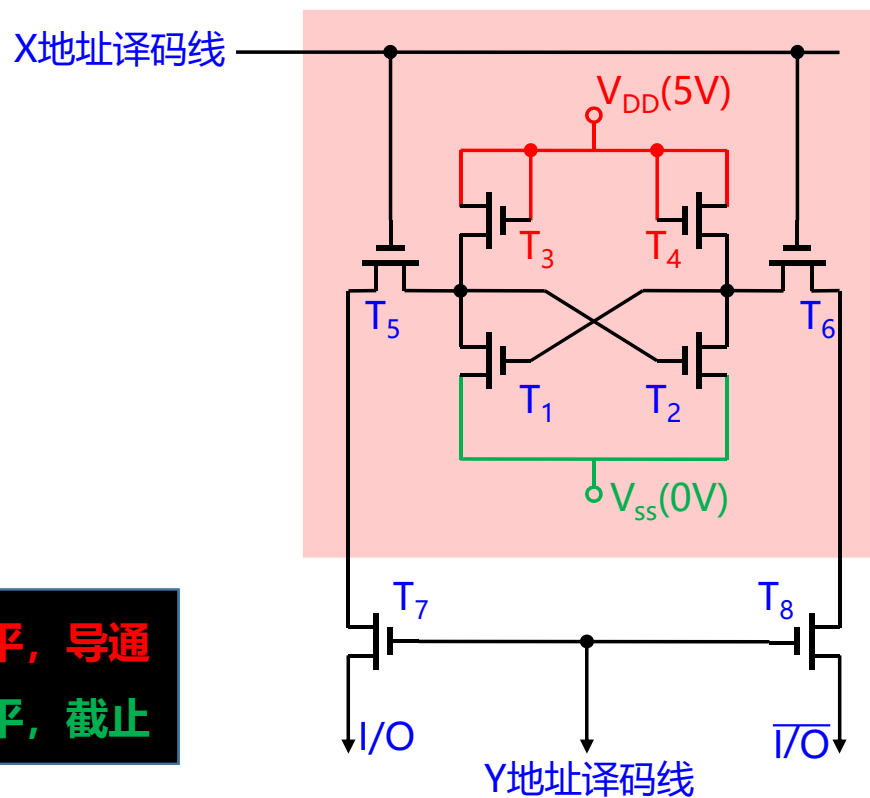
  - SRAM

- 动态MOS存储器

  - DRAM



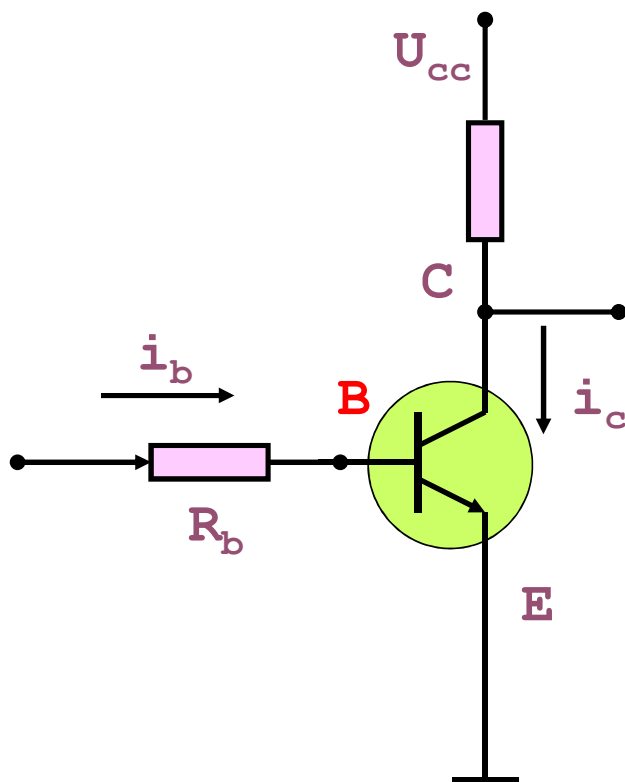
## 六管SRAM存储器 (SRAM Cell)



红色: 高电平, 导通  
绿色: 低电平, 截止

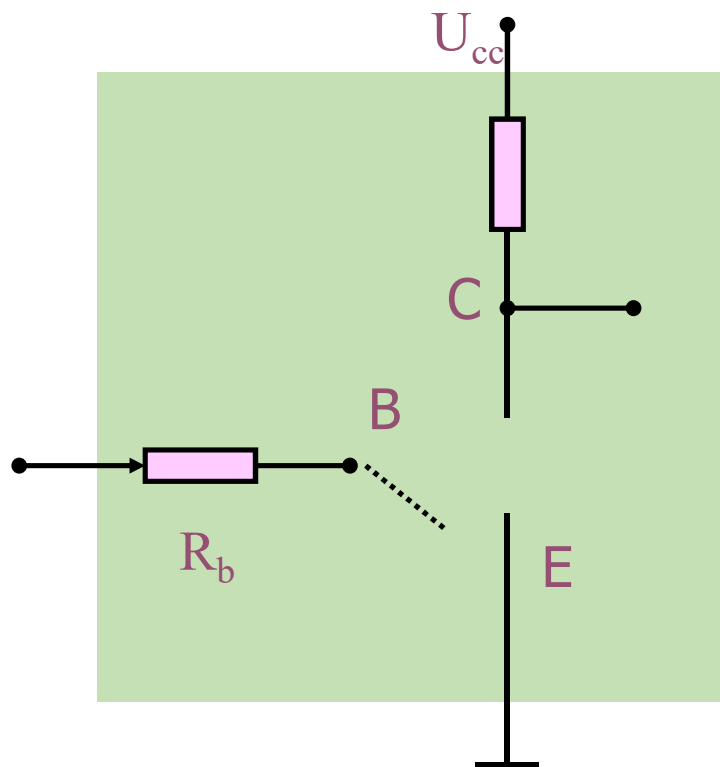
- 工作管T<sub>1</sub> T<sub>2</sub>
  - 存储数据
- 负载管T<sub>3</sub> T<sub>4</sub>
  - 补充电荷
- 门控管T<sub>5</sub> T<sub>6</sub> T<sub>7</sub> T<sub>8</sub>
  - 开关作用

## MOS管的特性

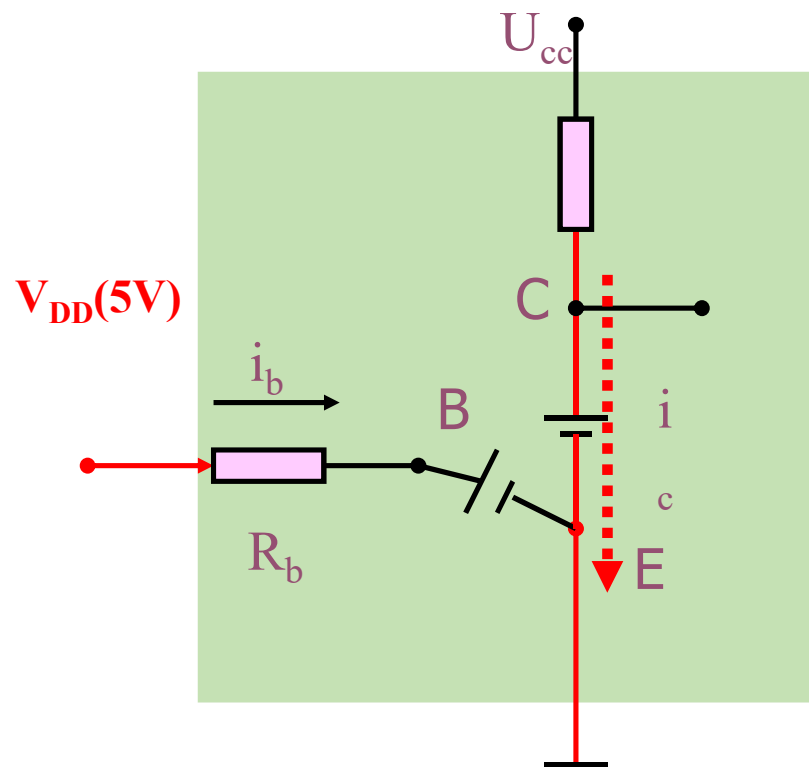


- 放大状态
- 截止状态
- 导通状态

## MOS管等效开关电路

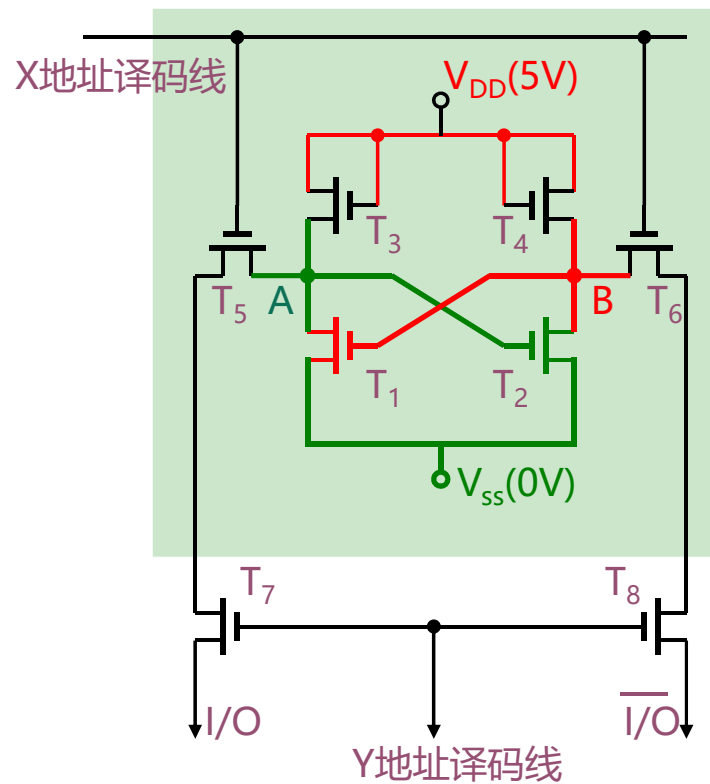
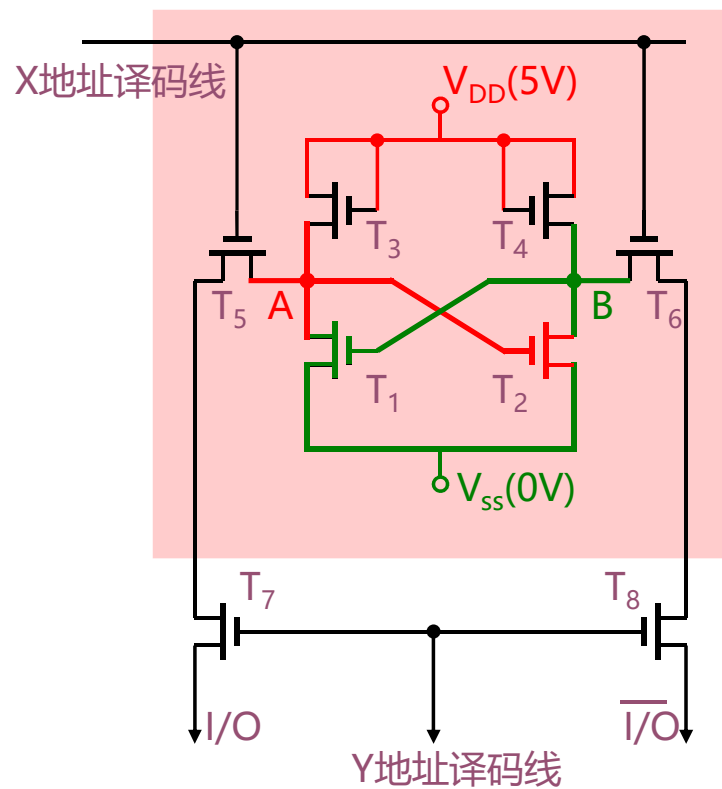


截止状态



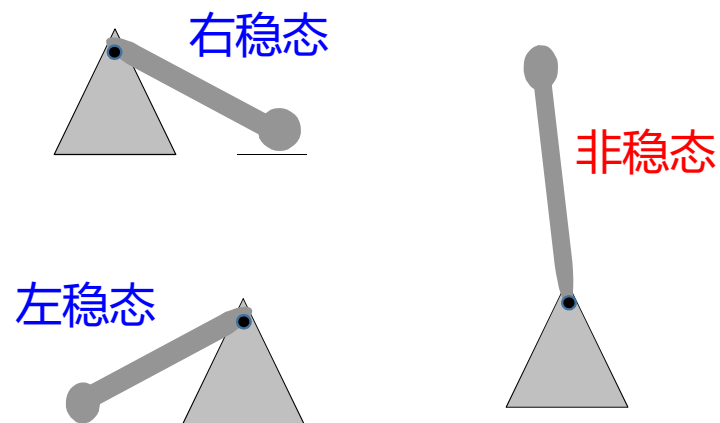
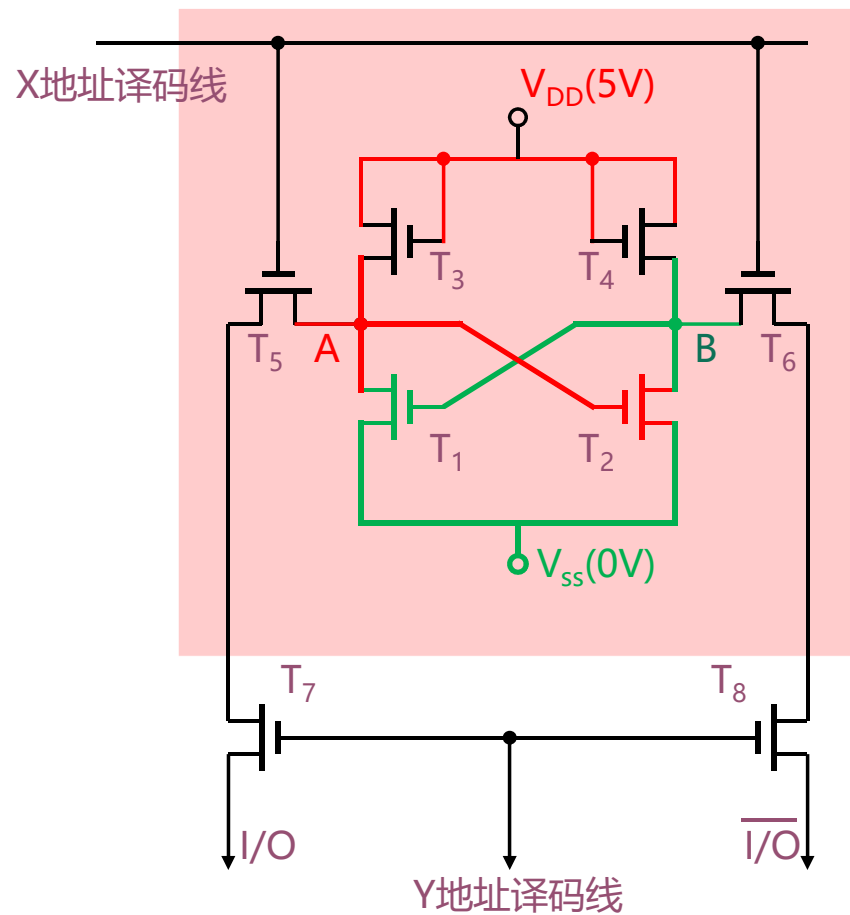
导通状态

## 六管SRAM存储器两种状态



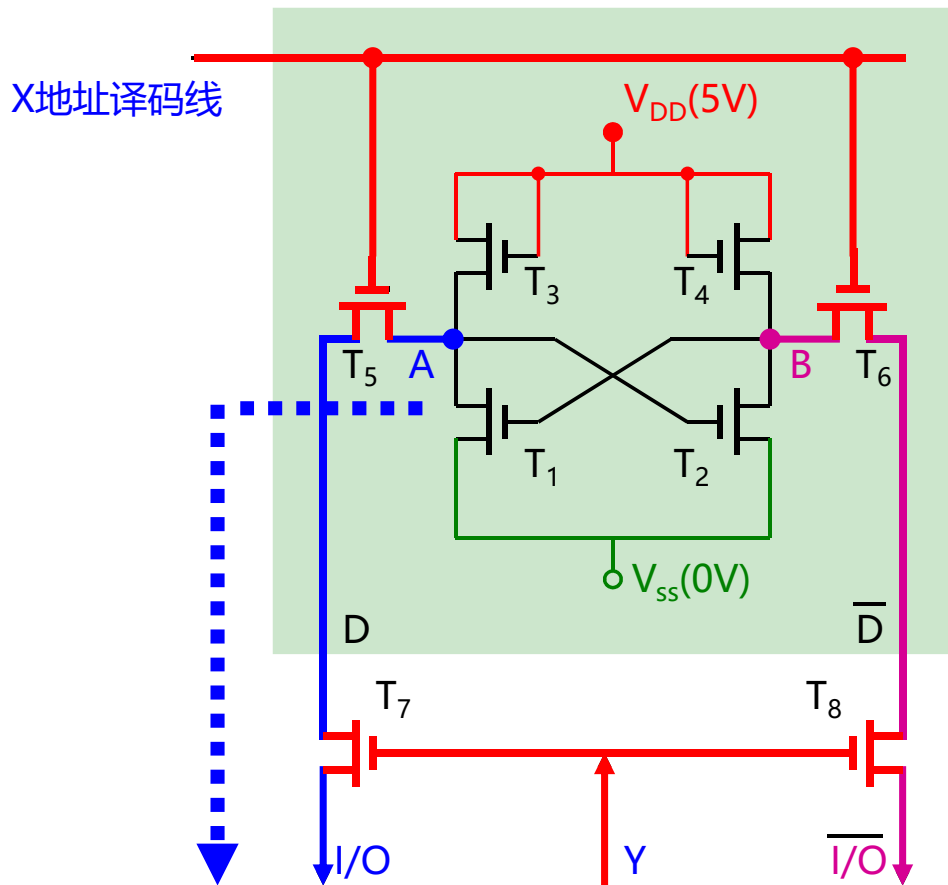
耦合电路MOS管导通截止状态存储数据

## 钟摆三种状态



截止状态仍存在泄露电流，负载管补充电荷

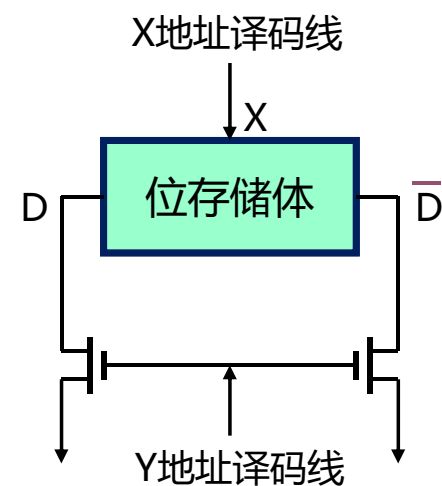
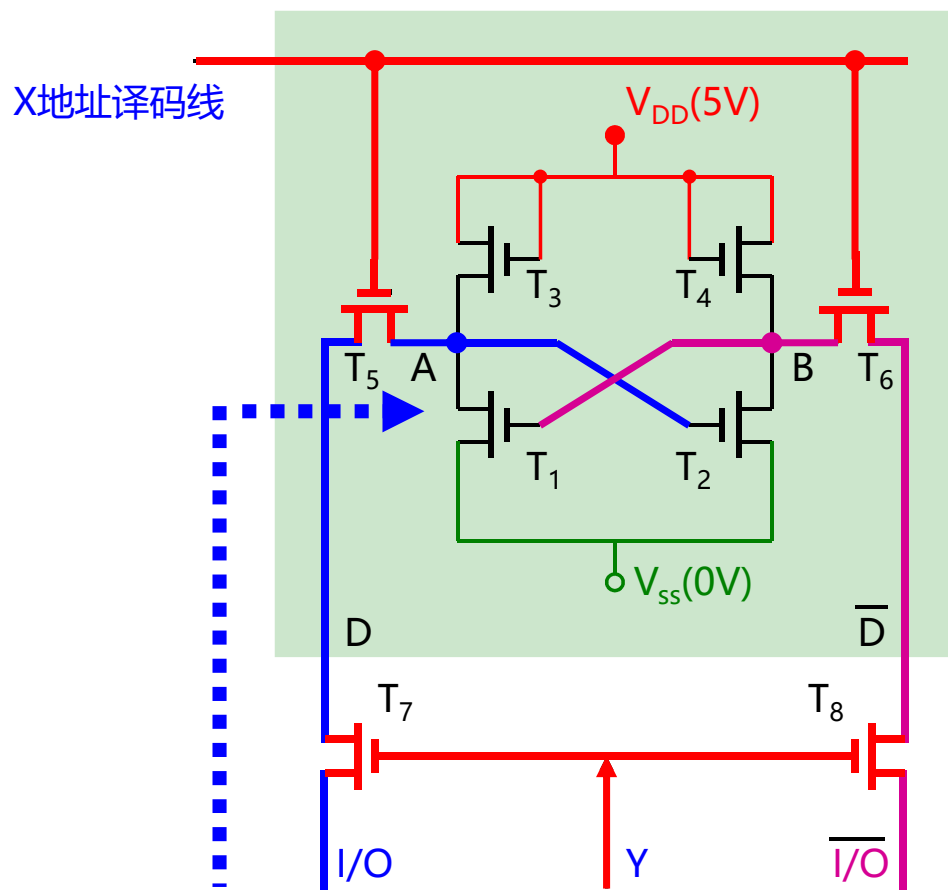
## 六管SRAM存储器读操作



- X地址选通
  - T5、T6管导通
  - A点与位线相连
- Y地址选通
  - T7、T8管导通
  - A点电位输出到I/O端



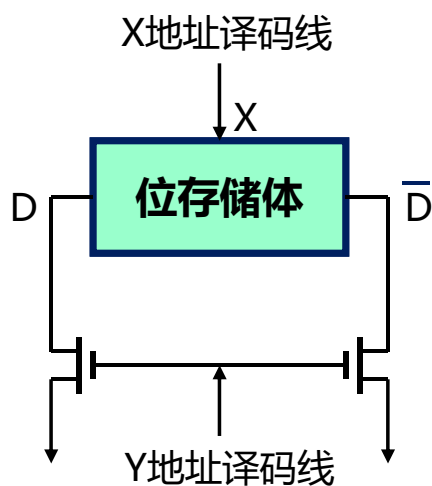
## 六管SRAM存储器写操作



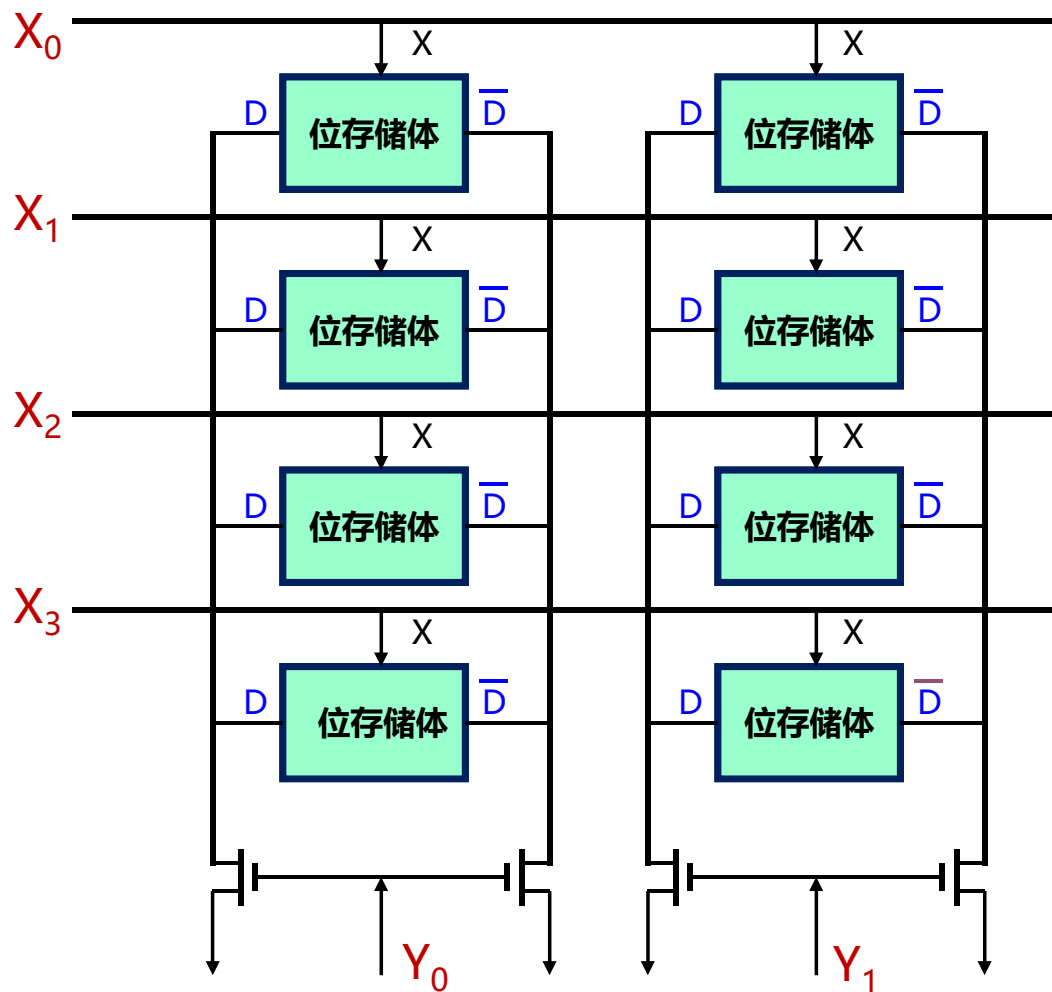
### SRAM缺陷

- ❑ MOS管过多，存储密度低
- ❑ 功耗太大，单位容量成本高

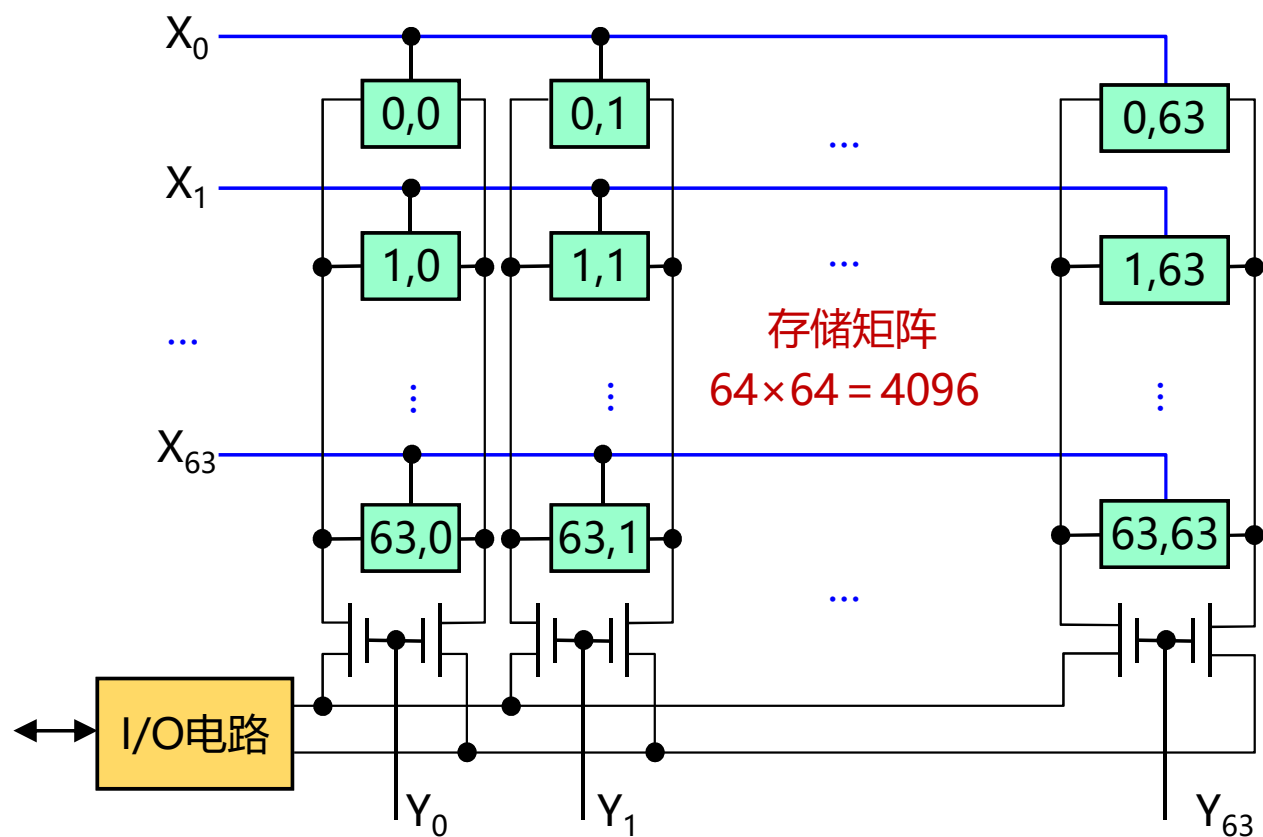
## 位存储体封装与扩展



- 输入：X 行选择线
- 输出：D 数据输出口
- 行选线选中方能读写数据

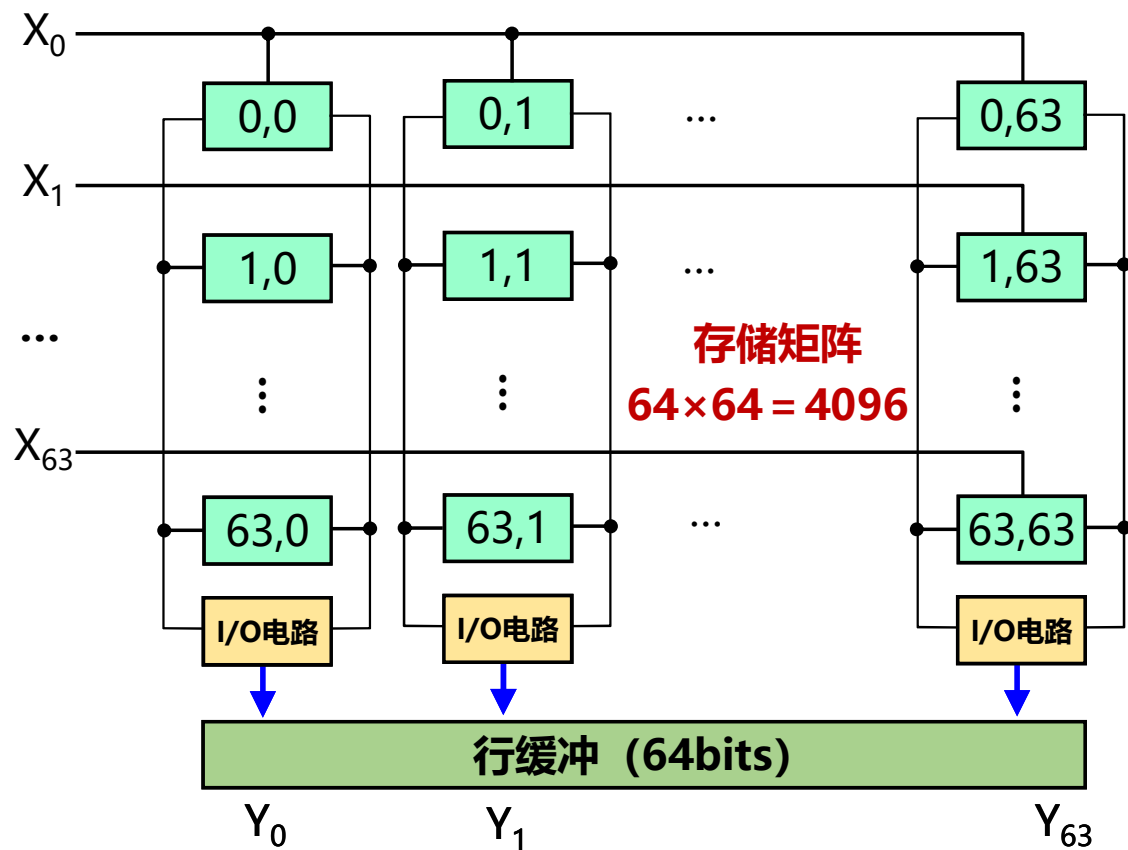


## 64x64 存储矩阵



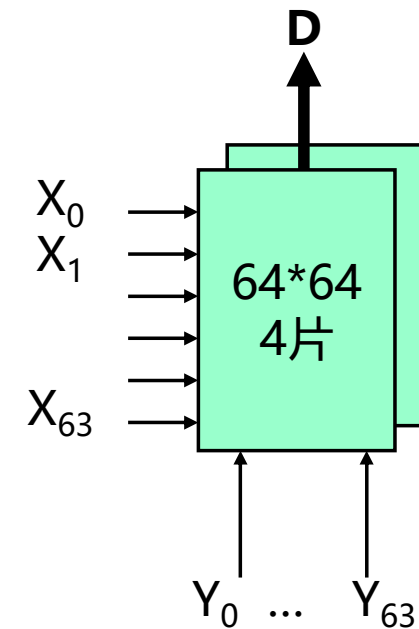
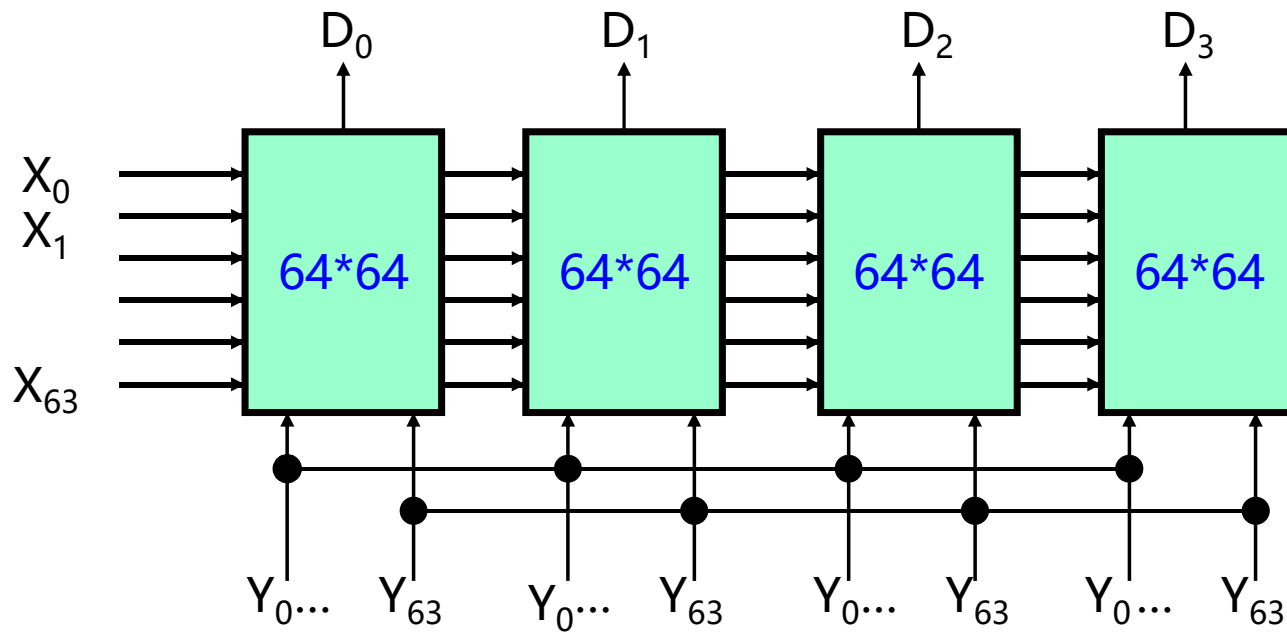
可否一次性读出一行数据？

## 一次读出一行



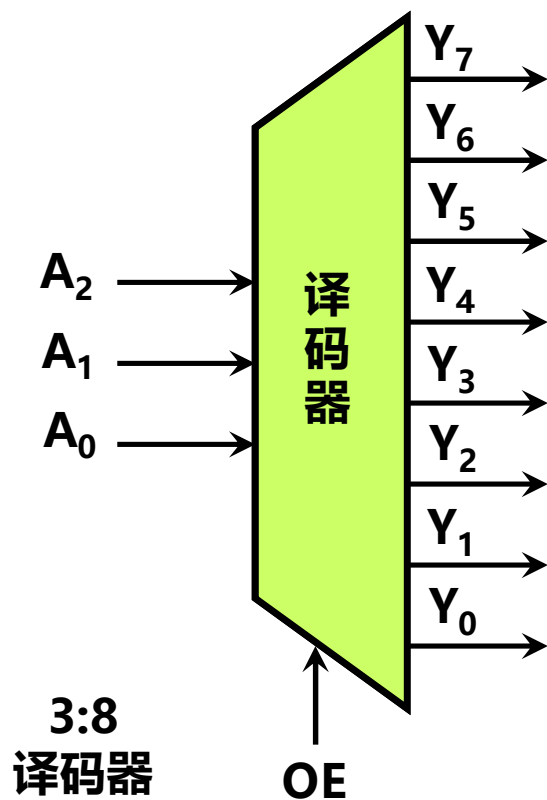
- 给出行选，一行上所有存储体均给行缓冲提供数据

## 4k\*4位存储体



行列选择信号如何产生？

## 地址译码器



$$Y_0 = \bar{A}_2 \bar{A}_1 \bar{A}_0 OE$$

$$Y_4 = A_2 \bar{A}_1 \bar{A}_0 OE$$

$$Y_1 = \bar{A}_2 \bar{A}_1 A_0 OE$$

$$Y_5 = A_2 \bar{A}_1 A_0 OE$$

$$Y_2 = \bar{A}_2 A_1 \bar{A}_0 OE$$

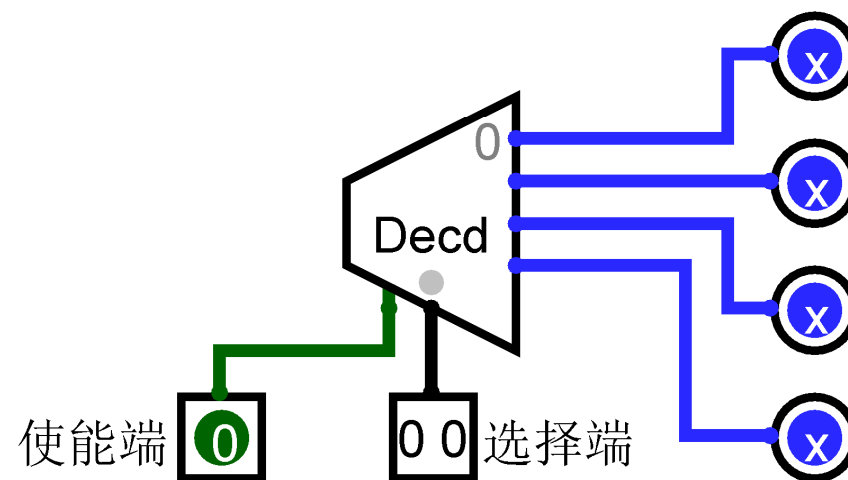
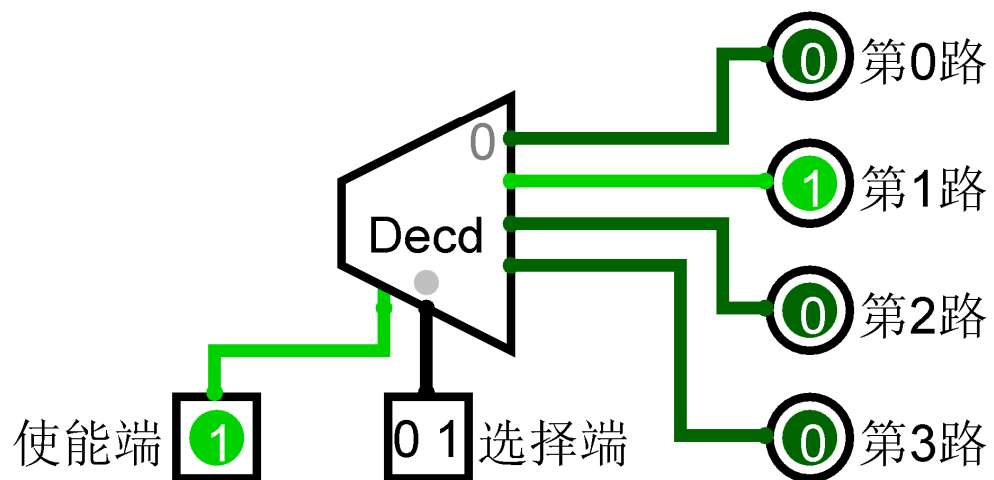
$$Y_6 = A_2 A_1 \bar{A}_0 OE$$

$$Y_3 = \bar{A}_2 A_1 A_0 OE$$

$$Y_7 = A_2 A_1 A_0 OE$$

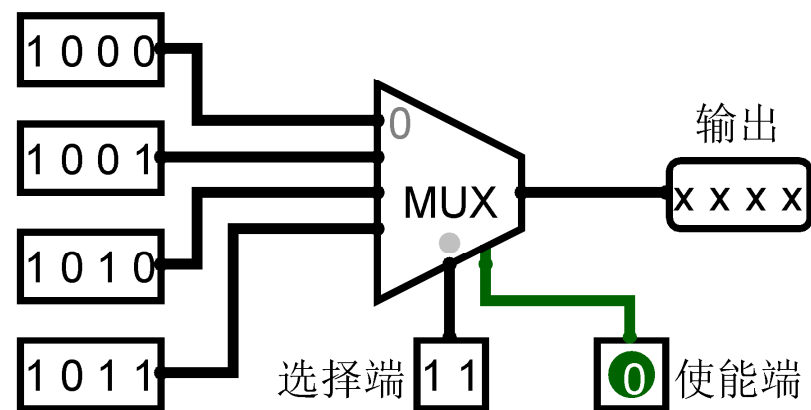
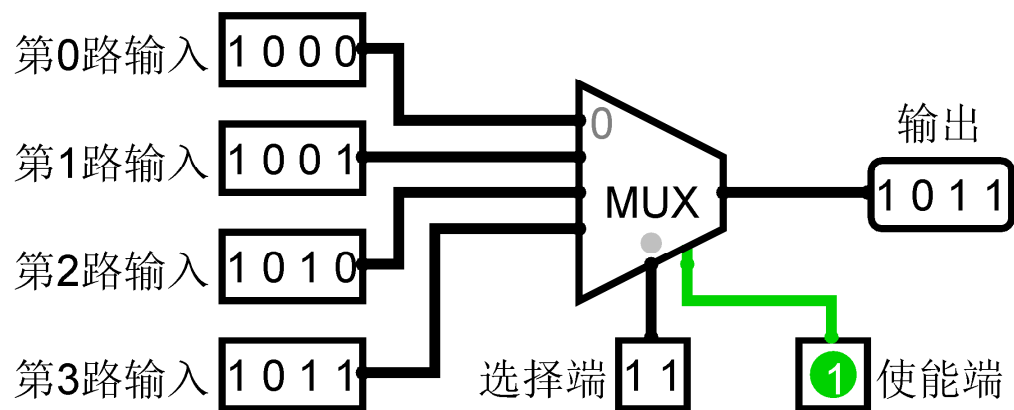


## Logisim中的译码器



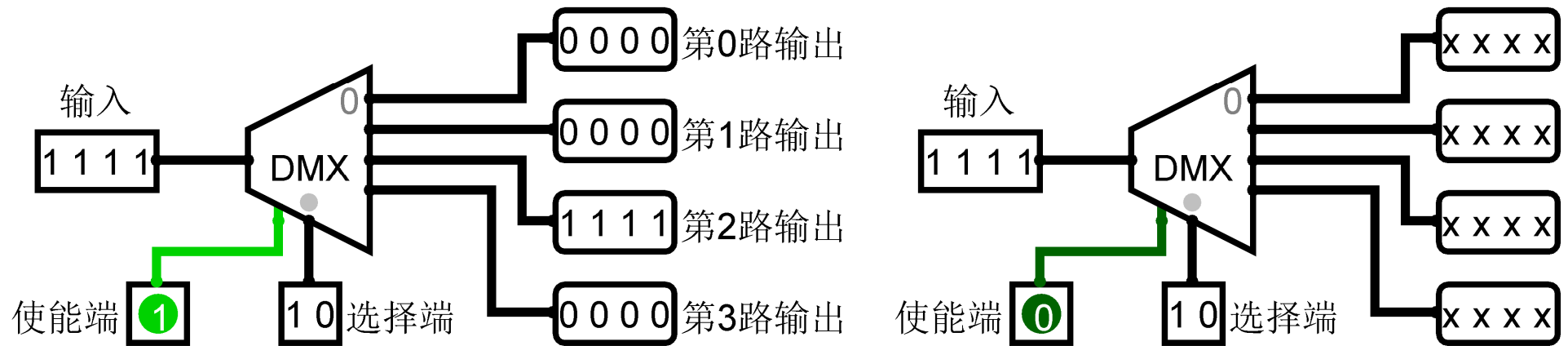
可设置无使能端，等效使能为1

## Logisim中的多路选择器



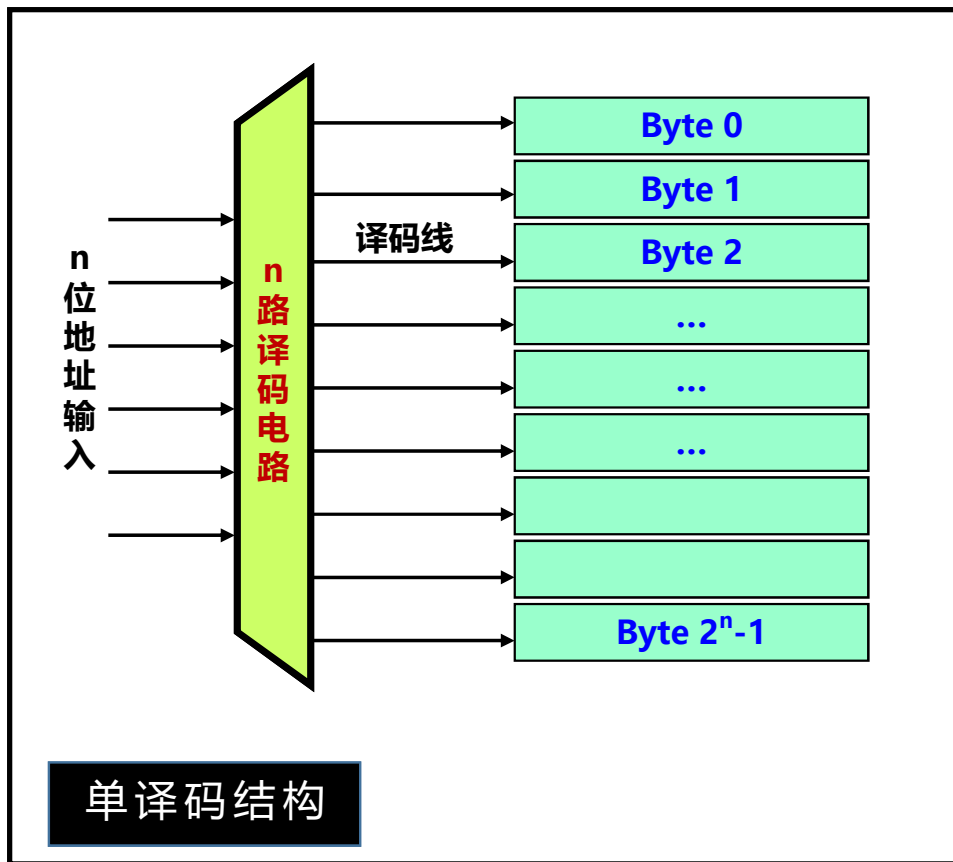
可设置无使能端，等效使能为1

## Logisim中的解复用器

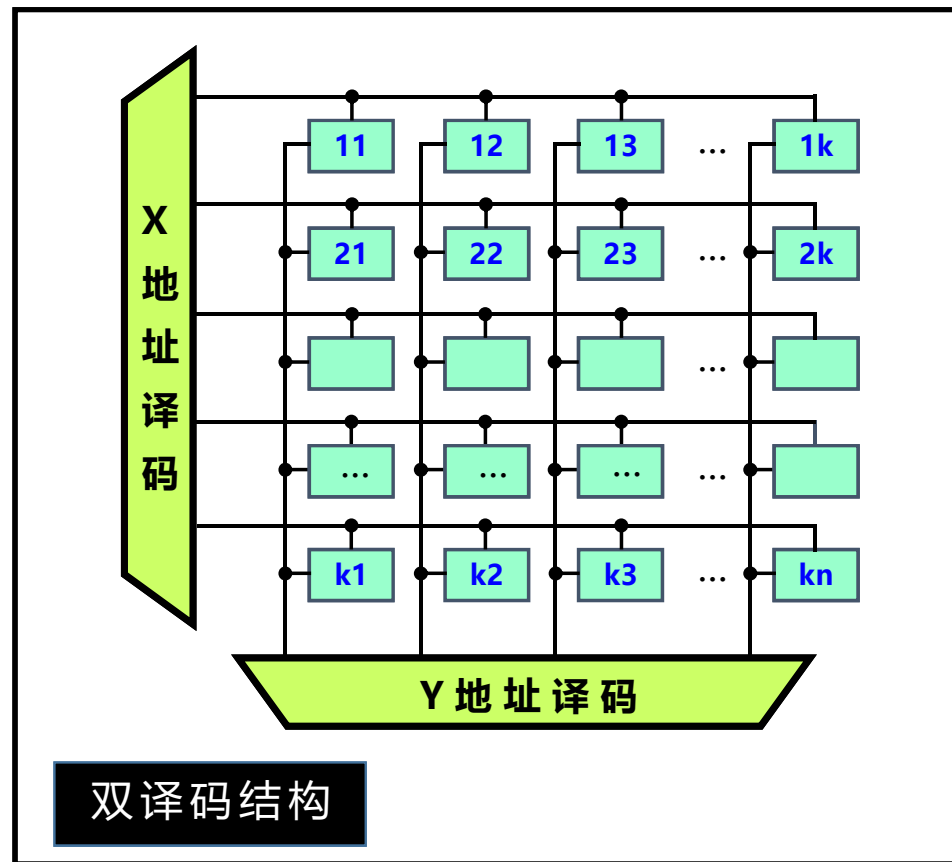


可设置无使能端，等效使能为1

## 译码方式

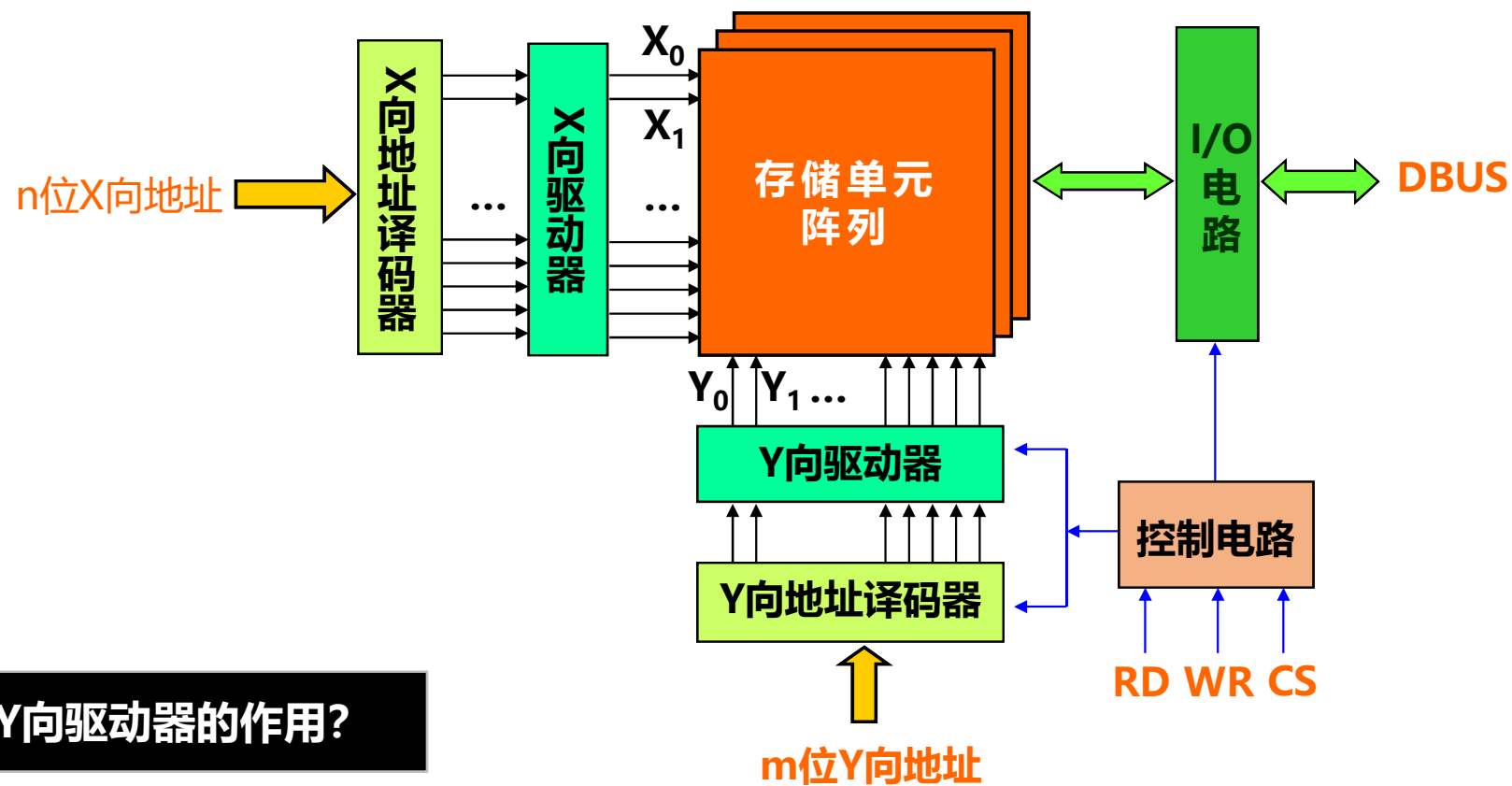


$n$ 位地址，寻址 $2^n$ 个存储单元， $2^n$ 根译码线



$n$ 位地址，寻址 $2^n$ 个存储单元， $2 \times 2^{n/2}$ 根译码线

## 静态存储器芯片结构



## 驱动器与I/O电路

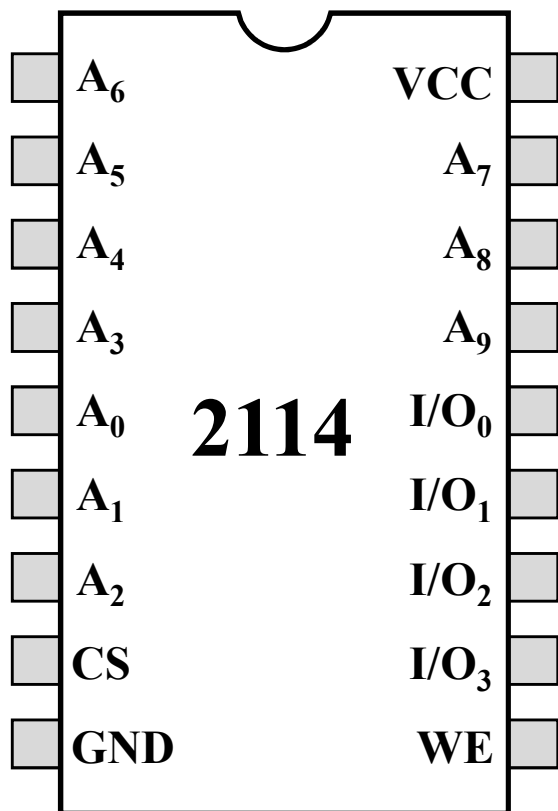
### ■ 驱动器

- 一条选择线带很多存储位时负载过大
- 在地址译码器输出端增加驱动电路
- 保证每一个存储位都能正常工作

### ■ I/O电路

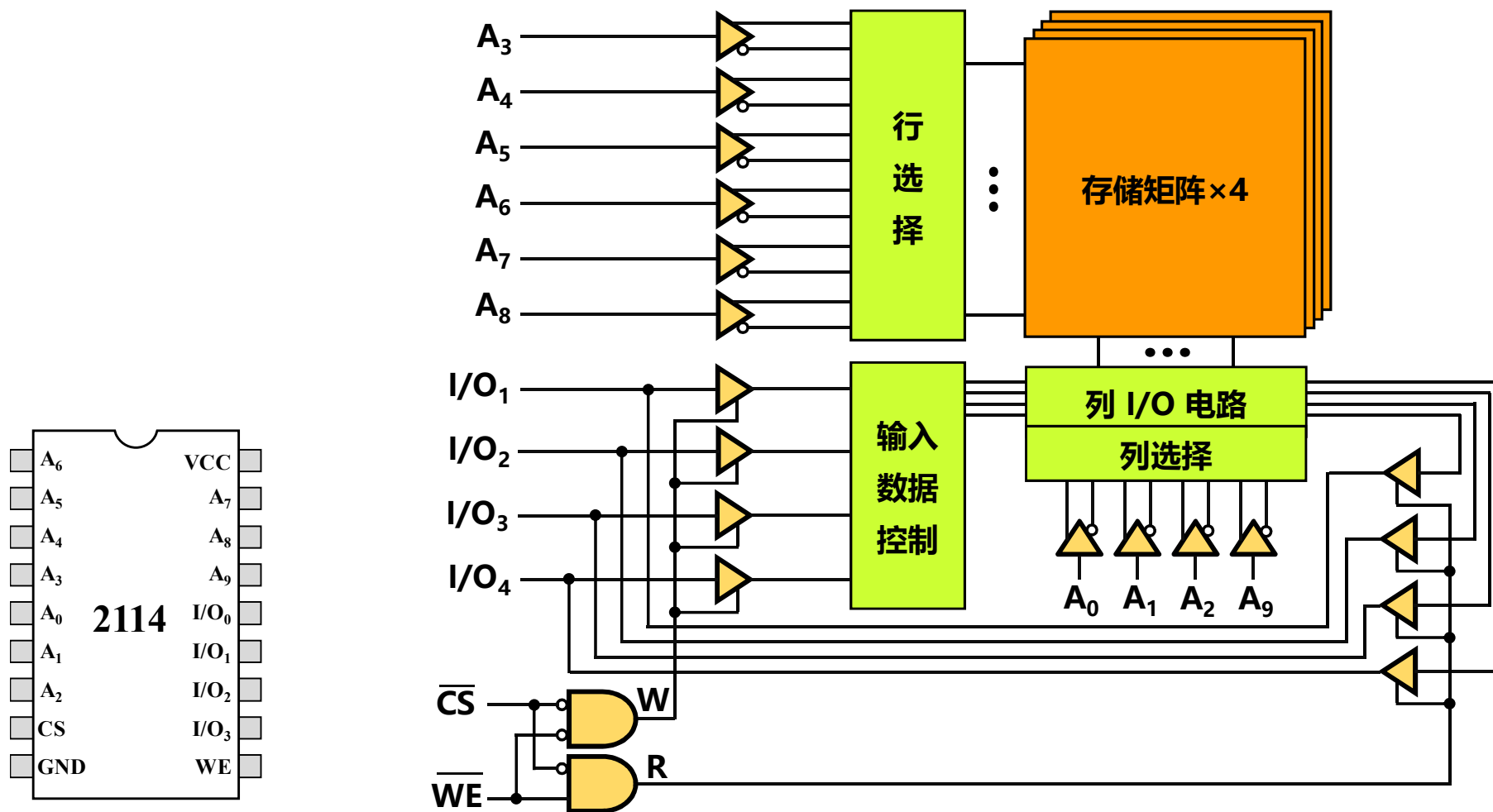
- 存储体与数据总线之间的电路
- 读出时具有放大信号的作用

## 2114引脚图



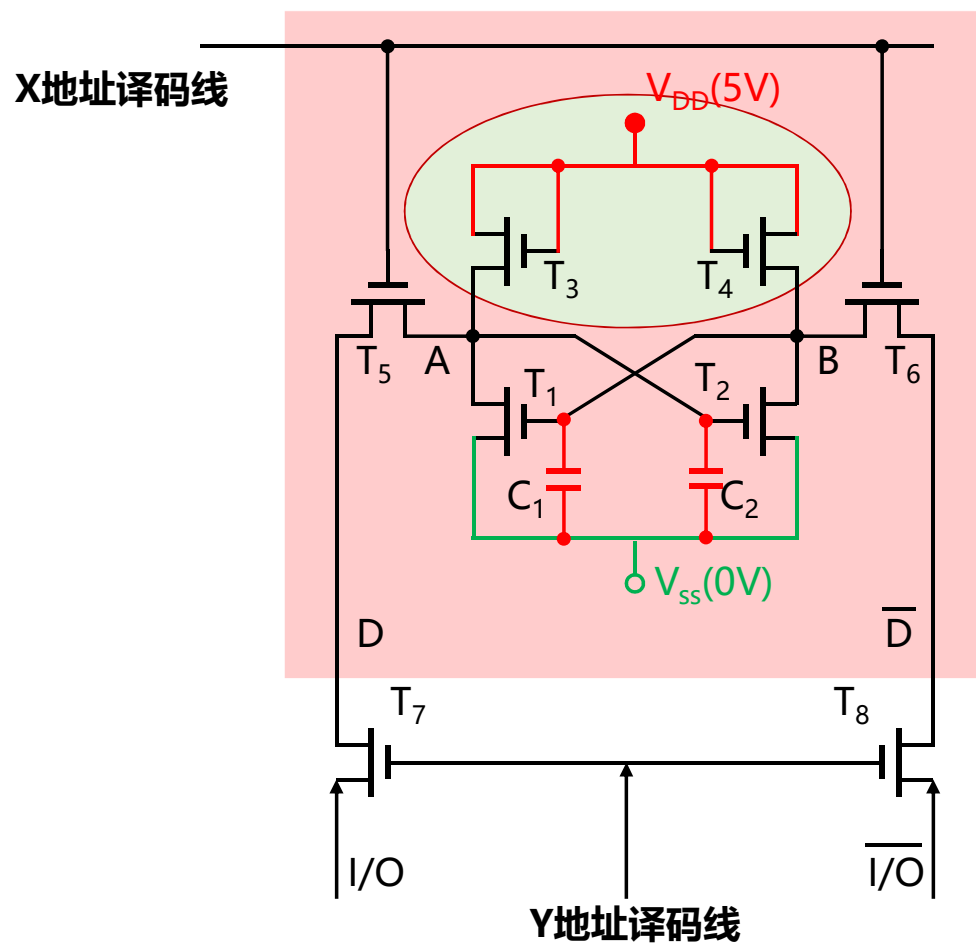
- 地址线
- 数据线 (双向)
- 读写控制线 ( Write Enable )
- 片选线 ( Chip Select )
- 电源线
- 地线

## 2114 SRAM内部结构



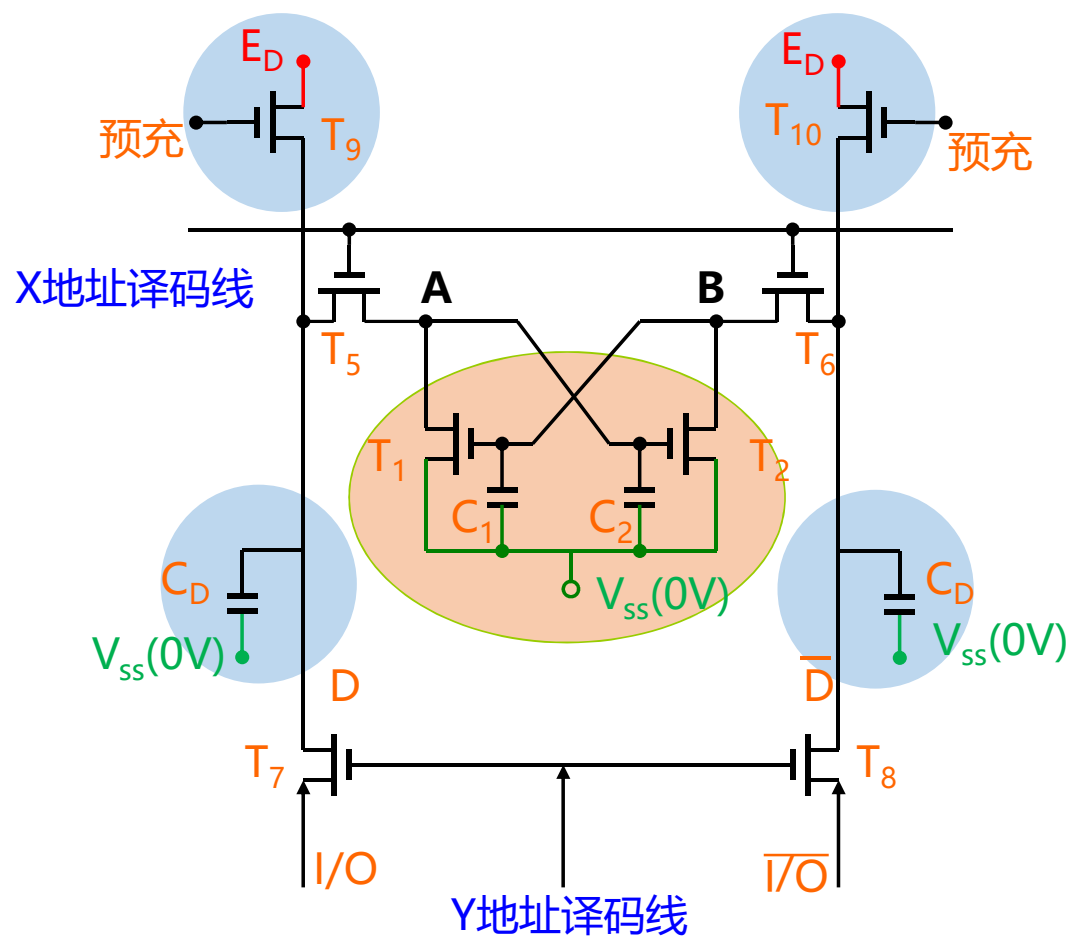


## 如何提高存储密度



- 去掉两个负载管
  - 提升存储密度
  - 减少功耗
  - 降低成本
- 增加两个电容缓存电荷
  - 电容不能永久保存电荷
  - 增加额外电路补充

## 四管DRAM存储器

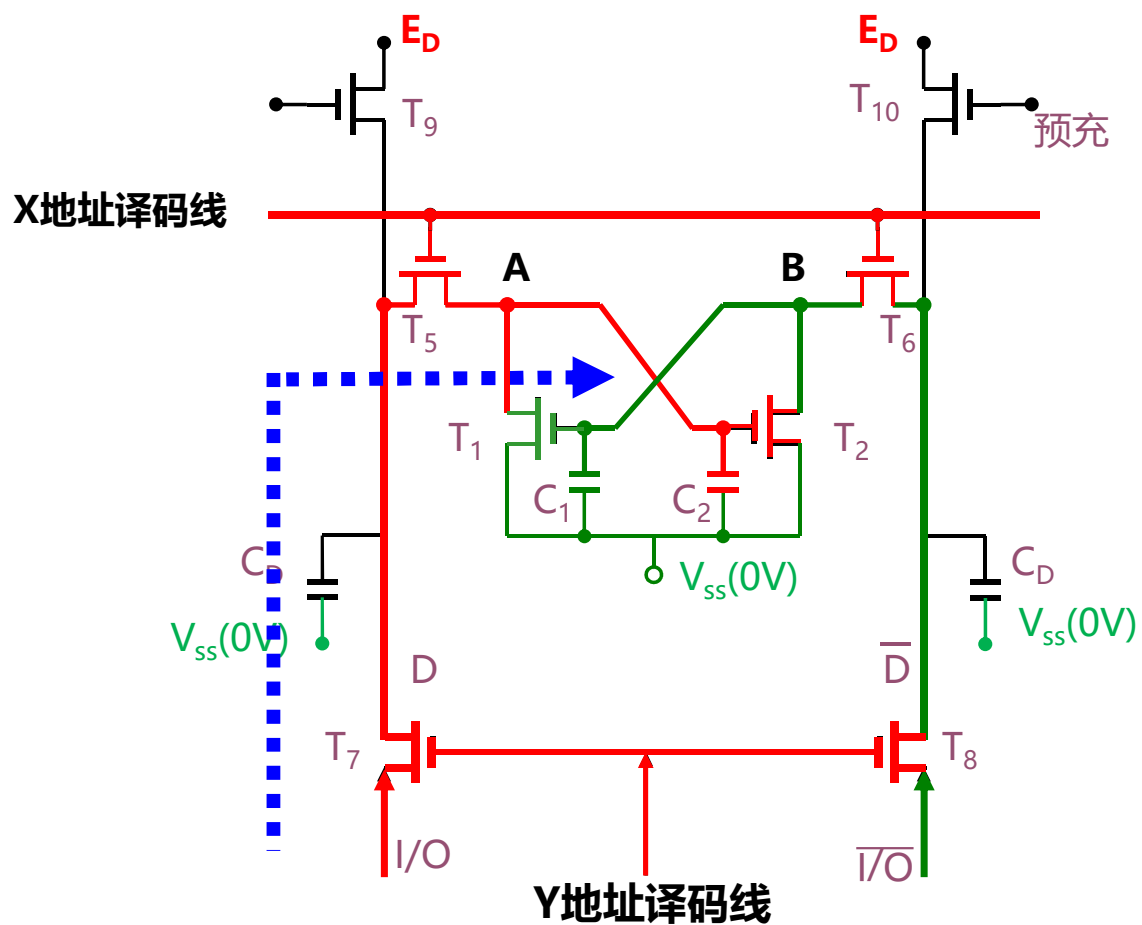


■  $T_9$ 、 $T_{10}$ 、 $T_7$ 、 $T_8$ 共享电路

### ■ DRAM存储原理

- 利用电容电荷存储数据
- 电容不能永久保存电荷
- 必须增加额外电路补充

## 四管DRAM存储器写操作



### ■ Y地址选通

#### ■ T7、T8管导通

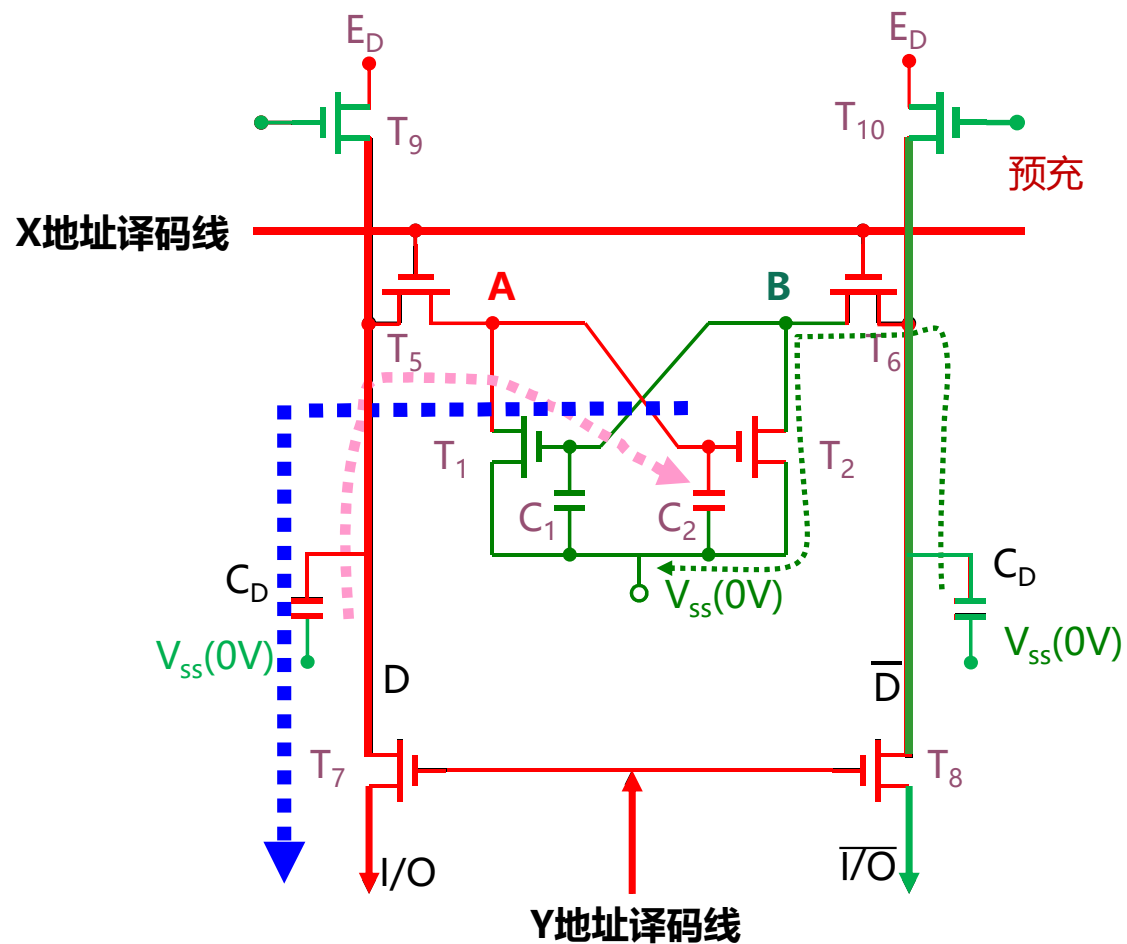
#### ■ I/O端数据写入到位线

### ■ X地址选通

#### ■ T5、T6管导通

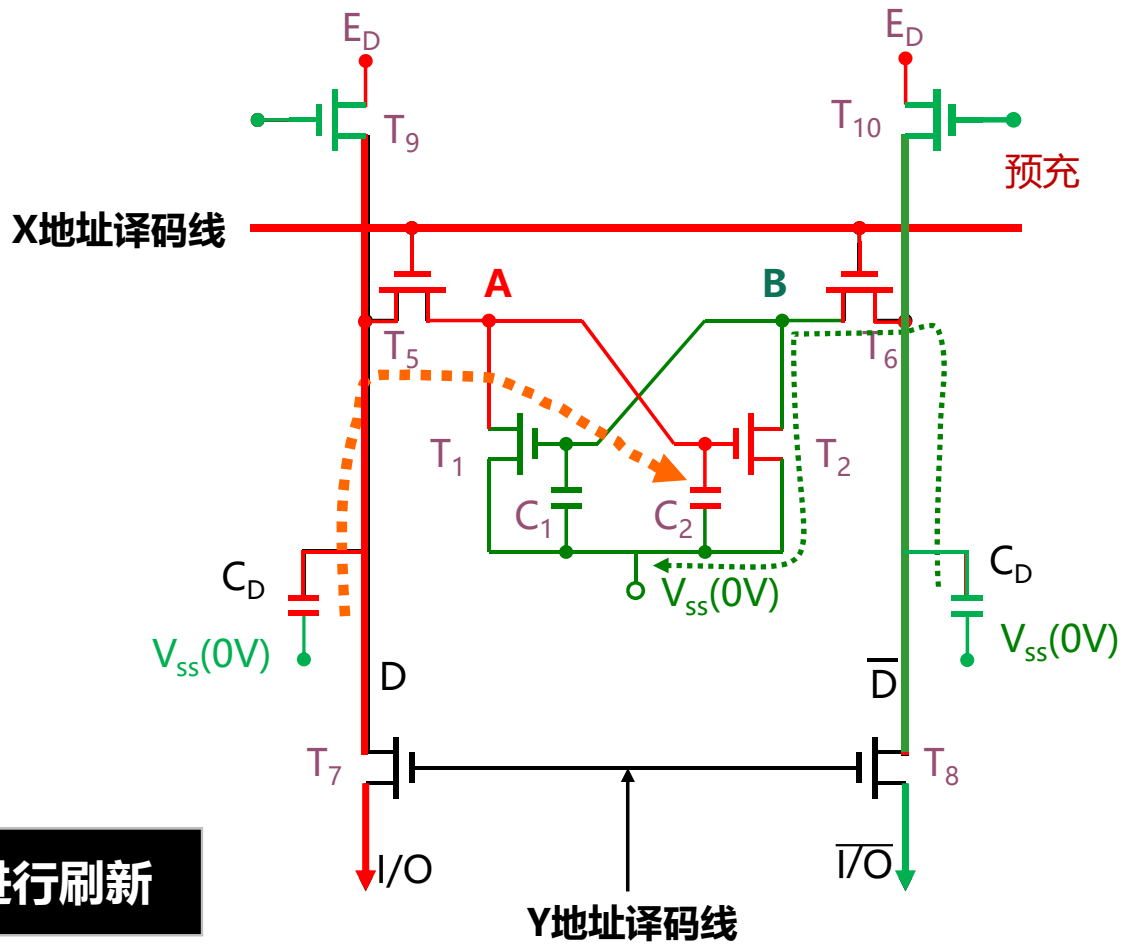
#### ■ 位线相连与C2相连

## 四管DRAM存储器读操作



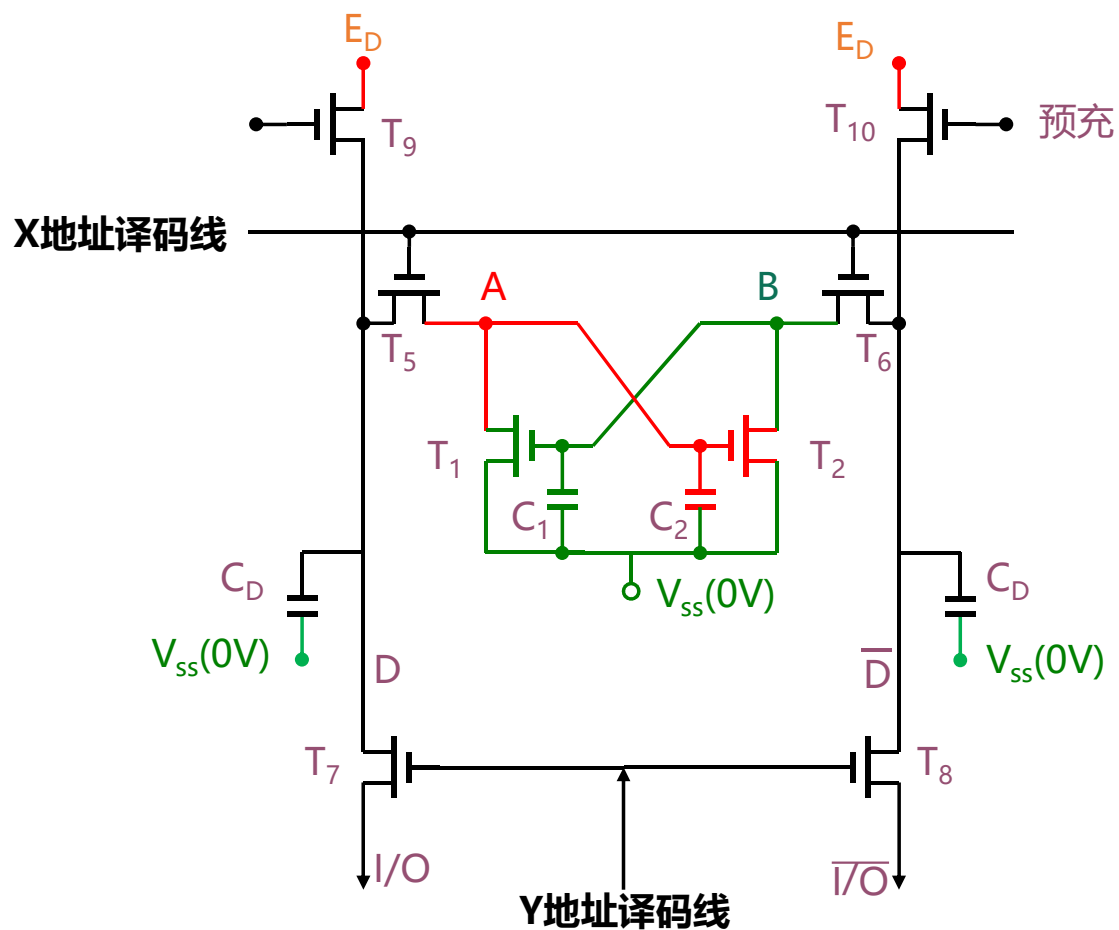
- 给出预充信号
  - $T_9$ 、 $T_{10}$ 导通
  - 充电电压给 $C_D$ 充电
- 撤除预充信号
- X地址选通
  - $T_5$ 、 $T_6$ 管导通
  - 位线相连与 $C_2$ 相连
  - $C_D$ 给 $C_2$ 充电
  - 补充电荷
- Y地址选通
  - $T_7$ 、 $T_8$ 管导通
  - $C_2$ 数据读出到I/O
- 读过程比写复杂、速度慢

## 四管DRAM存储器刷新



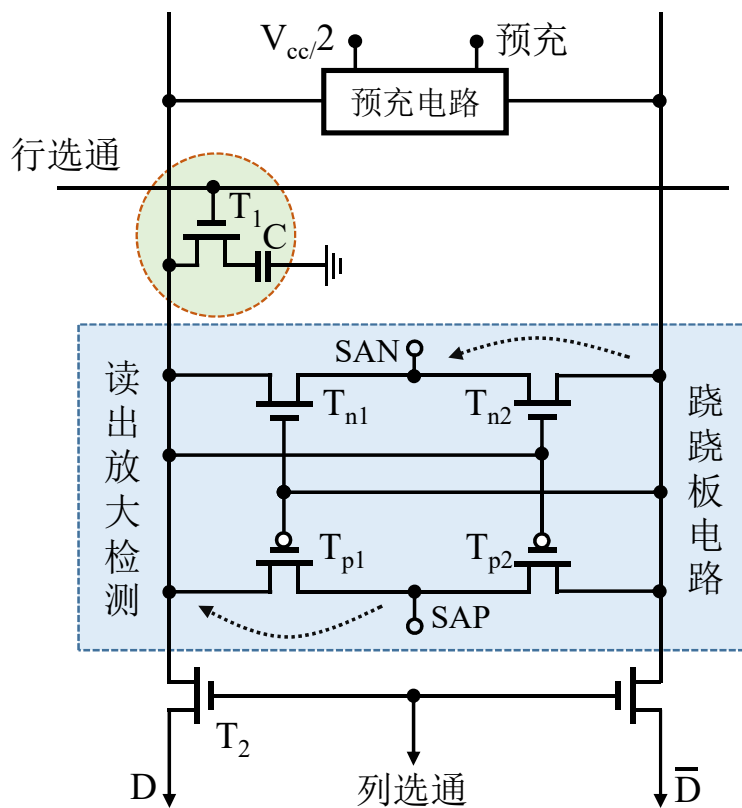
### 给出行选，即可进行刷新

## 进一步提高存储密度



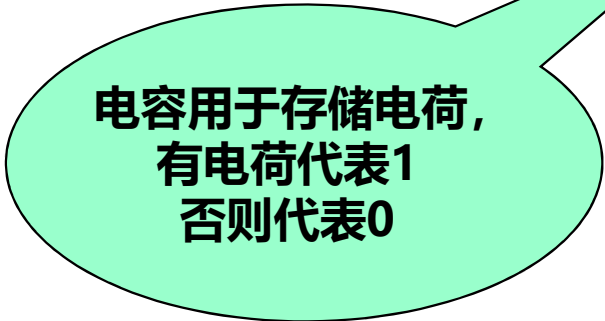
### ■ 进一步提高存储密度

- 核心是电容
- 裁剪冗余电路



- 预充操作 (Precharge)
  - 行选通,  $T_1$  管导通
  - 存储电容和位线寄生电容电荷重分配
  - 引起两位线上电压微弱差异
- 信号检测 (Sense)
  - 电压略高的一侧拉升到逻辑1, 另一侧为0
- 数据恢复 (Restore)
  - 如数据为1, 位线上的逻辑1给存储电容进行充电
- 数据输出(Output)
  - 给出列选通信号, 数据输出到外部。
  - 行列选通信号分时给出, 行列地址复用减少引脚
  - 撤除行选通信号, 关闭读出放大检测电路

## U



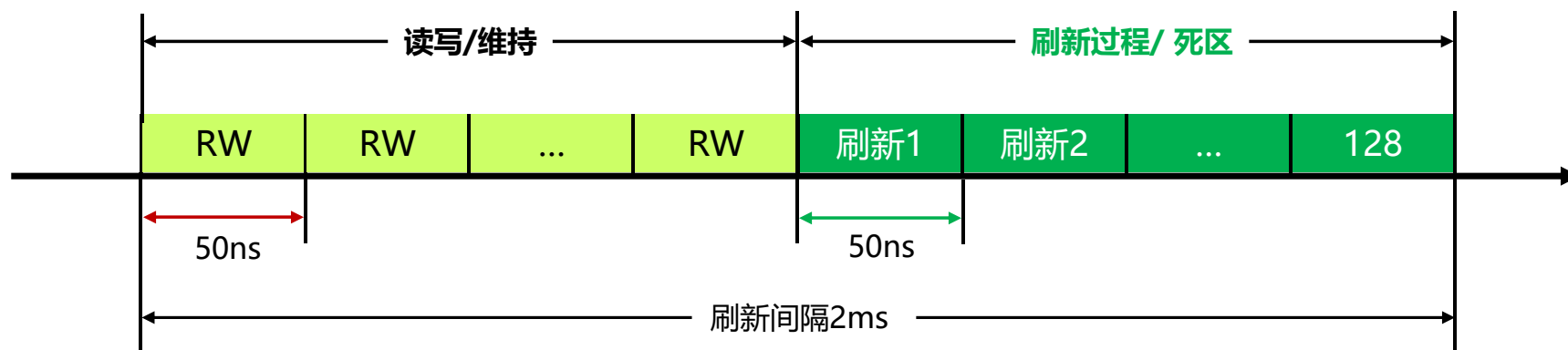


## || DRAM 刷新

- **刷新**：定期补充电荷以避免电荷泄露引起的信息丢失
  - 电容存在泄露电流
- **刷新周期**：存储器两次完整刷新之间的时间间隔
  - 信息存储到泄漏之间必须完成刷新，称为**最大刷新周期**
- **按行刷新**
  - 存储体采用双译码结构，刷新地址计数器给出刷新行地址
- **刷新方式**
  - CPU与刷新控制器对DRAM的争用问题
  - 集中式、分散式、异步式

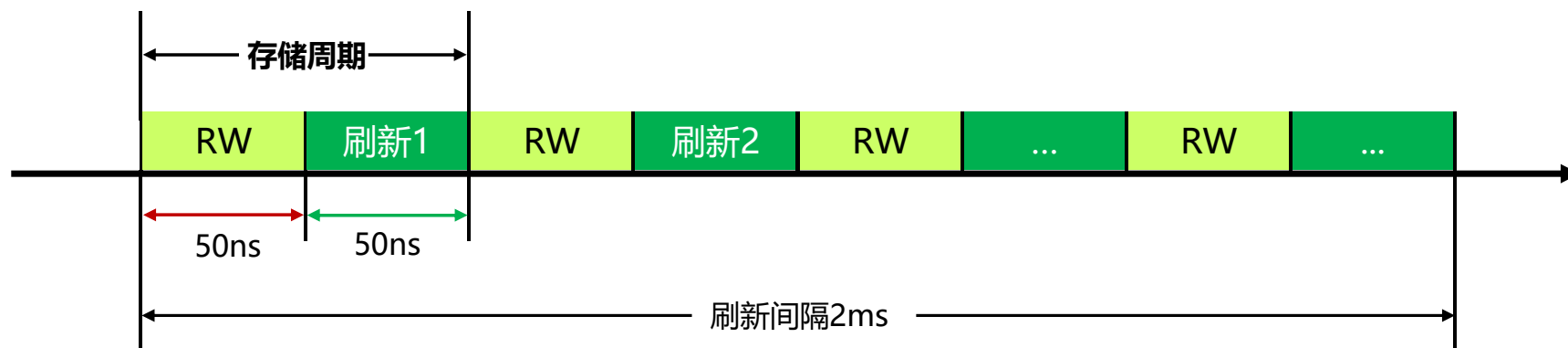
## 集中刷新方式

- 最大刷新周期：2ms
- 在数据丢失之前集中刷新所有行
- 存在**死区**，用在**实时要求不高**的场合



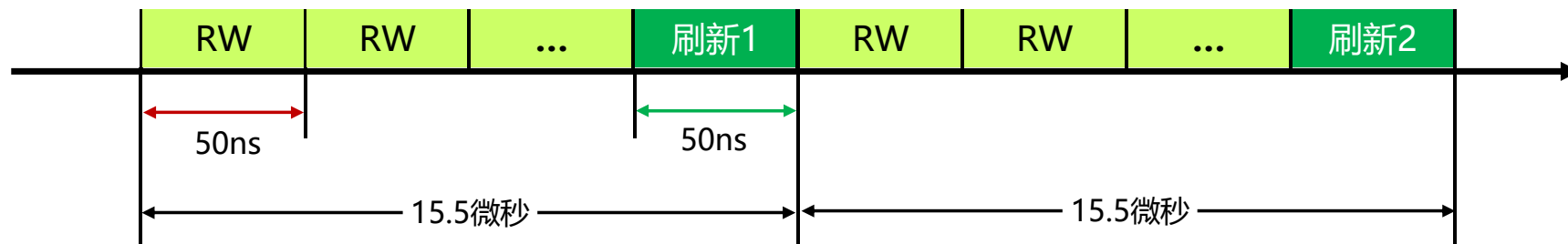
## 分散刷新方式

- 最大刷新周期：2ms
- **存储周期**：读写+刷新 各刷新周期**分散**安排在存取周期中
- 刷新次数  $2\text{ms}/100\text{ns}=20000\text{次}$  较浪费，用在**低速系统**中

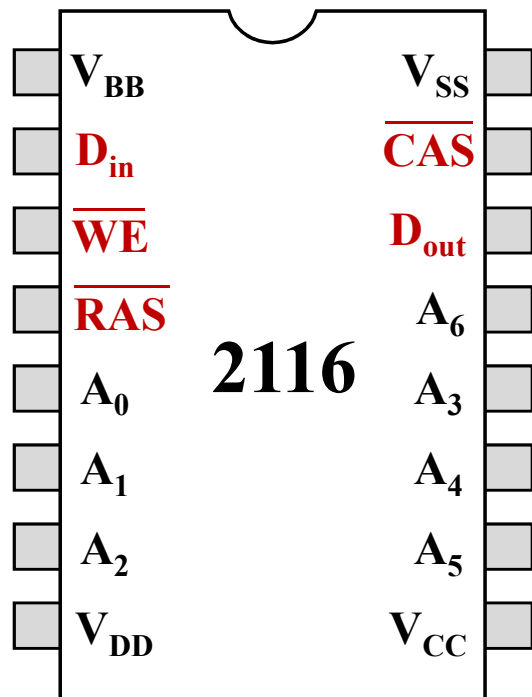


## 异步刷新方式

- 刷新周期：2ms，各刷新周期分散安排在2ms内
- 每隔 $2\text{ms}/128=15.5$ 微秒刷新一行,将128次刷新分散
- 最常用



## 2116引脚图



- 地址线
- 数据线
- 读写控制线
- RAS CAS
- 电源线
- 地线

