**计算机组成原理习题解答（选择题部分）**

**习题1 计算机发展概论**

1.2选择题

（1） D （2） C （3） C （4） A （5）D

（6） D （7） C （8） D （9） D （10）C

**习题2 数据表示**

2.2选择题

（1） B （2）A （3） B （4）D （5）A

（6） A （7）D （8）**A** （9）A （10）B （11）C

**习题3 运算方法与运算器**

3.2选择题

（1）D （2）B （3）A （4）C （5）B （6）D （7）D

**习题4 存储系统**

4.2选择题

（1） A （2） A （3） D （4）D （5） C

（6） B （7） D （8） B （9）B （10）A

（11）A （12）C （13）C （14）C （15）D

（16）**B** （17）D （18）A （19）D

**习题5 指令系统**

5.2选择题

（1）A （2）A **（3） A** （4）C （5）C

（6）A （7）D （8）D （9）D （10）B

（11）C （12）A （13）**A**

**习题6 中央处理器**

6.2选择题

（1）B （2）B （3） B （4）D （5）A

（6）B （7）D （8）C （9）C （10）C

**习题7 流水线技术概述**

7.2选择题

（1）C （2） A（3） D （4）B （5）C

（6） A （7）D （8）A （9）C **（10）B**

**习题8 系统总线**

8.3选择题

（1）C （2） C （3）B （4）C （5）C

（6）A （7） C （8） A （9）B （10）B

**习题9 输入输出系统**

9.2选择题

（1） D （2）D （3）D （4）A （5）A

（6） B （7） B （8）B （9）C （10）D （11）D （12）B

**习题1 计算机发展概论**

1.2选择题

（1） D

解析：对于I, 二进制由千只有0 和1 两种数值，运算规则较简单，都通过ALU 部件转换成加法运算。对于II, 二进制只需要高电平和低电平两个状态就可表示，这样的物理器件很容易制造。对于III, 二进制与逻辑晕相吻合。二进制的0 和1 正好与逻辑量的“真”和“假”相对应，因此用二进制数表示二值逻辑显得十分自然，采用逻辑门电路很容易实现运算。

（2） C

解析：冯·诺依曼结构计算机的功能部件包括输入设备、输出设备、存储器、运算器和控制器，程序的功能都通过中央处理器（运算器和控制器）执行指令， A 正确。指令和数据以同等地位存于存储器内，形式上无差别，只在程序执行时具有不同的含义， B 正确。指令按地址访问，数据由指令的地址码指出，除立即寻址外，数据均存放在存储器内， C 错误。在程序执行前，指令和数据需预先存放在存储器中，中央处理器可以从存储器存取代码，D 正确。

（3） C

解析：翻译程序是指把高级语言源程序转换成机器语言程序（目标代码）的软件。翻译程序有两种：一种是编译程序，它将高级语言源程序一次全部翻译成目标程序，每次执行程序时，只需执行目标程序，因此只要源程序不变，就无须重新编译。另一种是解释程序，它将源程序的一条语旬翻译成对应的机器目标代码，并立即执行，然后翻译下一条源程序语句并执行，直至所有源程序语句全部被翻译并执行完。所以解释程序的执行过程是翻译一句执行一句，并且不会生成目标程序。汇编程序也是一种语言翻译程序，它把汇编语言源程序翻译为机器语言程序。汇编语言是一种面向机器的低级语言，是机器语言的符号表示，与机器语言一一对应。

（4） A

解析硬件能直接执行的只能是机器语言（ 二进制编码），汇编语言是增强机器语言的可读性和记忆性的语言， 经过汇编后才能被执行。

（5）D

解析：送分题。

（6）D

解析：CPU 时钟频率（主频）越高，完成指令的一个执行步骤所用的时间就越短，执行指令的速度就越快， I 正确。数据通路的功能是实现CPU 内部的运算器和寄存器及寄存器之间的数据交换，优化数据通路结构，可以有效提高计算机系统的吞吐量，从而加快程序的执行， II 正确。计算机程序需要先转化成机器指令序列才能最终得到执行，通过对程序进行编译优化可以得到更优的指令序列，从而使得程序的执行时间也越短， III 正确。

（7） C

解析：基准程序的CPI  20.5  30.2  40.1 50.2  3 ，计算机的主频为 1.2GHa，为 1 200MHz，该机器的是 MIPS 为 1 200/3=400。

（8） D

解析：程序A 的运行时间为100s, 除去CPU 时间90s, 剩余10s 为1/0 时间。CPU 提速后运行基准程序A 所耗费的时间是T= 90/1.5 + 10 = 70s 。

误区：CPU 速度提高50% ，则CPU 时间减少一半，而误选A 。

（9） D

解析：假设原来的指令条数为x, 则原CPI 为20jlx (f 为CPU 的时钟频率），经过编译优化后，指令条数减少到原来的70% ，即指令条数为0.7x, 而CPI 增加到原来的1.2 倍，即24j!x, 则现在P在M 上的执行时间就为： （指令条数xCPI)/f＝（0.7xx24xjlx)/f＝ 24x0.7 = 16.8s, 选D。

（10）C

解析：运行时间＝指令数xCPI/主频。Ml 的时间＝指令数x2/1.5, M2 的时间＝指令数X 1/1.2, 两者之比为(2/1.5):(1/1.2) = 1.6 。因此选C 。

**习题2 数据表示**

2.2选择题

（1） B

解析：补码整数表示时，负数的符号位为1 ，数值位按位取反，末位加1 ，因此剩下的2 个“1 "在最低位时，表示的是最小整数，为10000011, 转换成真值为-125。

（2）A

解析：unsigned short 类型为无符号短整型，长度为2 字节，因此unsigned short usi 转换为二进制代码即1111 1:111 1111 1111。short 类型为短整型，长度为2字节，在采用补码的机器上，short si的二进制代码为111111111111 1111, 因此si的值为-1,所以选A。

（3） B

解析：将一个16 位unsigned short转换成32 位unsigned int, 因为都是无符号数，新表示形式的高位用0 填充。16 位无符号整数所能表示的最大值为65535, 其十六进制表示为FFFFH, 因此x 的十六进制表示为FFFFH-5H = FFFAH, 所以y 的十六进制表示为OOOOFFFAH 。排除法：先直接排除C 、D, 然后分析余下选项的特征。由于A 、B 的值相差几乎近1 倍，可采用算出0001 OOOOH （接近B 且好算的数）的值，再推断出答案。

（4）D

解析：结合题于及选项可知， short 为16 位。因C 语言中的数据在内存中为补码表示形式， si 对应的补码二进制表示为1000 0000 0000 0001B, 最前面的一位” 1” 为符号位，表示负数，即－32767 。由signed 型转化为等长的unsigned 型数据时，符号位成为数据的一部分，即负数转化为无符号数（即正数）时，其数值将发生变化。usi 对应的补码二进制表示与si 的表示相同，但表示正数，为32769 。

（5）A

解析：x的二进制表示为-1000.01﹦-1.000 01×211 根据IEEE754标准隐藏最高位的“1”，又E-127=3，所以E=130=1000 0010（2）数据存储为1位数符+8位阶码（含阶符）+23位尾数。故FR1内容为1 10000 0010 0000 10000 0000 0000 0000 000 即1100 0001 0000 0100 0000 0000 0000 0000，即C104000H

（6） A

解析：IEEE 754 单精度浮点数格式为 C640 0000H，二进制格式为 1100 0110 0100 00000000 0000 0000 0000，转换为标准的格式为：

|  |  |  |
| --- | --- | --- |
| S | 阶码 | 尾数 |
| 1 | 1000 1100 | 100 0000 0000 0000 0000 0000 |

因此，浮点数的值为1.5 213 。

（7）D

解析：IEEE 754 单精度浮点数是尾数用采取隐藏位策略的原码表示，且阶码用移码（偏置值为127)表示的浮点数。规格化短浮点数的真值为(- 1)8xl.mx2E-I27' 其中S 为符号位，阶码E 的取值为l~254 (8 位表示），尾数m 为23 位，共32 位；因此float 类型能表示的最大整数是1.111 … l x22s4- 127 =i27 X (2 —2-23) = 2128 — 2104, 因此选D 。

另解： IEEE 754 单精度浮点数的格式如下图所示。

I 数符(I) 1 阶码(8) 尾数(23)表示最大正整数时：数符取O; 阶码取最大值为127; 尾数部分隐含了整数部分的“I", 23位尾数全取1 时尾数最大，为2 — 2-23 ，此时浮点数的大小为(2-2-23)X2 1 27=2128-21040

（8）A

解析：IEEE 754 单精度浮点数的符号位、阶码位、尾数位（省去正数位1) 所占的位数分别是1 、8 、23 。最小正数，数符位取O, 移码的取值范围是1 - 254, 取l, 得阶码值1 - 127 = - 126 027 为我们规定的偏置值），尾数取全o, 最终推出最小规格化正数为A 选项。

（9）A

解析：(fl)和(f2)对应的二进制分别是(110011001001. . .)2 和(101100001 1 00 . . . )z, 根据IEEE 754 浮点数标准，可知(fl) 的数符为1 ，阶码为10011001 ，尾数为1.001 ，而（f2) 的数符为1 ，阶码为01100001,尾数为1.1, 可知两数均为负数， 符号相同， B 、D 排除； （fl) 的绝对值为1.001 x2芞(f2) 的绝对值为1.1x2-3o, (fl) 的绝对值比(f2) 的绝对值大，而符号为负，真值大小相反，即(fl) 的真值比(f2) 的真值小，即x<y, 选A。

（10）B

解析：题中三种数据类型强制类型转换的顺序为int-float-double, int 表示的类型为整数，若将float转换为int, 小数位部分会被舍去，而int 是精确到32 位的整数， float 只保存到1 + 23 位，因此一个长为32 位的int 整数在转换为float 时也会有损失，但i < 1024 (10 位），因此I 正确。double 的精度和范围都比float 大， float 转换为double 不会有损失， III 正确。对千IV, 初看似乎没有问题，但浮点运算d+f 时需要对阶，对阶后f 的尾数有效位被舍去而变为0, 因此d+f 仍然为d, 再减去d 后结果为0, 因此IV 结果不为真。

注意：从int 转换为float 时，虽然不会发生溢出，但由于尾数位数的关系，可能有数据舍入，而转换为double 则能保留精度。

（11）C

解析：设校验位的位数为 *k*，数据位的位数为 *n*，应满足下述关系： 2*k*  *n*  *k* 1 。*n*  8 ， 当*k*  4 时， 24 ( 16)  8  4 1( 13) 符合要求，校验位至少是 4 位。

**习题3 运算方法与运算器**

3.2选择题

（1）D

解析：结合题干及选项可知， int 为32 位， short 为16 位；又因C 语言的数据在内存中为补码形式，因此x 、y 的机器数写为0000007F 、FFF7H 。执行z=x+y 时，由千x 为int 型， y 为short 型，因此需将y 的类型强制转换为int 型，在机器中通过符号位扩展实现，由千y 的符号位为1, 因此在y 的前面添加16 个1, 即可将y 强制转换为int 型，其十六进制形式为FFFFFFF7H 。然后执行加法，即0000007FH + FFFFFFF7H = 0000007 6H, 其中最高位的进位1 自然丢弃。

注意：数据转换时应注意的问题如下：

1) 有符号数和无符号数之间的转换。例如，由signed 型转换力等长unsigned 型数据时，符号位成为数据的一部分，即负数转换为无符号数时，数值将发生变化。同理，由unsigned转换为signed 时最高位作为符号位， 也可能发生数值变化。

2) 数据的截取与保留。当一个浮点数转换为整数时，浮点数的小数部分全部舍去，并按整数形式存储。但浮点数的整数部分不能超过整型数允许的最大范围，否则溢出。

3) 数据转换中的精度丢失。四舍五入会丢失一些精度，截去小数也会丢失一些精度。此外，数据由long 型转换为float 型或double 型时，有可能在存储时不能准确地表示该长整数的有效数字，精度也会受到影响。

4) 数据转换结果的不确定性。当较长的整数转换为较短的整数时，要将高位截去。例如， long型转换为short 型，只将低16 位送过去，这样就会产生很大的误差。浮点数降格时，如double 型转换为float 型，当数值超过float 型的表示范围时，所得到的结果将是不确定的。对于此问题在“常见问题与知识点”的第2 问中有另一角度的解析。

（2）B

解析：本题的真正意图是考查补码的表示范围，而不是补码的乘法运算。采用补码乘法规则计算出4 个选项是费力不讨好的做法，且极易出错。8 位补码所能表示的整数范围为— 128~+ 1 27 。将4个数全部转换为十进制数： r1= —2, r2= —14, r3 = -112, r4=-8, 得r2xr3 = 1568, 远超出了表示范围，发生溢出。

（3）A

解析：将 *x* 左移一位，*y* 右移一位，两个数的补码相加的机器数为 1 1000000，答案选择A。

（4）C

解析：利用补码转换成原码的规则：负数符号位不变数值位取反加一； 正数补码等千原码。两个机器数对应的原码是[x] 原＝ 80000021H, 对应的数值是－33,[y] 盯=[y] 补＝ 00000041H = 65 。排除A 、D 。x-y 直接利用补码减法准则， ［x］卡卜一[y] 补＝［x］ 补＋ ［－y］补，－y 的补码是连同符号位取反加一，最终减法变成加法，得出结果为FFFFFF9EH 。

（5）B

解析：逻辑移位：左移和右移空位都补0, 且所有数字参与移动；算术移位：符号位不参与移动，右移空位补符号位，左移空位补0 。根据该规则， 轻松选出B 。

（6）D

解析：X 的浮点数格式为00, 111; 00, 11101 （分号前为阶码，分号后为尾数）， Y 的浮点数格式为00,101; 00, 10100 。然后根据浮点数的加法步骤进行运算。O 对阶。x, y 阶码相减，即00, 111 - 00, 101 = 00, 11 + 11, 0111 = 00, 010, 可知X 的阶码比Y 的价码大2 （这一步可直接目测） 。根据小阶向大阶看齐的原则，将Y 的阶码加2, 尾数右移2 位，将Y 变为00, 111; 00, 00101 。

＠尾数相加。即00, 11101 + 00, 00101 = 01, 00010, 尾数相加结果符号位为01, 因此需要右规。

＠规格化。将尾数右移l 位，阶码加1, 得X+Y 为01,000;00, 10001 。

＠判断溢出。阶码符号位为01, 说明发生溢出。本题容易误选B 、C, 因为B 、C 本身并无计算错误，只是它们不是最终结果，选项B 少了第3 步和第4 步，选项C 少了第4 步。

（7）D

解析：对阶是较小的阶码对齐至较大的阶码， I 正确。右规和尾数舍入过程，阶码加1 而可能上溢，II 正确，同理III 也正确。尾数溢出时可能仅产生误差，结果不一定溢出， IV 正确。

**习题4 存储系统**

4.2选择题

（1） A

解析：4Mx8位的芯片数据线应为8根，地址线应为log24M = 22根，而DRAM采用地址复用技术，地址线是原来的1/2,且地址信号分行、列两次传送。地址线数为22/2 = 11 根，所以地址引脚与数据引脚的总数为11 + 8 = 19 根，选A。此题需要注意DRAM 采用的是传两次地址的策略，所以地址线为正常的一半，这是很多考生容易忽略的地方。

（2） A

解析：一般Cache 采用高速的SRAM 制作，比ROM 的速度快很多，因此III 错误。动态RAM 需要刷新，而ROM 不需要刷新，因此IV 错误。

（3） D

解析：首先确定ROM 的个数， ROM 区为4KB, 选用2Kx8 位的ROM 芯片，需要(4Kx8)/(2Kx8) =2 片，采用字扩展方式； 60KB 的RAM 区，选用4Kx4 位的RAM 芯片，需要(60Kx8)/(4Kx4) = 30片，采用字和位同时扩展的方式。

（4）D

解析：用2Kx4 位的芯片组成一个8Kx8 位存储器， 每行中所需芯片数为2 ，每列中所需芯片数为4,各行芯片的地址分配如下：

第一行(2 个芯片并联）： OOOOH~07FFH

第二行(2 个芯片并联）： 0800H~OFFFH

第三行(2 个芯片并联）： 1 OOOH ~ 17FFH

第四行(2 个芯片并联）： 1800H~ lFFFH

可知，地址OBlFH 在第二行，且所在芯片的最小地址为0800H 。

（5） C

解析：由题意，首先根据DRAM 采用的是行列地址线复用技术，我们尽量选用行列差值不要太大的， B 、C 选项的地址线只需6 根（取行或列所需地址线的最大值），轻松排除A 、D 。其次，为了减小刷新开销，而DRAM 一般是按行刷新的，所以应选行数值较少的，答案为C 。

**（6） B**

解析：由题目可知，计算机采用3 通道存储器总线，存储器总线的工作频率为1333MHz, 即1 秒内传送1333M 次数据，总线宽度为64 位即单条总线工作一次可传输8 字节(Byte) ，因此存储器总线的总带宽为3x8x1333MB/s, 约为32GB/s, 所以选B 。

（7） D

**解析：**每个访存地址对应的存储模块序号(0,1,2 .3) 如下所示：**（有图）**

访存地址模块序号8005 8006 8007 8008 8001 8002 8003 8004 8000

2 。 2 3。。

其中，模块序号＝访存地址％存储器交叉模块数。判断可能发生访存冲突的规则如下：给定的访存地址在相邻的四次访问中出现在同一个存储模块内。据此，根据上表可知8004 和8000 对应的模块号都为O, 即表明这两次的访问出现在同一模块内且在相邻的访问请求中，满足发生冲突的条件。

（8） B

**解析：**DRAM 使用电容存储，所以必须隔一段时间刷新一次，若存储单元未被刷新，则存储的信息就会丢失。SDRAM 表示同步动态随机存储器。

（9）B

**解析：**光盘采用顺序存取方式。

（10）A

**解析：**闪存是EEPROM 的进一步发展，可读可写，用MOS 管的浮栅上有无电荷来存储信息。闪存依然是ROM 的一种，写入时必须先擦除原有数据，因此写速度比读速度要慢不少（硬件常识）。闪存是一种非易失性存储器，它采用随机访问方式。现在常见的SSD 固态硬盘，它由Flash 芯片组成。

（11）A

**解析：**时间局部性是， 一旦一条指令执行，它就可能在不久的将来再被执行。空间局部性是， 一旦一个存储单元被访问，它附近的存储单元也很快被访问。显然，这里的循环指令本身具有时间局部性，它对数组a 的访问具有空间局部性，选A 。由千Cache 共有16 块，采用2 路组相联，因此共分为8 组，组号为0, 1, 2, …， 7 。主存的某一字块按模8 映射到Cache 某组的任一字块中，即主存的第0,8, 16, …字块可以映射到Cache 第0组的任一字块中。每个主存块大小为32B, 因此129 号单元位千第4 块主存块中（ 注意是从0 开始的），因此将映射到Cache 第4 组的任一字块中。

注意：由于在计算机系统结构和计算机组成原理的某些教材中介绍的组相联与此处的组相联并不相同，导致部分读者对题目理解错误。读者应以真题为准，以后再出现类似的题目，应以此种解答方式为标准。而且组号通常是从0 而不是从1 开始的（从选项也可看出）。

（13）C

**解析：**地址映射采用2 路组相联，主存地址为O~l 、4~5 、8~9 可映射到第0 组Cache 中，主存地址为2~3 、6~7 可映射到第1 组Cache 中。Cache 置换过程如下表所示。（有图表）

走向。4 8 2 。6 8 6 4 8块0 。4 4 8 8 。。8 4第0 组块1 Q 4 § 8 Q 。8\* 8 4 8\*块2 2 2 2 2 2第1 组块3 2 2 § 6 6\* 6 6注： “ ＿” 表示当前访问块，“＊” 表示本次访问命中。

注意：在不同的计算机组成原理教材中，关于组相联映射的介绍并不相同。通常采用上题中的方式，这也是唐朔飞所编教材中的方式，但本题中采用的是蒋本珊所编教材中的方式。可以推断两次命题的老师应该不是同一老师，因此给考生答题带来了困扰。

（14）C

**解析：**直接映射的地址结构为主存字块标记Cache 字块标记字块内地址按字节编址，块大小为4x32 位＝ 16B = 24B, 则” 字块内地址”占4 位；“， 能存放4K 字数据的Cache" 即Cache 的存储容量为4K 字（注意单位），则Cache 共有IK= 210 个Cache 行， Cache字块标记占10 位；主存字块标记占32 - 10 - 4 = 18 位。取舍标准是看词眼，题目中明确说明了采用写回法，则一定包含一致性维护位，而关于替换算法的词眼题目中未提及，所以不予考虑。因此，每个Cache 行标记项包含18 + 1 + 1 = 20 位，标记阵列容量为i0x20 位＝ 20K 位，存储容量为4Kx32 位＝ 128K 位，总容量为128K+ 20K = 148K 位。

Cache 的总容量包括：存储容量和标记阵列容量（有效位、标记位、一致性维护位和替换算法控制位）。标记阵列中的有效位和标记位一定存在，而一致性维护位（脏位）和替换算法控制位的

（15）D

**解析：**把指令Cache 与数据Cache 分离后，取指和取数分别到不同的Cache 中寻找，则指令流水线中取指部分和取数部分就可以很好地避免冲突，即减少了指令流水线的冲突。

（16）C

**解析：**上述指令的执行过程可划分为取数、运算和写回过程，取数时读取xaddr 可能不需要访问主存而直接访问Cache, 而写直通方式需要把数据同时写入Cache 和主存，因此至少访问l 次。

（17）D

**解析：**Cache 中存放的是主存的一部分副本， TLB （ 快表）中存放的是Page （页表）的一部分副本。在同时具有虚拟页式存储器（有TLB) 和Cache 的系统中， CPU 发出访存命令，先查找对应的Cache 块。

l) 若Cache 命中，则说明所需内容在Cache 内，其所在页面必然已调入主存， 因此Page 必然命中，但TLB 不一定命中。

2) 若Cache 未命中，则并不能说明所需内容未调入主存，和TLB 、Page 命中与否没有联系。但若TLB 命中， Page 也必然命中；而当Page 命中， TLB 则未必命中，因此选项D 不可能发生。

主存、Cache 、TLB 和Page 的关系如下图所示。

（18）A

**解析;**虚拟地址为 03FF F180H，其中页号为 03FFFH，页内地址为 180H，根据题目中给出的页表项可知页标记为 03FFFH 所对应的页框号为 0153H，页框号与页内地址之和即为物理地址 015 3180 H。

（19）D

**解析：**在请求分页系统中，每当要访问的页面不在内存中时， CPU 检测到异常，便会产生缺页中断，请求操作系统将所缺的页调入内存。缺页处理由缺页中断处理程序完成，根据发生缺页故障的地址从外存读入所缺失的页，缺页处理完成后回到发生缺页的指令继续执行。选项D 中描述回到发生缺页的指令的下一条指令执行，明显错误，所以选D 。

**习题5 指令系统**

5.2选择题

（1）A

**解析：**三地址指令有29 条，所以其操作码至少为5 位。以5 位进行计算，它剩余32 - 29 = 3 种操作码给二地址。而二地址另外多了6 位给操作码，因此其数量最大达3x64 = 192 。所以指令字长最少为23 位，因为计算机按字节编址，需要是8 的倍数， 所以指令字长至少应该是24位。

（2）A

**解析：**采用32 位定长指令宇，其中操作码为8 位，两个地址码共占用32 - 8 = 24 位，而Store 指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址，机器中共有16 个通用寄存器，因此寻址一个寄存器需要log216 = 4 位，源操作数中的寄存器直接寻址用掉4 位，而目的操作数采用基址寻址也要指定一个寄存器，同样用掉4 位，则留给偏移址的位数为24-4-4= 16 位，而偏移址用补码表示，因此16 位补码的表示范围为－32768~+32767。

**（3） A**

（暂缺）

（4）C

**解析：**变址寻址中，有效地址(EA) 等千指令字中的形式地址D 与变址寄存器I 的内容之和，即EA= (I)+ D 。间接寻址是相对千直接寻址而言的，指令的地址字段给出的形式地址不是操作数的真正地址，而是操作数地址的地址，即EA=(D) 。从而该操作数的有效地址是((I)+ D)。

（5）C

解析：相对寻址EA= (PC)+ A, 先计算取指后的PC 值。转移指令由2 字节组成，每取一字节PC加1, 在取指后PC 值为2002H, 因此EA= (PC) + A = 2002H + 06H = 2008H 。本题易误选A 或B,选项A 未考虑PC 值的自动更新，选项B 虽然考虑了PC 值的自动更新，但未注意到该转移指令是一条2 字节指令， PC 值应是“ +2 " 而不是“ +1”。

（6）A

解析：间接寻址不需要寄存器，EA=(A)。基址寻址：EA=A+基址寄存器内同；相对寻址：EA﹦A+PC内容；变址寻址：EA﹦A+变址寄存器内容。（试卷解析）

（王道论坛）间接寻址不需要寄存器， EA=(A) 。基址寻址： EA=A+(BR) ；相对寻址： EA=A+ (PC):

变址寻址： EA=A + (IX) (BR 表示基址寄存器， PC 表示程序计数器， IX 表示变址寄存器）。

（7）D

解析：根据变址寻址的主要方法，变址寄存器的内容与形式地址的内容相加之后，得到操作数的实际地址，根据实际地址访问内存，获取操作数 4000H。

**（有图）**

（王道论坛）根据变址寻址的方法， 变址寄存器的内容ClOOOH) 与形式地址的内容(2000H) 相加，得到操作数的实际地址(3000H) ，根据实际地址访问内存，获取操作数4000H, 如下图所示。**（有图）**

（8）D

解析：在变址操作时，将计算机指令中的地址与变址寄存器中的地址相加，得到有效地址，指令提供数组首地址，由变址寄存器来定位数据中的各元素。所以它最适合按下标顺序访问一维数组元素，选D 。相对寻址以PC 为基地址，以指令中的地址为偏移量确定有效地址。寄存器寻址则在指令中指出需要使用的寄存器。直接寻址在指令的地址字段直接指出操作数的有效地址。

（9）D

解析：注意，内存地址是无符号数。操作数采用基址寻址方式， EA = (BR) + A, 基址寄存器BR 的内容为FOOO OOOOH, 形式地址用补码表示为FF12H 即1111 1111 0001 0010B, 因此有效地址为FOOO OOOOH + (- OOEEH) =EFFF FF12H 。计算机采用大端方式编址， 所以低位字节存放在字的高地址处，机器数一共占4字节，该操作数的LSB 所在的地址是EFFF FF12H + 3 = EFFF FF15H, 所以选D 。

（10）B

解析：根据变址寻址的公式EA=(IX) + A, 有（IX)= 2100H - 2000H = lOOH = 256, sizeof(double) = 8

（双精度浮点数用8 位字节表示），因此数组的下标为256/8 = 32, 答案选B 。

（11）C

假设两个无符号整数A 和B, bgt 指令会将A 和B 进行比较，也就是将A 和B 相减。若A>B,

则A - B 肯定无进位／借位，也不为0 （为0 时表示两数相等），因此CF 和ZF 均为0, 选C 。其余选项中用到了符号标志SF 和溢出标志OF, 显然应当排除。

（12）A

解析：[x]补一[y] 补＝［x］补＋［－y］ 补， ［－R2] 补＝ 00000010H, 很明显[Rl]补+[-R2]补的最高位进位和符号位

进位都是1 （当最高位进位和符号位进位的值不相同时才产生溢出），可以判断溢出标志OF 为0 。同时，减法操作只需判断借位标志， Rl 大千R2, 所以借位标志为0, 综上答案选A。

（13）**C**

解析：相对千CISC, RISC 的特点是：指令条数少；指令长度固定，指令格式和寻址种类少；只有取数／存数指令访问存储器，其余指令的操作均在寄存器之间进行； CPU 中通用寄存器多；大部分指令在一个或小千一个机器周期内完成；以硬布线逻辑为主，不用或少用微程序控制。选项B 、C 、D 都是RISC 的特点，选项A 是错误的，因为RISC 的速度快，所以普遍采用硬布线控制器，而非微程序控制器。

**习题6 中央处理器**

6.2选择题

（1）B

**解析：**汇编语言程序员可见的是程序计数器(PC) ，即汇编语言程序员通过汇编程序可以对某个寄存器进行访问。汇编程序员可以通过指定待执行指令的地址来设置PC 的值，如转移指令、子程序调用指令等。而IR 、M凡{、MDR 是CPU 的内部工作寄存器，对程序员不可见。

（2）B

**解析：**该指令的两个源操作数分别采用寄存器、寄存器间接寻址方式，因此在取数阶段需要用到通用寄存器组(GPRs) 和存储器(Memory); 在执行阶段，两个源操作数相加需要用到算术逻辑单元(ALU) 。而指令译码器(ID) 用千对操作码字段进行译码，向控制器提供特定的操作信号，在取数及执行阶段用不到，所以选B。

（3） B

**解析：**程序计数器(PC) 给出下一条指令字的访存地址（指令在内存中的地址），它取决千存储器的字数(4GB/32 位＝ 230) ，因此程序计数器(PC) 的位数至少是30 位；指令寄存器(IR) 用**于**接收取得的指令，它取决于指令字长(32 位），因此指令寄存器CIR) 的位数至少为32 位。

（4）D

**解析：**时钟脉冲信号的宽度称为时钟周期，时钟周期是CPU 工作的最小时间单位，时钟周期的倒数为机器主频。时钟脉冲信号是由机器脉冲源发出的脉冲信号经整形和分频后形成的，时钟周期以相邻状态单元间组合逻辑电路的最大延迟为基准确定。CPU 从内存中取出并执行一条指令所需的全部时间称为指令周期，指令周期又由若干机器周期来表示，一个机器周期又包含若干时钟周期，显然D 错误。

（5）A

**（此题雷同）**

（6）B

**解析：**主存储器就是我们通常所说的主存，它在CPU 外，用于存储指令和数据，由RAM 和ROM实现。控制存储器用来存放实现指令系统的所有微指令，是一种只读型存储器，机器运行时只牍不写，在CPU 的控制器内。CS 按照微指令的地址访问，所以B 错误。

（7）D

**解析：**微程序控制器采用了“存储程序”的原理，每条机器指令对应一个微程序，因此修改和扩充容易，灵活性好，但每条指令的执行都要访问控制存储器，所以速度慢。硬布线控制器采用专门的逻辑电路实现，其速度主要取决千逻辑电路的延迟，因此速度快，但修改和扩展困难，灵活性差。

（8）C

**解析：**字段直接编码法将微命令字段分成若干小字段，互斥性微命令组合在同一字段中，相容性微命令分在不同字段中，每个字段还要留出一个状态，表示本字段不发出任何微命令。5 个互斥类，分别包含7 、3 、12 、5 和6 个微命令，需要3 、2 、4 、3 和3 位，共15 位。

（9）C

**解析：**计算机共有32 条指令，各个指令对应的微程序平均为4 条，则指令对应的微指令为32x4 = 128条，而公共微指令还有2 条，整个系统中微指令的条数共为128 + 2 = 130 条，所以需要「log2130l =8 位才能寻址到130 条微指令，答案选C 。

（10）C

**解析：**会自动加1，A取指令要访存、B时钟周期对指令不可分割。

\*（王道论坛）由于不采用指令预取技术， 每个指令周期都需要取指令，而不采用Cache 技术，因此每次取指令都至少要访问内存一次（当指令字长与存储字长相等且按边界对齐时）， A 正确。时钟周期是CPU 的最小时间单位，每个指令周期一定大千等千一个CPU 时钟周期， B 正确。即使是空操作指令，在取指操作后， PC 也会自动加1, C 错误。由千机器处千“开中断”状态，在每条指令执行结束时都可能被外部中断打断。

**习题7 流水线技术概述**

7.2选择题

（1）C

解析：采用4 级流水执行100 条指令，在执行过程中共用4 + (100 —1) = 103 个时钟周期，如下图所示。CPU 的主频是1.03GHz, 即每秒有1.03G 个时钟周期。流水线的吞吐率为1.03Gx 100/103 =1.0x 109 条指令／秒。（有图）

（2） A

解析：时钟周期应以各功能段的最长执行时间为准，否则用时较长的流水段的功能将不能正确完成，因此应选90ns。

（3） D

（暂缺）

（4）B

解析：数据冒险即数据相关，指在一个程序中存在必须等前一条指令执行完才能执行后一条指令的情况，此时这两条指令即为数据相关。当多条指令重叠处理时就会发生冲突。首先这两条指令发生写后读相关，且两条指令在流水线中的执行情况（发生数据冒险）如下表所示。

（有图）

指令12 在时钟5 时将结果写入寄存器(R5) ，但指令13 在时钟3 时读寄存器(R5) 。本来指令12应先写入R5 ，指令13 后读R5 ，结果变成指令13 先读R5 ，指令12 后写入R5 ，因而发生数据冲突。

（5）C

解析：画出这四条指令在流水线中执行的过程如下图所示。（有图）

数据冒险即数据相关，指在程序中存在必须等前一条指令执行完才能执行后一条指令的情况，此时这两条指令即为数据相关。其中11 和13 、12 和13 、13 和14 均发生了写后读相关，因此必须等相关的前一条指令执行完才能执行后一条指令。只有12 和14 不存在数据冒险，选C。

（6） A

解析：采用流水线方式，相邻或相近的两条指令可能会因为存在某种关联，后一条指令不能按照原指定的时钟周期运行，从而使流水线断流。有三种相关可能引起指令流水线阻塞： O 结构相关，又称资源相关； ＠数据相关； ＠控制相关，主要由转移指令引起。数据旁路技术的主要思想是，直接将执行结果送到其他指令所需要的地方，使流水线不发生停顿，因此不会引起流水线阻塞。

（7）D

解析：指令定长、对齐、仅Load/Store指令访存，以上三个都是RISC的特征。均能够有效的简化流水线的复杂度。

（8）A

解析：五阶段流水线可分为取指IF 、译码／取数ID 、执行EXC 、存储器读MEM 、写回Write Back。数字系统中，各个子系统通过数据总线连接形成的数据传送路径称为数据通路，包括程序计数器、算术逻辑运算部件、通用寄存器组、取指部件等，不包括控制部件，选A。

（9）C

解析：超标量是指在CPU 中有一条以上的流水线，并且每个时钟周期内可以完成一条以上的指令，其实质是以空间换时间。I 错误，它不影响流水线功能段的处理时间；II 、III 正确。选C。

**（10）B**

解析：（暂缺）

**习题8 系统总线**

8.3选择题

（1）C

解析：取指令时，指令便是在数据线上传输的。操作数显然在数据线上传输。中断类型号用以指出中断向量的地址， CPU 响应中断请求后，将中断应答信号(INTR) 发回数据总线， CPU 从数据总线上读取中断类型号后，查找中断向量表，找到相应的中断处理程序入口。而握手（应答）信号属千通信联络控制信号，应在控制总线上传输。

（2） C

解析：猝发（突发）传输是在一个总线周期中，可以传输多个存储地址连续的数据，即一次传输一个地址和一批地址连续的数据，并行传输是在传输中有多个数据位同时在设备之间进行的传输，串行传输是指数据的二进制代码在一条物理信道上以位为单位按时间顺序逐位传输的方式，同步传输是指传输过程由统一的时钟控制。

（3）B

解析：总线带宽是指单位时间内总线上传输数据的位数，通常用每秒传送信息的字节数来衡量，单位为Bis 。由题意可知，在1 个总线周期(=2 个时钟周期）内传输了4 字节信息，时钟周期＝1110MHz = O.lμs, 因此总线带宽为4B/(2xO . I μs) = 4B/(0.2x 1 o-6s) = 20MB/s。

（4）C

解析：由千总线频率为100MHz, 因此时钟周期为lOns。总线位宽与存储字长都是32 位，因此每个时钟周期可传送一个32 位存储字。猝发式发送可以连续传送地址连续的数据，因此总传送时间为：传送地址lOns, 传送128 位数据40ns, 共需50ns。

（5）C

解析：数据线有32 根，也就是一次可以传送32B/8= 4B 的数据，66MHz意味着有66M个时钟周期，而每个时钟周期传送两次数据，可知总线每秒传送的最大数据量为66Mx2x4B = 528MB,所以总线的最大数据传输率为528MB/s

（6）A

解析：单周期处理器是指所有指令的指令周期为一个时钟周期的处理器， D正确。因为每条指令的CPI 为1,要考虑比较慢的指令，所以处理器的时钟频率较低， B 正确。单总线结构将CPU 、主存、1/0 设备都挂在一组总线上，允许1/0 设备之间、1/0设备与主存之间直接交换信息，但多个部件只能争用唯一的总线，且不支持并发传送操作。单周期处理器并不指采用单总线结构数据通路，因此A 错误。控制信号即指PC 中的内容， PC 用来存放当前欲执行指令的地址，可以自动加l 形成下一条指令的地址。在指令执行过程中，控制信号不变化。

（7） C

解析：方式中，系统采用一个统一的时钟信号，而不由各设备提供，否则无法实现统一的时钟。

（8） A

解析：初看可能会觉得A 正确，并行总线传输通常比串行总线传输速率快，但这不是绝对的。在实际时钟频率较低的情况下，并行总线因为可以同时传输若干比特，速率确实比串行总线快。但是，随着技术的发展，时钟频率越来越高，并行导线之间的相互干扰越来越严重，当时钟频率提高到一定程度时，传输的数据已无法恢复。而串行总线因为导线少，线间干扰容易控制，反而可通过不断提高时钟频率来提高传输速率， A 错误。总线复用是指一种信号线在不同的时间传输不同的信息，它可使用较少的线路传输更多的信息，从而节省空间和成本，因此B 正确。突发（猝发）传输是指在一个总线周期中，可以传输多个存储地址连续的数据，即一次传输一个地址和一批地址连续的数据， C 正确。分离事务通信是总线复用的一种，相比单一的传输线路可以提高总线的利用率，D正确。

（9）B

解析：总线数据传输率＝总线工作频率x （总线宽度／8), 所以I 和II 会影响总线数据传输率。采用突发（猝发）传输方式，可在一个总线周期内传输存储地址连续的多个数据字，因此能提高传输效率。采用地址／数据线复用只是减少了线的数量，节省了成本，并不能提高传输率。

（10）B

解析：设备和设备控制器之间的接口是 USB 接口，其余选项不符合，答案为 B。

（王道论坛）USB 是一种连接外部设备的1/0 总线标准，属千设备总线，是设备和设备控制器之间的接口。而PCI 、AGP 、PCI-E 作为计算机系统的局部总线标准，通常用来连接主存、网卡、视频卡等。

**习题9 输入输出系统**

9.2选择题

（1） D

解析：1/0 总线分为三类： 数据线、控制线和地址线。数据缓冲寄存器和命令／状态寄存器的内容都是通过数据线来传送的；地址线用以传送与CPU 交换数据的端口地址；而控制线用以给1/0 端口发送读／写信号， 只是用来对端口进行读／写控制的。因此I 、II 和III 均正确。

（2）D

解析：采用统一编址时，CPU 访存和访问1/0 端口用的是一样的指令，所以访存指令1/0 端口是指1/0 接口中用千缓冲信息的寄存器，由于主机和1/0 设备的工作方式和工作速度有很大差异， 1/0 端口应运而生。在执行一条指令时， CPU 使用地址总线选择所请求的1/0 端口，使用数据总线在CPU 寄存器和端口之间传输数据，所以选D。

（4）A

解析：外部中断是指CPU 执行指令以外的事件产生的中断，通常指来自CPU 与内存以外的中断。A 中键盘输入属千外部事件， 每次键盘输入CPU 都需要执行中断以读入输入数据，所以能引起外部中断。B 中除数为0 属千异常，也就是内中断， 发生在CPU 内部。C 中浮点运算下溢将按机器零处理，不会产生中断。而D 访存缺页属于CPU 执行指令时产生的中断， 也不属千外部中断。所以能产生外部中断的只能是输入设备键盘。

（5）A

解析：在单级（或单重）中断系统中，不允许中断嵌套。中断处理过程为：心关中断；＠保存断点；＠识别中断源； ＠保存现场； ＠中断事件处理； ＠恢复现场； ＠开中断； ＠中断返回。其中＄～＠由硬件完成，＠～＠由中断服务程序完成，因此选A。

（6） B

解析：在响应外部中断的过程中， 中断隐指令完成的操作包括： ＄关中断； ＠保护断点； ＠引出中断服务程序（形成中断服务程序入口地址并送PC) ，所以只有I 、III 正确。II 中保存通用寄存器的内容是在进入中断服务程序后首先进行的操作。

（7） B

解析：多重中断系统在保护被中断进程现场时关中断，执行中断处理程序时开中断，选项B 错误。CPU 一般在一条指令执行结束的阶段采样中断请求信号，查看是否存在中断请求，然后决定是否响应中断，选项A 、D 正确。中断请求一般来自CPU 以外的事件，异常一般发生在CPU 内部，选项C正确。

（8）B

解析：在程序中断1/0 方式中， CPU 和打印机直接交换，打印字符直接传输到打印机的I/0 端口，不会涉及主存地址。而CPU 和打印机通过1/0 端口中的状态口和控制口来实现交互。

（9）C

解析：中断优先级由屏蔽字而非请求的先后次序决定， A 错误。中断隐指令完成的工作有： O 关中断； ＠保存断点；＠引出中断服务程序，通用寄存器的保护由中断服务程序完成， B 错误。中断允许状态即开中断后，才能响应中断请求， C 正确。有中断请求时，先要由中断隐指令完成中断前程序的状态保存， D 错误。

（10）D

解析：中断处理方式：在 I/O 设备输入每个数据的过程中，由于无需 CPU 干预，因而可使CPU 与 I/O 设备并行工作。仅当输完一个数据时，才需 CPU 花费极短的时间去做些中断处理。因此中断申请使用的是 CPU 处理时间，发生的时间是在一条指令执行结束之后，数据是在软件的控制下完成传送。而 DMA 方式与之不同。DMA 方式：数据传输的基本单位是数据块，即在 CPU 与 I/O 设备之间，每次传送至少一个数据块；DMA 方式每次申请的是总线的使用权，所传送的数据是从设备直接送入内存的，或者相反；仅在传送一个或多个数据块的开始和结束时，才需 CPU 干预，整块数据的传送是在控制器的控制下完成的。答案 D的说法不正确。

**（王道论坛）**中断处理方式：在I/0 设备输入每个数据的过程中，由千无须CPU 干预，因而可使CPU 与I/0设备并行工作。仅当输完一个数据时，才需CPU 花费极短的时间去做一些中断处理。因此中断申请使用的是CPU 处理时间，发生的时间是在一条指令执行结束之后，数据在软件的控制下完成传送。而DMA 方式与之不同。DMA 方式：数据传输的基本单位是数据块，即在CPU 与I/0 设备之间，每次传送至少一个数据块； DMA 方式每次申请的是总线的使用权，所传送的数据是从设备直接送入内存的，或者相反；仅在传送一个或多个数据块的开始和结束时，才需要CPU 干预，整块数据的传送是在控制器的控制下完成的。

（11）D

解析：刷新所需带宽＝分辨率x 色深x 帧频＝ 1600xl200 x 24b心85Hz = 3916.SMb/s, 显存总带宽的50％用来刷新屏幕，千是需要的显存总带宽至少为3916.8/0.5 = 7833.6Mb/s=7834Mb/s 。

（12）B

解析：存取时间＝寻道时间＋延迟时间＋传输时间。存取一个扇区的平均延迟时间为旋转半周的时间，即(60/7200)/2 = 4.17ms, 传输时间为(60/7200)/1000 = O.Olms, 因此访问一个扇区的平均存取时间为4.17+0.01+ 8 = 12.18ms, 保留一位小数则为12.2ms。