



国家电网  
STATE GRID

北京智芯微电子科技有限公司  
BEIJING SMARTCHIP MICROELECTRONICS TECHNOLOGY CO., LTD.



# SCA2004T Smart Camera SoC 用户指南

文档版本

01

发布日期

2024-03-19

版权所有 © 北京智芯微电子科技有限公司 2021。保留一切权利。  
非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，  
并不得以任何形式传播。

### 注意

您购买的产品、服务或特性等应受北京智芯微电子科技有限公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，北京智芯微电子科技有限公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

北京智芯微电子科技有限公司

地址：北京市昌平区中科云谷园 邮编：102200

# 前言

## 概述

本文档主要介绍 SCA200x 芯片的特性、逻辑结构，详细描述各个模块的功能、工作方式、相关寄存器定义，用图表的方式给出了接口时序关系和相关参数，并详细描述了芯片的管脚定义和用途以及芯片的性能参数和封装尺寸。

## 产品版本

与本文档相对应的产品版本如下。

## 读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

## 英文缩写对照表

缩写	描述

## 修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2024-3-19	01	第一版发布

# 目录

1 产品概述 .....	1
1.1 概述 .....	1
1.2 应用场景 .....	2
1.2.1 SCA2004T 智能 IP 摄像机解决 .....	2
1.2.2 SCA2004T 多路智能分析盒解决方案 .....	3
1.3 架构 .....	4
1.3.1 逻辑框图 .....	4
1.3.2 处理器内核 .....	5
1.3.3 NPU .....	5
1.3.4 视频编解码 .....	5
1.3.5 视频接口 .....	6
1.3.6 图像处理子系统 .....	6
1.3.7 ISP .....	6
1.3.8 RCU 可重构计算单元 .....	7
1.3.9 2D 图形处理 .....	7
1.3.10 音频接口 .....	7
1.3.11 音频编解码 .....	7
1.3.12 网络接口 .....	8
1.3.13 安全引擎 .....	8
1.3.14 外围接口 .....	8
1.3.15 外部存储器接口 .....	9
1.3.16 多种启动模式 .....	9
1.3.17 SDK .....	10
1.3.18 芯片物理规格 .....	10
1.4 启动和升级模式 .....	10
2 硬件特性 .....	11
2.1 封装与管脚分布 .....	11
2.1.1 封装 .....	11
2.1.2 管脚分布 .....	14
2.1.3 管脚信息描述 .....	15

# 1 产品概述

## 1.1 概述

SCA2004T 是专门为超高清 4K 智能视觉应用场景设计的工业级人工智能视频处理器，集通用视频处理与人工智能处理于一体，片上集成神经网络加速器，可支持多类神经网络的计算加速，独特的 RCU 单元支持可重构计算，有效补充 NPU 灵活性不足的问题。内置 H.265/H.264 高性能编解码器，高性能 ISP，支持 HDR、多级降噪、EIS 及多种图像增强和矫正功能。

**CPU:** 4 核 Cortex-A53 最高 1.2GHz. 支持 NEON 加速，支持 FPU。

**NPU:** 最高可提供 4Tops@int8 算力（1GHz），支持 int16, int8 定点推理，支持多种深度学习框架（caffe、onnx 等），支持常用图像、语音识别算法，配套完善的算法适配工具链，支持 Caffe 和 ONNX，方便客户算法的快速移植。

**RCU:** 可重构计算单元，可灵活定义各类算子

**ISP:** 高性能的 ISP 处理器，最高支持 4K@60fps，支持多种高级降噪，图像增强算法，在超低照度下具有极佳的处理效果。

**VI/VO:** 灵活的视频输入输出接口，最高可支持 4 路 8LaneMIPI 接入，支持 DVP 接口，1 路 MIPI DSI 输出，一路 DVP 输出。

**VPU:** H.264/265 4K@60FPS 编码或解码能力。

芯片支持下一代工业互联网标准的 TSN 技术，支持 GMAC 双网口，支持工业级工作温度范围。0.65/0.4mm 混合间距 FCCSP 636 封装。

芯片提供了兼容性极高的软件 SDK，最大程度上降低客户的研究成本，加速客户产品的上市进程。

## 1.2 应用场景

### 1.2.1 SCA2004T 智能 IP 摄像机解决

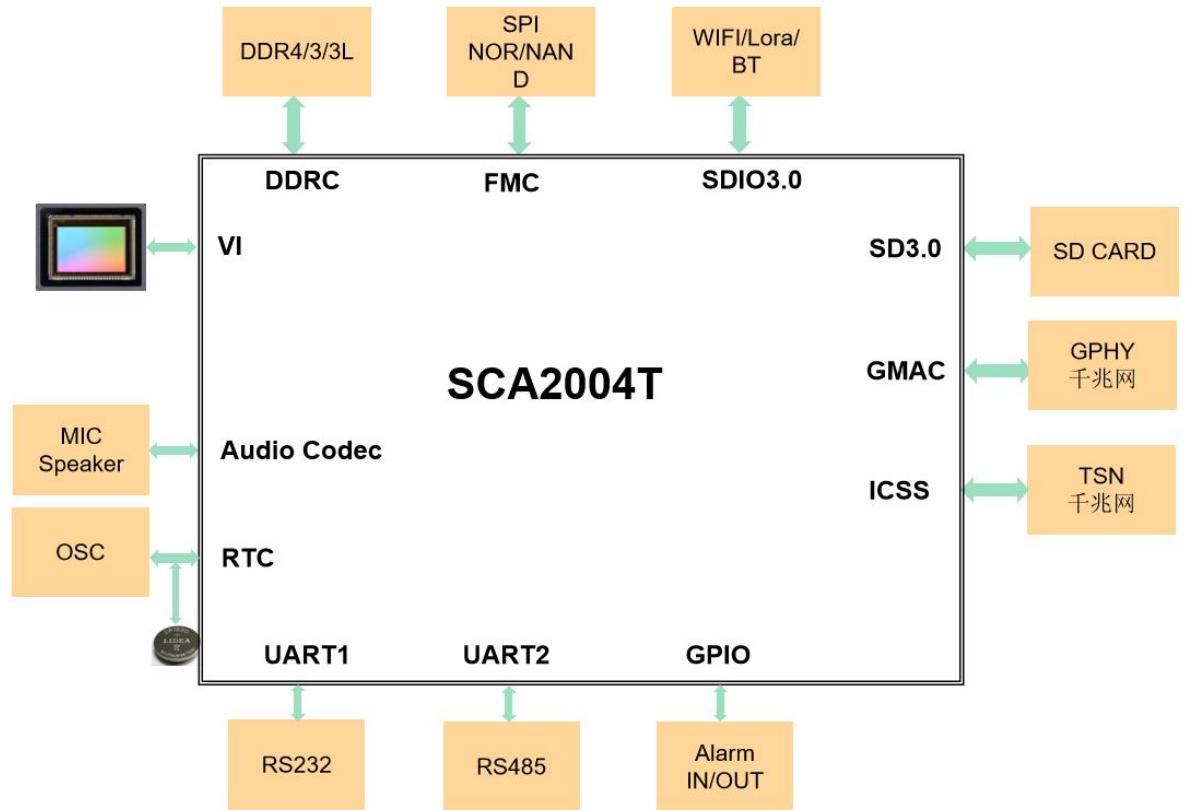


图 1-1 SCA2004T 智能 IP 摄像机解决方案

- ✧ 4Tops@int8神经网络推理能力，支持多算法并发
- ✧ 4K@60fps H.264/265视频编码
- ✧ 新一代ISP，低照度效果优异

## 1.2.2 SCA2004T 多路智能分析盒解决方案

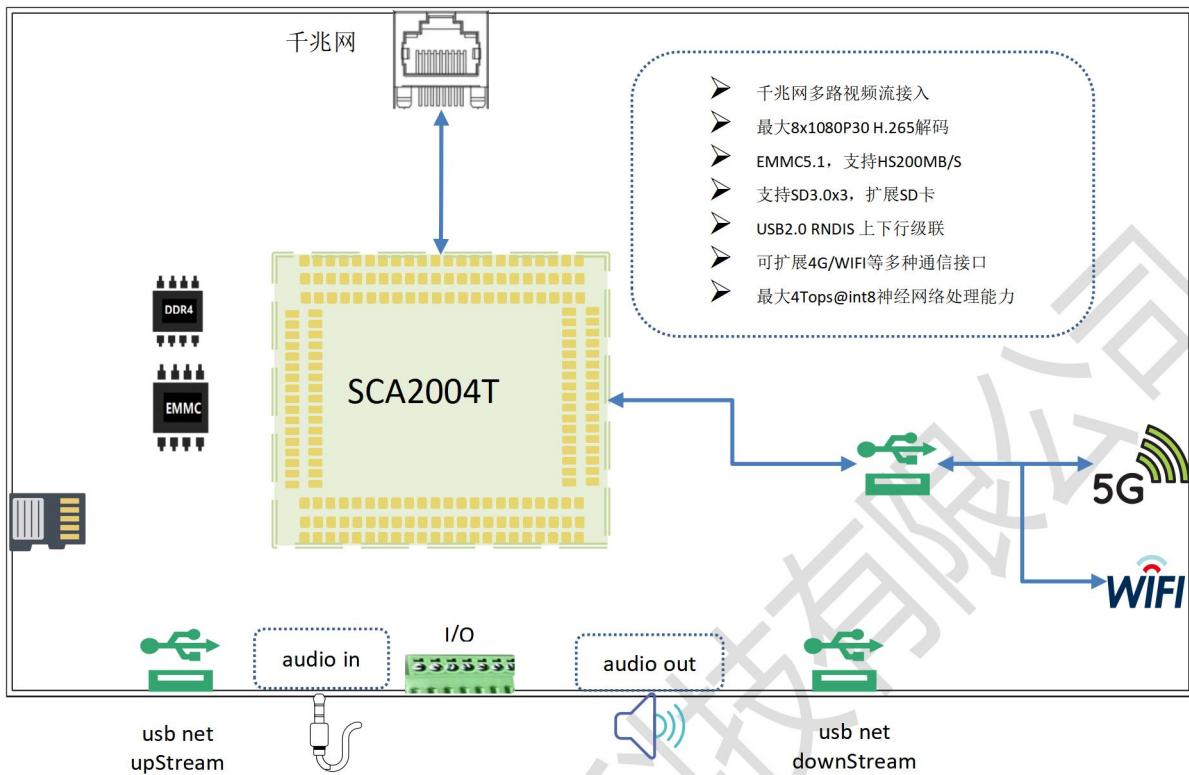


图 1-2 SCA2004T 多路智能分析盒解决方案

- ✧ 单板8路解码及智能处理能力
- ✧ USB级联无限扩展算力

## 1.3 架构

### 1.3.1 逻辑框图

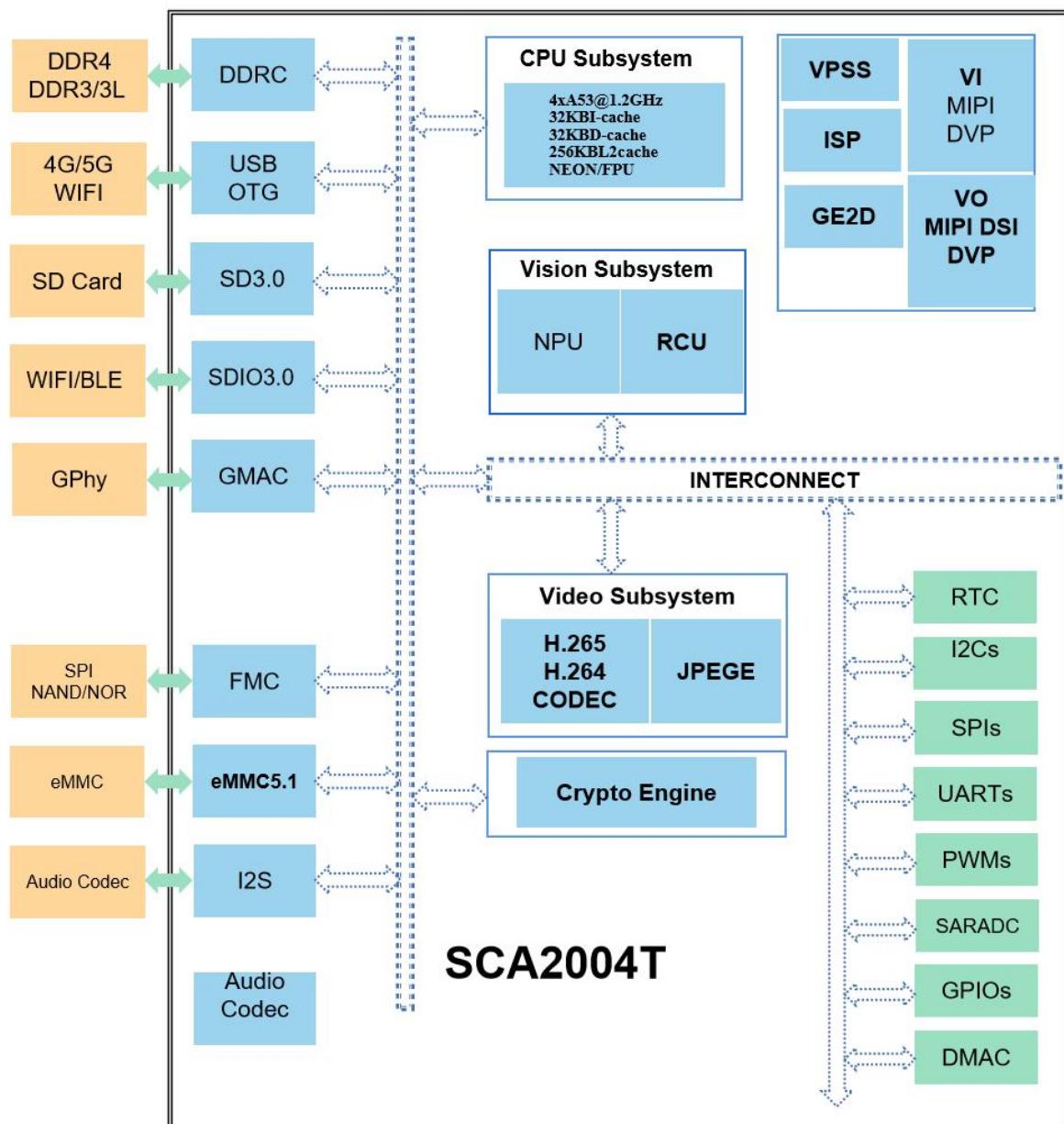


图 1-3 SCA2004T 芯片逻辑框图

### 1.3.2 处理器内核

- 4 核 ARM CortexA53@1.2GHz, 32KB I-Cache, 32KB D-Cache, 256KB L2 cache
- 支持 NEON 加速，集成 FPU 处理单元

### 1.3.3 NPU

- 支持 Caffe、Onnx
- 提供最大 4TOPS@int8 神经网络运算性能
- 支持完整的 API 和工具链（编译器、仿真器），方便客户定制网络
- 支持各种定制算子

### 1.3.4 视频编解码

- H.265 Main Profile , level5.1 Hith-tier
- H.264 Baseline/Main/High Profile, level 5.2
- H.265/H.264 支持 I/P/B slice
- 支持 MJPEG/JPEG Baseline
- H.265/H.264 编解码最大分辨率：8192 x 8192
- H.265/H.264 编解码性能：
  - 4K@60fps +1080P@30fps+D1@30fps 编码
  - 4K@60fps 解码
- JPEG 编解码最大分辨率：32Kx 32K
- JPEG 最大编解码性能： 4K@30fps
- 支持 CBR/VBR/AVBR/FIXQP/QPMAP 等多种码率控制模式
- H.265/H.264 编码输出最大码率分别为160Mbps/72Mbps
- 支持任意多个感兴趣区域（ROI）编码

### 1.3.5 视频接口

- 视频输入
  - 支持 8Lane MIPI-CSI，最大支持 4 个 sensor 接入 (4 x 1C2D)
  - 支持 4-lane+4-lane/4-lane+2x2-lane/4x2-lane 等多种组合方式
  - 最高输入分辨率 800 万像素
  - 支持 BT. 656、BT. 1120 视频输入
  - 支持 MIPI 虚拟通道输入 1~4 路
- 视频输出
  - 支持 4-lane MIPI-DSI 最大支持 1080P60 输出
  - 支持 8/16/24bit 数字 LCD/BT. 656/BT. 1120 接口

### 1.3.6 图像处理子系统

- 支持多级缩放，1/64~128
- 支持对图像的任意位置及尺寸Crop
- 支持多种几何变换，支持对图像的任意角度旋转
- 支持多种格式图像色彩空间转换

### 1.3.7 ISP

- 支持多路时分复用，可支持4个sensor同时输入
- 支持3A，参数可调节
- 支持line buffer/DDR 模式可切换
- 支持2帧/3帧 line base HDR, 支持tone mapping, 支持强光抑制、背光补偿
- 支持2D/3D降噪，低照度效果优异
- 支持3D-LUT色彩调节
- 支持坏点校正、镜头阴影校正
- 支持去雾，图像动态对比度增强及边缘增强
- 支持图像mirror/flip/rotate (0/90/180/270度)

- 支持镜头畸变几何校正和鱼眼校正
- 支持6-DOF数字防抖及rolling-shutter校正
- 提供PC端ISP tuning/calibration tools

### 1.3.8 RCU 可重构计算单元

- 可重构计算加速器，最高可提供0.25Tops神经网络运算性能
- 计算单元灵活组合，可支持对多种CV算子，神经网络前后处理的加速
- 提供封装好的功能单元接口，方便客户直接调用

### 1.3.9 2D 图形处理

- 支持bitBLT
- 支持画线操作
- 支持alpha blending
- 支持color key
- 支持区域遮盖（隐私区域）

### 1.3.10 音频接口

- 集成 Audio codec，支持 16bit 语音输入和输出
- 支持Line/MicIn, 两路单端或者差分输入
- 支持 I2S 接口，支持 8 路音频时分复用输入及双声道音频输出（与内置 Audio Codec 互斥）

### 1.3.11 音频编解码

- 通过软件实现多协议语音编解码，持续可扩展
- 支持G.711/AAC等音频编码格式

### 1.3.12 网络接口

- 1个千兆以太网
  - 支持 RGMII/RMII
  - 支持 10/100Mbit/s 半双工或全双工
  - 支持 1000Mbit/s 全双工
- 1个工业通信子系统 (TSN)
  - 支持 RGMII/RMII
  - 支持 10/100Mbit/s 半双工或全双工
  - 支持 1000Mbit/s 全双工
  - 支持 TSN 时间敏感网络下一代工业互联网标准

### 1.3.13 安全引擎

- 支持 AES/DES/3DES 三种加解密算法
- 支持 RSA1024/2048/4096 硬件签名校验算法
- 硬件实现 HASH 防篡改算法，支持 HASH MD5/ SHA-1/ SHA-256/SHA-512 算法
- 支持基于 ARM TrustZone 实现的硬件安全空间管理
- 支持基于 TR007 的解决方案的安全启动和安全存储
- 内置 4Kbit EFUSE 存储空间
- 内置硬件真随机数发生器

### 1.3.14 外围接口

- 3个SDIO3.0接口
- 3个I2S接口，其中
  - 1个 I2S master 接口
  - 2个 I2S slave 接口
- 4个SPI接口，其中

- 2 个 SPI master
- 2 个 SPI slave
- 5个I2C接口，支持 master/slave可配
- 5个UART 接口（部分管脚与其他管脚复用）
- 10个PWM 接口（部分管脚与其他管脚复用）
- 128个GPIO 接口（部分管脚与其他管脚复用）
- 集成一个8通道LSADC(低速ADC)
- 集成RTC，支持简单电源管理功能
- 3个USB2.0 OTG接口

### 1.3.15 外部存储器接口

- 32bit DDR4/DDR3/DDR3L/LPDDR3 接口
  - DDR4 最高时钟频率 1600MHz
  - DDR3/DDR3L/LPDDR3 最高时钟频率 1066MHz
  - 支持最大 4GB 容量
- QSPI FLASH接口
  - 支持 1/2/4 线模式
  - 支持 3Byte/4Byte 地址模式
  - 支持 SPI Nor flash 和 SPI Nand flash
  - 支持最大容量 4GB
- 支持eMMC5.1 接口
  - 支持 HS200
  - 最大支持 2TB

### 1.3.16 多种启动模式

- 支持BOOTROM->SPI Nor FLASH 启动
- 支持BOOTROM->SPI Nand FLASH 启动
- 支持BOOTROM->eMMC 启动

- 支持BOOTROM->SD 启动
- 支持 QSPI Nor启动

### 1.3.17 SDK

- 兼容主流SDK风格及接口，支持Linux SMP

### 1.3.18 芯片物理规格

- 工作电压
  - 内核电压: 0.9V
  - IO 核电压: 1.8V、3.3V
  - DDR4 接口电压: 1.2V
  - DDR3 接口电压: 1.5V
  - DDR3L 接口电压: 1.35V
  - LPDDR3 接口电压: 1.2V
- 封装信息
  - RoHS, FCCSP 636
  - 17mm\*17mm 封装大小
  - 管脚间距: 0.65/0.4mm 混合 pitch
  - 工作温度: -40°C ~ +85°C

## 1.4 启动和升级模式

在芯片复位信号撤销后，芯片会根据 BOOT\_SEL2/BOOT\_SEL1/BOOT\_SEL0 的状态决定跳转到哪里启动。除了可以直接跳转到 QSPI NOR 执行之外，芯片都会先跳转到内置 ROM 中的 ROM BootLoader 程序，再实现启动，裸片烧写，升级等逻辑。

ROM BootLoader 启动后会再检测 BOOT\_SEL2/BOOT\_SEL1/BOOT\_SEL0 和 UART\_BOOT\_EN Pin 的状态，来决定后面的启动介质或是否要进行 UART BOOT。

启动模式和上述信号的关系如表 1-1 所示：

表 1-1 启动模式

				模式说明
BOOT_SEL2	BOOT_SEL1	BOOT_SEL0	UART_BOOT_EN	
0	1	1	0	直接从 QSPI NOR 启动
0	0	0	0	ROMBootLoader->QSPI Nor
0	0	1	0	ROMBootLoader->QSPI Nand
0	1	0	0	ROMBootLoader->SPI Nor
1	0	0	0	ROMBootLoader->eMMC
1	0	1	0	ROMBootLoader->SD card
x	x	x	1	UART boot, 进入 UART 引导模式, 执行裸片烧录操作

## 2 硬件特性

### 2.1 封装与管脚分布

#### 2.1.1 封装

芯片采用 FCCSP 封装，封装尺寸为 17mmx17mm，管脚间距为 0.65/0.4mm 混合 pitch。管脚总数为 636 个。详细封装参见图 2-1~图 2-4，封装尺寸参数请参考图 2-5。

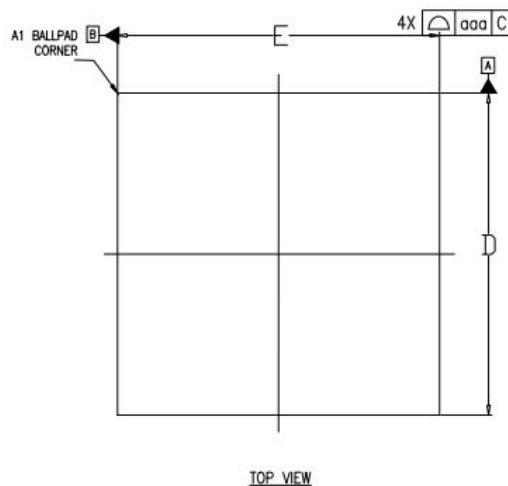


图 2-1 Core 芯片封装顶视图

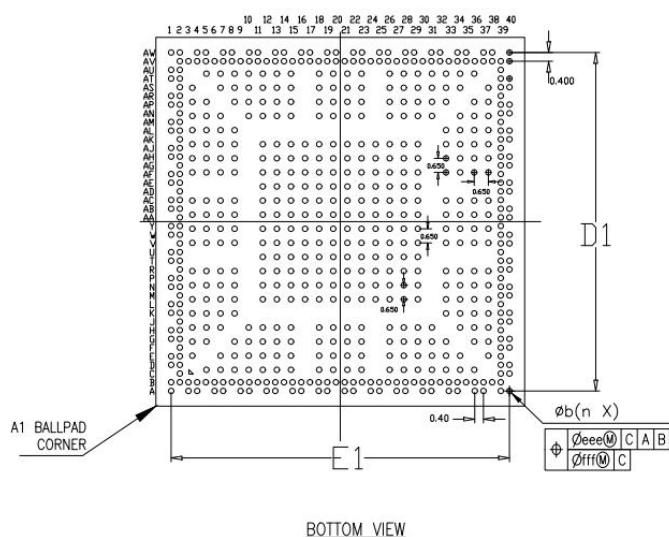
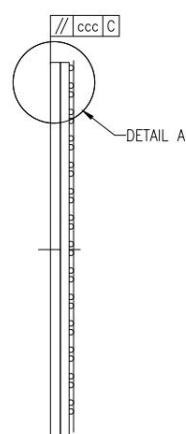


图 2-2 芯片封装底视图



SIDE VIEW

图 2-3 芯片封装侧视图

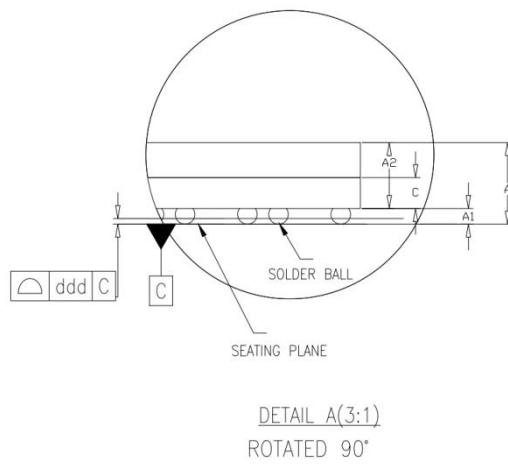


图 2-4 DETAIL A 放大图

## COMMON DIMENSIONS

(UNITS OF MEASURE=MILLIMETER)

Item	Symbol	Common Dimensions		
		MIN.	NOM.	MAX.
Body Size	X	E	16.900	17.000
	Y	D	16.900	17.000
Total Thickness	A	---	1.060	1.100
Ball Stand Off	A1	0.15	0.190	0.23
Molding Compound Thickness	A2	0.45		
Substrate Thickness	C	0.380	0.420	0.460
Ball Width	b	0.240	0.250	0.260
Package Edge Tolerance	aaa	0.100		
Package Flatness	ccc	0.080		
Coplanarity	ddd	0.100		
Ball Offset (Package)	eee	0.080		
Ball Offset (Ball)	fff	0.080		
Ball Count	n	636		
Edge Ball Center to Center	X	E1	15.600	
	Y	D1	15.600	

图 2-5 尺寸说明

## 2.1.2 管脚分布

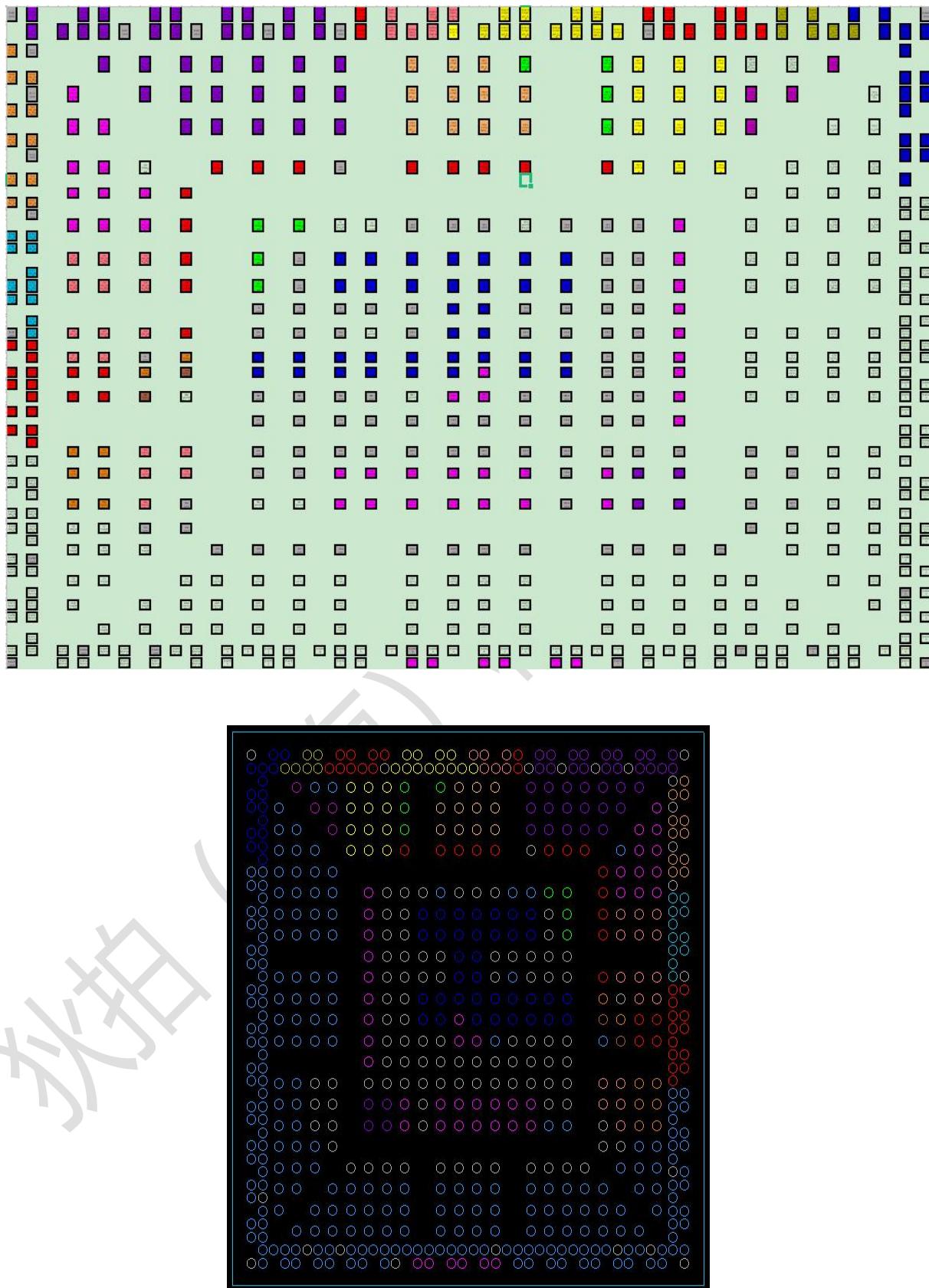


图 2-6 管脚分布图

## 2.1.3 管脚信息描述

芯片管脚详细信息，管脚电源域信息，数字管脚默认状态描述请参考文档：  
《SCA200x Pinout 说明》。

北京智芯微电子科技有限公司