



国家电网  
STATE GRID

北京智芯微电子科技有限公司  
BEIJING SMARTCHIP MICROELECTRONICS TECHNOLOGY CO., LTD.



# SCA200 硬件设计用户指南

文档版本 01

发布日期 2022-02-24

版权所有 © 北京智芯微电子科技有限公司 2021。保留一切权利。  
非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

#### 注意

您购买的产品、服务或特性等应受北京智芯微电子科技有限公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，北京智芯微电子科技有限公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

北京智芯微电子科技有限公司

地址：北京市昌平区中科云谷园

# 前言

## 概述

本文档主要介绍 SCA200 芯片方案的硬件原理图设计、PCB 设计、单板热设计建议等。本文档提供 SCA200 芯片的硬件设计方法。

## 读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

## 修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2022-2-24	01	第一版发布

# 目录

1 原理图设计 .....	1
1.1 小系统外部电路要求 .....	1
1.1.1 Clocking 电路 .....	1
1.1.2 复位电路 .....	2
1.1.3 JTAG 接口 .....	2
1.1.4 供电电路设计 .....	3
1.1.5 唤醒功能 .....	3
1.1.6 硬件初始化系统配置电路及 BOOT 方式 .....	4
1.1.7 DDR 电路设计 .....	5
1.1.8 FLASH 原理图设计 .....	5
1.2 电源设计建议 .....	6
1.2.1 CORE 电源设计 .....	7
1.2.2 DDR 电源设计 .....	7
1.2.3 IO 电源设计 .....	8
1.2.4 PLL 电源设计 .....	8
1.2.5 上下电时序 .....	9
1.3 外围接口设计建议 .....	10
1.3.1 MAC 接口 .....	10
1.3.2 音频接口 .....	11
1.3.3 视频输入接口设计 .....	11
1.3.4 SPI 和 I2C 接口 .....	13
1.3.4 SDIO 设计 .....	13
1.3.5 USB2.0 接口 .....	14
1.3.6 SAR ADC .....	15
1.3.7 RTC .....	15
1.3.8 PWM .....	15
1.3.9 UART .....	15
1.4 特殊管脚说明 .....	16
2 PCB 设计 .....	17
2.1 电源与滤波电容设计 .....	17
2.1.1 内核电源设计 .....	17
2.1.2 DDR IO 电源设计 .....	18
2.1.3 PLL 电源设计 .....	18
2.1.4 DDR_VAA 电源设计 .....	19
2.2 晶体电路设计 .....	20
2.3 DDR 电路设计 .....	20
2.4 FLASH 电路设计 .....	21
2.4.1 SPI FLASH .....	21
2.4.2 eMMC .....	21
2.5 RMII 信号 PCB 设计 .....	22

2.6 MIPI RX/TX 信号 PCB 设计 .....	22
2.7 模拟音频电路设计 .....	22
2.8 SDIO 信号 PCB 设计 .....	23
2.9 USB2.0 信号设计 .....	24
2.10 DVP IN/OUT 信号设计 .....	24
3 整机 ESD 设计 .....	25
3.1 背景 .....	25
3.2 整机 ESD 设计 .....	25
4 芯片散热设计 .....	26
4.1 最大功耗 .....	26

# 1 原理图设计

## 1.1 小系统外部电路要求

### 1.1.1 Clocking 电路

#### ➤ 主时钟

SCA200 系统通过芯片内部反馈电路与外部 24MHZ 晶体构成系统主时钟

推荐电路如下：

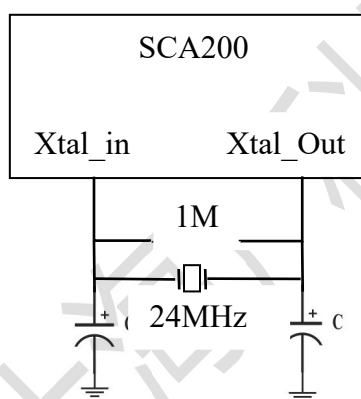


图 1-1 晶体振荡电路

SCA200 需要外供 24Mhz 的时钟，建议晶体频偏在 30 PPM 以内。注意上图的电容需要与晶体的负载电容匹配，材质建议选用 NPO。

系统也可采用有源晶振提供时钟，信号由 Xtal\_in 接入，Xtal\_out 浮空。

具体可参考 EVB 设计。

#### ➤ RTC 时钟

SCA200 内置 RTC 单元，需要外部提供 32.768K 时钟。参考连接如下图：

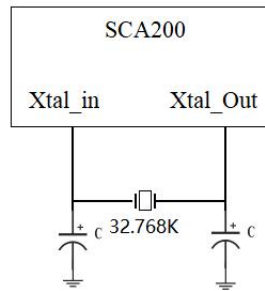


图 1-2 RTC 推荐晶体振荡电路

说明：

SCA200 的 CLKREF\_SEL pin 需要默认 4.7K 拉高。

### 1.1.2 复位电路

SCA200 支持内部 POR（Power on Reset）复位，需要增加看门狗实现软复位。

为确保系统能正常启动，系统相关的外设（例如：存放 boot 的 FLASH 器件）必须先于或同时与 SCA200 一起释放复位信号，否则可能会出现无法启动等异常情况。

### 1.1.3 JTAG 接口

SCA200 支持 JTAG 和 SWD 两种调试模式，考虑到 JTAG 的某些 PIN 功能复用的问题，建议使用 SWD 模式，如下：

信号名	信号描述
TCK	JTAG 时钟输入，外接 4.7K 下拉电阻，复用 SWCLK
TDI	JTAG 数据输入，外接 4.7K 上拉电阻
TMS	JTAG 模式选择输入，外接 4.7K 上拉电阻，复用 SWDIO
TRSTN	JTAG 复位输入，外接 4.7K 上拉电阻
TDO	JTAG 数据输出，外接 4.7K 上拉电阻

表 1-1 JTAG 接口信号

SCA200 可以通过 TEST\_MODE 管脚选择正常和测试两种工作模式，具体说明

TEST_MODE	模式说明
0	正常工作模式
1	测试模式

表 1-2 TEST\_MODE 模式说明

JTAG 连接方式如下图（SIM2 电源域 1.8V）

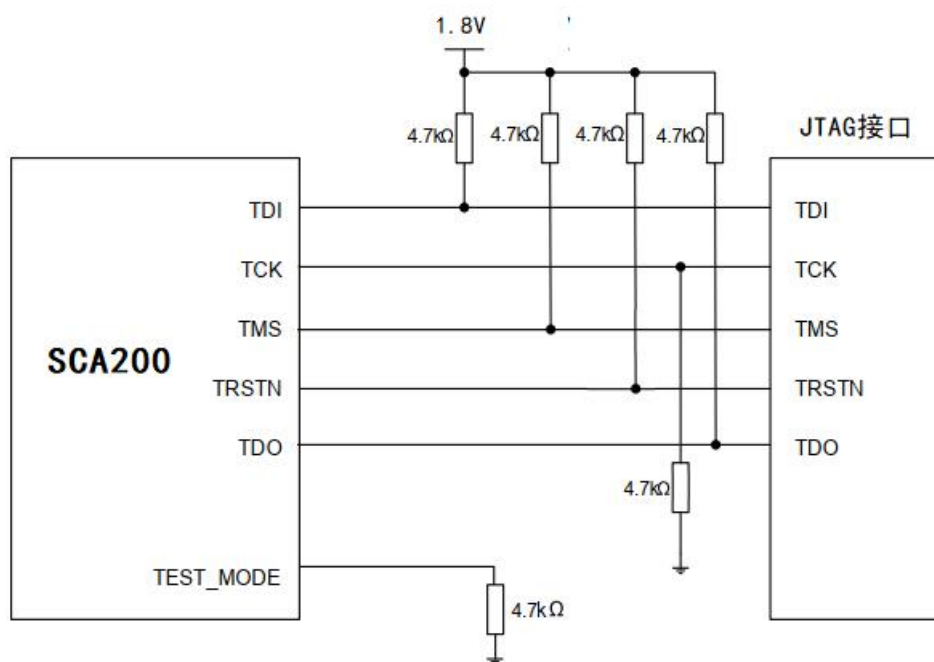


图 1-3 JTAG 连接方式

## 1.1.4 供电电路设计

### 1.1.4.1 唤醒功能

唤醒场景，SCA200 的供电由电池供电，保持 RTC 部分为打开状态。AVDD\_BAT 为 RTC 模块供电电源，供电范围 1.2V~1.5V，使用唤醒功能时，该管脚必须接电池或其他不掉电的电源。

当在需要休眠的场景下，Power OK 拉低，关闭电源 DCDC，此时 SCA200 的供电只为电池，保持 RTC 部分为打开状态。当唤醒源 S1 拉高 EN 打开 DCDC，SCA200 的恢复正常供电系统启动后，Power OK 拉高，此时唤醒源可消失。



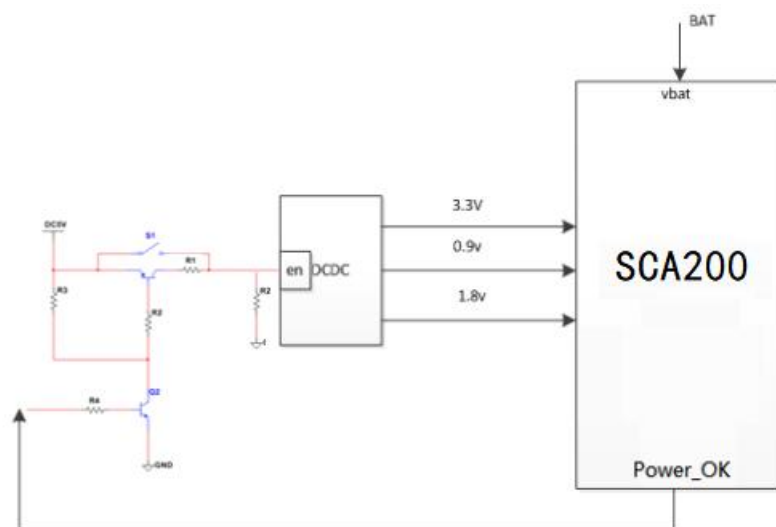


图 1-4 唤醒电路示意图

### 1.1.6 硬件初始化系统配置电路及 BOOT 方式

SCA200 上电复位后从内部 Boot Rom 启动，支持多种外设接口作为启动介质：EMMC、QSPI NOR、NAND flash、SPI NOR flash、SD Card、USB 及 UART。其中，可以支持 USB、UART 启动，并且烧录或者升级固件。

Boot 顺序有优先级之分，从高到底顺序如下：USB boot 优先级最高，依靠 USB\_BOOT(JTAG\_TDI)选择，高有效。UART boot 优先级其次，依靠 UART\_BOOT(JTAG\_TDO)选择，高有效。

上电初始化的过程中，需要根据配置管脚的上下拉电阻状态来确定各部分的工作模式。硬件配置信号描述如下图所示：

CFG PIN[2]	CFG PIN[1]	CFG PIN[0]	Boot source
0	0	0	Romcode->QSPI NOR
0	0	1	Romcode->QSPI NAND
0	1	0	Romcode->SPI NOR
0	1	1	QSPI Nor boot
1	0	0	Romcode->EMMC
1	0	1	Romcode->SD
1	1	0	Romcode->AUTO
1	1	1	Romcode->AUTO with pll bypass

表 1-3 Boot 启动方式的硬件配置电路

## 1.1.7 DDR 电路设计

支持 32bit DDR4/DDR3/DDR3L/LPDDR3

DDR4 最高频率 1600MHz (3200Mbps)

DDR3/DDR3L/LPDDR3 最高工作频率 1066MHz (2133Mbps)

支持最大容量 4GB

## 1.1.8 FLASH 原理图设计

### 1.1.8.1 接口介绍

FLASH 控制器支持 SPI NOR FLASH、SPI NAND FLASH 和 EMMC。

QSPI 接口：支持 1/2/4 线模式；支持 3Byte/4Byte 地址模式；支持 NAND flash 和 NOR flash；支持最大容量 4GB。

EMMC 5.1 接口：支持最大容量 64GB。

### 1.1.8.2 信号处理

外接 SPI FLASH 时，SPI FLASH 匹配设计推荐如下表：

信号	设计方法
SFC_CLK	时钟一驱一，主芯片端串接 33Ω 电阻。信号走线长度不超过 3inch。
SFC_HOLD	引脚需要上拉，推荐电阻阻值为 4.7kΩ。
SFC_CS	引脚需要上拉，推荐电阻阻值为 4.7kΩ。
SFC_WP	引脚需要上拉，推荐电阻阻值为 4.7kΩ。
SI 与 SO	使用 QSPI Flash 及 SPI Flash 时注意：SPI 控制器和 QSPI 控制器的 SI 与 SO 是相反的，具体接法见下图。

表 1-4 SPI FLASH 设计方式

注意：推荐选用带复位功能的 SPI FLASH 器件，以避免出现主芯片 Watch Dog 生效复位时，FLASH 无法同步复位，从而无法正常重启。

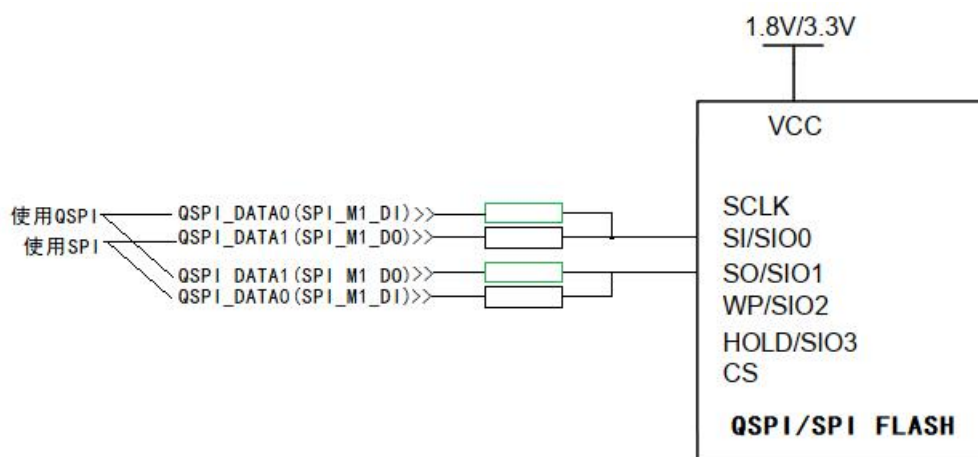


图 1-5 Flash SISO 对于两种控制器的设计电路

SCA200 支持 1.8V/3.3V IO 电平的 NAND flash 器件，在启动过程中，软件通过读取 1F20 引脚上的电平判断器件 IO 电压，硬件上要根据器件类型进行上下拉控制，低电平对应 1.8V，高电平对应 3.3V。

EMMC 设计方式如下：

信号	设计方法
EMMC_CLK	主芯片端串联 33Ω 电阻。信号走线长度不超过 2.5inch。
EMMC_DATA[0:3]	直接相连，并且需要接上拉电阻，阻值推荐 47kΩ。信号走线长度不超过 2.5inch。
EMMC_CMD	直接相连，并且需要接 10kΩ 上拉电阻。信号走线长度不超过 2.5inch。
EMMC_RST_N	直接相连，并且需要接 47kΩ 上拉电阻。

表 1-5 EMMC 设计方式

## 1.2 电源设计建议

电源设计采用分立的 DCDC 方案，选用通用的 SOT-5 封装，建议完全拷贝 SCA200 参考设计的原理图设计。

## 1.2.1 CORE 电源设计

SCA200 的 CORE 电源 DVDD，典型电压 0.9V，超频时最高可提高到 1V。电源芯片选型要求其供电能力不小于 3A 规格设计，由于在运行 DLA 等功能时，峰值电流比较高，对 DCDC 的动态响应有要求，建议选用开关频率大于 1MHz 的 DCDC。

CORE\_DDR 电源是单独拉出的 PIN，因而可支持单独供电，当运行 DDR 3200 时，需要将电压提升到 1V。

## 1.2.2 DDR 电源设计

SCA200 支持 DDR3/DDR4，典型电压 1.5V(1.35V)/1.2V，参考电压（Vref）等于  $1/2VDDIO\_DDR$ 。DDR 颗粒的电源要求与 SCA200 的 DDR IO 电源采用同一电源网络供电，优先选用电阻分压的方式，预留主控控制方案，通过  $1k\Omega$  电阻（精度 1%）分压为 DDR 颗粒的 Vref 供电。如下所示：

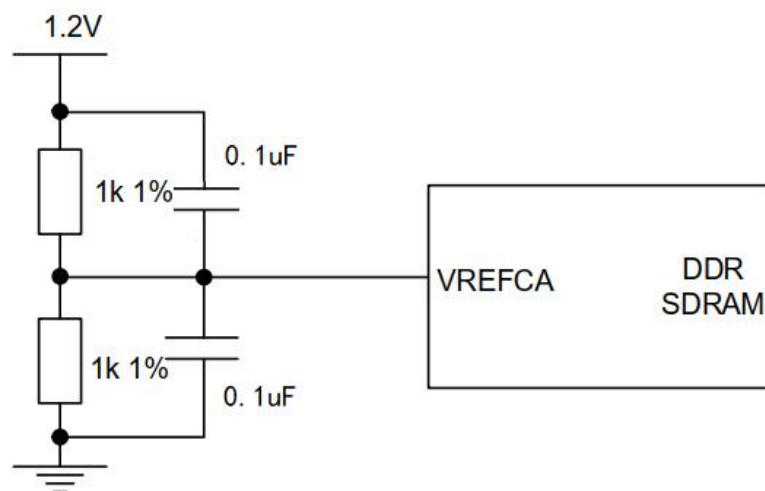


图 1-6 DDR4 参考电压设计电路

DDR PLL 电源（管脚名 DDR\_VAA：连接 1.8V 电源。必须使用磁珠（ $82\Omega@100MHz$ ）和主芯片的数字 1.8 V 电源进行隔离。

### 1.2.3 IO 电源设计

IO 电源支持 3.3V 或 1.8V 电源，SCA200 侧的电压域修改时，软件配置也要对应修改。建议客户使用固定 PWM 模式的 DCDC。

SCA200 总共分为 10 个电源域，对应的常用功能如下图，均支持 3.3V/1.8V 电源，实际连接的电源要与对接芯片的接口电平保持一致。

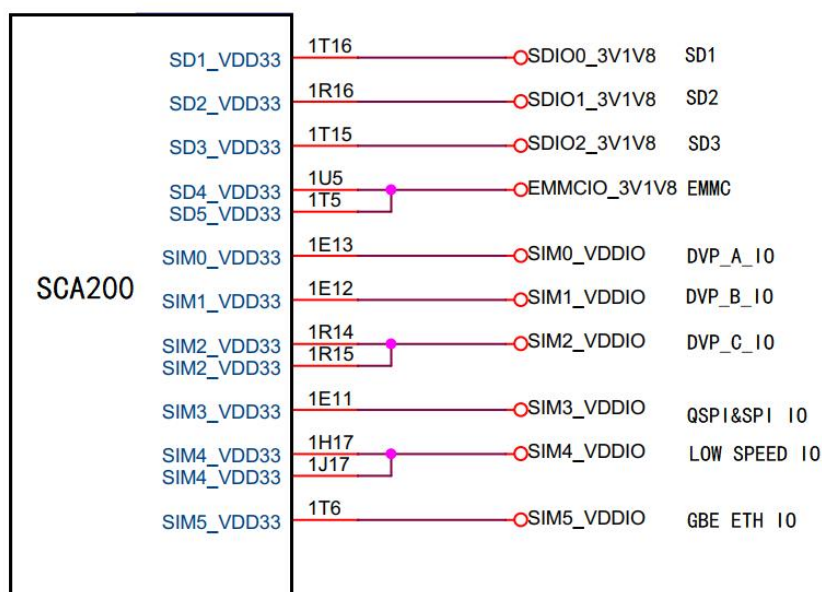


图 1-7 SCA200 的电源域设计电路

### 1.2.4 PLL 电源设计

可以将 5 个 PLL 电源可以合并后通过一个磁珠（ $80\Omega@100\text{MHz}$ ）连接 1.8V 电源。

将如下 7 个电源域分别通过磁珠（ $80\Omega@100\text{MHz}$ ）连接电源。

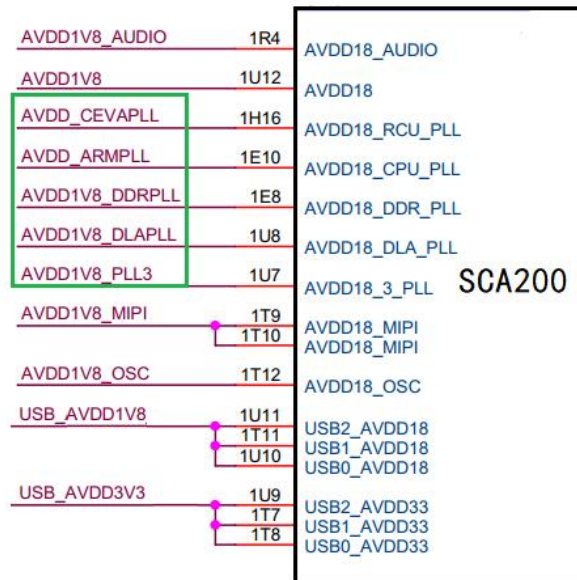
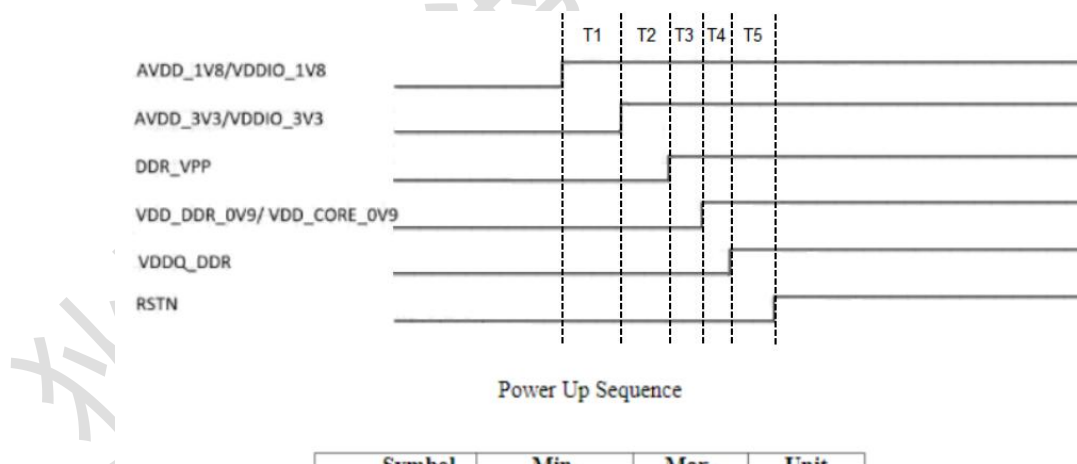


图 1-8 SCA200 的 PLL 电源设计电路

## 1.2.5 上下电时序

Core 电源、DDR 电源和 IO 电源有上下电时序的要求，如下图所示。如果使用的 DDR4, 对于 2.5V 的供电电源 VPP, 必须先于或同时于 1.2V VDD 电源上电，且无论什么时候 VPP 电源幅值必须大于等于 1.2V VDD 电源幅值。



Symbol	Min.	Max.	Unit
T1	1	—	ms
T2	0	—	ms
T3	0	—	ms
T4	1	—	ms
T5	10	—	ms

图 1-9 系统电源时序设计电路

## 1.3 外围接口设计建议

### 1.3.1 MAC 接口

SCA200 的 MAC 接口支持 RMII 模式和 RGMII，不支持 MII 模式。两种模式信号的对应关系如下：

信号		信号描述
RGMII_TXC	RMII_TXC	信号在源端串联 $33\Omega$ 电阻，走线长度不能超过 8inch。
RGMII_TXD[0:3]	RMII_TXD[0:1]	信号直连，走线长度不能超过 8inch。
RGMII_TX_CTL	RMII_TX_EN	信号直连，走线长度不能超过 8inch。
RGMII_RXC	RMII_RXC	信号在源端串联 $33\Omega$ 电阻，走线长度不能超过 8inch。
RGMII_RXD[0:3]	RMII_RXD[0:1]	信号直连，走线长度不能超过 8inch。
	RMII_RX_DV	信号直连，走线长度不能超过 8inch。
MDC	MDC	信号在主芯片端串联 $33\Omega$ 电阻，走线长度不能超过 8inch。
MDIO	MDIO	信号直连，走线长度不能超过 8inch，接 $1.5k\Omega$ 上拉电阻。
GBE_CLK	GBE_CLK	信号在主芯片端串联 $33\Omega$ 电阻，走线长度不能超过 8inch。

表 1-6 MAC 设计方式

若选用的 FEPHY 需要外供工作时钟，除使用芯片 EPHY\_CLK 供给之外，需要预留外部时钟方案。

若使用 RMII，需要将对应 SCA200 侧的对应电压域 SIM5 改成 3.3V（软件配置也要修改为 3.3V）。

若使用 RGMII，需要将对应 SCA200 侧的对应电压域 SIM5 改成 1.8V（软件配置也要修改为 1.8V）。



## 1.3.2 音频接口

### 1.3.2.1 模拟音频接口设计

支持 LINEIN / MICIN

支持 LINEOUT\_L / LINEOUT\_R

支持单端/差分 LINEOUT 输出

支持两路单端输入或两路差分输入，不提供内部麦克风偏置

支持静音，左右声道交换

音频输出信号线上必须有 ESD 保护措施，加强接口的抗干扰能力。

音频采样率支持 48kHz，44.1kHz，32kHz 三个系列的采样率。

Audio 模块的模拟电源 AVDD1V8\_AUDIO 必须使用磁珠与系统电源隔离。

音频输入信号上的隔直电容靠近主芯片放置，电容容值推荐选择 2.2uF。

为获得较好的音频质量，建议在音频输出管脚 AC\_OUTL 和 AC\_OUTR 的外围增加音频放大器以及滤波电路。

### 1.3.2.2 I2S 音频接口

支持主从模式 I2S 数据接口：3 个 I2S master 接口，2 个 I2S slave 接口。

支持 8 路音频时分复用输入及双声道音频输出，建议增加音频功放后再接 Speaker。

I2S 和与 Audio CODEC 共用通道，不能同时使用。

## 1.3.3 视频输入接口设计

系统支持两种输入接口：DVP 接口和差分视频输入接口（即 MIPI RX 接口）。

### 1.3.3.1 DVP 输入接口

最高支持 4 路 BT656 / 2 路 BT1120 / 1 路 BT1120 + 2 路 BT656。



每路 BT656 / 1120 最高支持 4VC, 最多支持 8 路 1080P @30fps 图像输入到内部处理单元。

最高支持 4 路 8bits / 2 路 16bits / 1 路 16bits + 2 路 8bits 外同步输入, 支持 RAW8/10/12/14, YUV422\_8。

### 1.3.3.2 MIPI 输入接口

针对 MIPI CSI-2 输入信号, 支持如下三种配置中的一种: 1/2/3/4 路 sensor 输入 (1C2D 模式); 1/2 路 sensor 输入 (1C4D 模式); 1/2 路 (1C2D 模式) + 1 路 (1C4D 模式) sensor 输入。

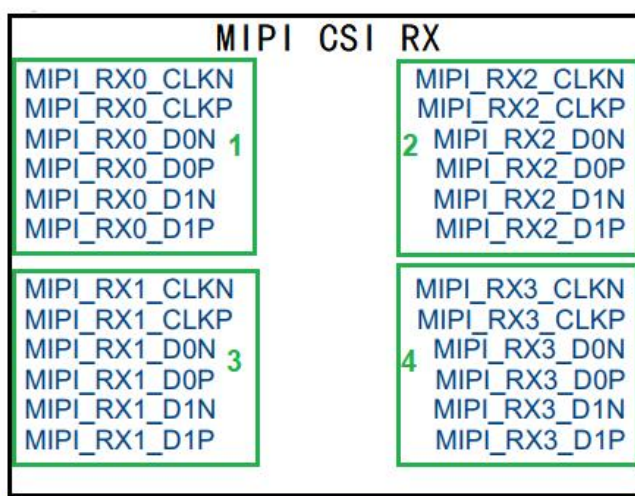


图 1-10 MIPI CSI 接口设计电路

共有 4 个 clock lane, 8 组 data lane。最多支持 4 路 2Lane 的 Sensor 输入。在组成 1C4D 配置时, 两路 CLK 必须同源。

每条 lane 最高可到 2.5Gbps, 最高支持 4K@60fps。在此速率的应用时, 需要选用高速连接器。

### 1.3.3.3 DVP 输出接口

最高支持 4 路 BT656 / 2 路 BT1120 / 1 路 BT1120 + 2 路 BT656

最高支持 1080p@60fps

### 1.3.3.4 MIPI 输出接口

1 个 clock lane, 4 个 data lane

每条 lane 最高传输速率 2.5Gbps

最高支持 4K@30fps RGB888 / YUV444 输出

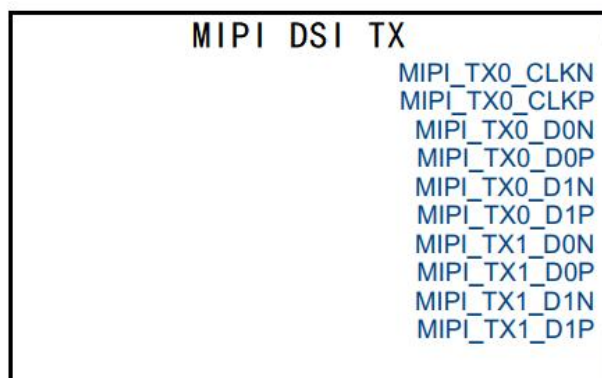


图 1-11 MIPI DSI 接口设计电路

### 1.3.4 SPI 和 I2C 接口

SCA200 有 2 个 SPI master 接口, 2 个 SPI slave 接口。

SCA200 有 5 个 I2C 接口, 支持 master/ slave 可配置, I2C 信号推荐外接 2.2K 上拉电阻。

### 1.3.4 SDIO 设计

SCA200 支持 3 组 SDIO 接口, 分时复用, SDIO 电源域参考图 1-7。

支持最大容量为 2T。

支持输出时钟和采样时钟 16 个相位可分别可调。

SDIO 信号设计方法:

信号	信号描述
SD0_VDD18	在 SOC 端接 1 个 1uF 的电容到地。
SDIO0_CCLK_OUT	在 SOC 端串联 33Ω 电阻, 走线长度不能超过 4inch。

SDIO0_CDATA[0:3]	在 SOC 端串联 33Ω 电阻，走线长度不能超过 4inch，预留 47K 上拉电阻。
SDIO0_CMD	走线长度不超过 2inch 时，SOC 端可不匹配电阻。
SDIO0_CARD_DETECT	在对接 SD 卡时，SDIO0_CARD_DETECT 信号必须外接上拉，阻值推荐 10kΩ。
SD1_VDD18	在 SOC 端接 1 个 1uF 的电容到地。
SDIO1_CCLK_OUT	在 SOC 端串联 33Ω 电阻，走线长度不能超过 4inch。
SDIO1_CDATA[0:3]	在 SOC 端串联 33Ω 电阻，走线长度不能超过 4inch，预留 47K 上拉电阻。
SDIO1_CMD	走线长度不超过 2inch 时，SOC 端可不匹配电阻。
SDIO1_CARD_DETECT	在对接 SD 卡时，SDIO0_CARD_DETECT 信号必须外接上拉，阻值推荐 10kΩ。
SD2_VDD18	在 SOC 端接 1 个 1uF 的电容到地。
SDIO2_CCLK_OUT	在 SOC 端串联 33Ω 电阻，走线长度不能超过 4inch。
SDIO2_CDATA[0:3]	在 SOC 端串联 33Ω 电阻，走线长度不能超过 4inch，预留 47K 上拉电阻。
SDIO2_CMD	走线长度不超过 2inch 时，SOC 端可不匹配电阻。
SDIO2_CARD_DETECT	在对接 SD 卡时，SDIO0_CARD_DETECT 信号必须外接上拉，阻值推荐 10kΩ。

表 1-7 SDIO 电路设计方式

### 1.3.5 USB2.0 接口

SCA200 支持 3 个完全相同的 USB 2.0 OTG(On-The-Go)模块。此模块完全兼容 USB2.0 协议，支持高速（480Mbps）、全速（12Mbps）及低速（1.5Mbps）。

USB2.0 信号上要有 ESD 保护措施，ESD 器件的寄生电容要求小于 1pF，ESD 器件靠近 USB 接口放置。

USB\_VBUS 建议电阻分压到 3.3V，不要直接使用 5V，以避免直接插拔 USB 带来的浪涌。

USB0 支持 USB BOOT，需要 USB BOOT EN 拉高时使用。

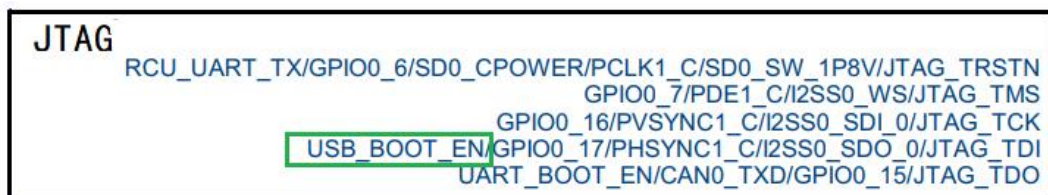


图 1-12 USB BOOT 引脚位置

### 1.3.6 SAR ADC

SAR ADC 模块通过外部 PAD 用于测量外部模拟信号，转换成数字信号，支持最高电压 1.8V。

SAR ADC 是一个多通道单端 10 bit 模数转换，允许监测在电压范围内的模拟信号，例如可以用于测量外部温度传感器信号。

### 1.3.7 RTC

内部有 32 bit 的计数器。

计数时钟 32768 Hz。

软件可控制 PWR\_EN，让系统上下电。

WDT 全局复位可控制系统先下电，后上电。

RTC 定时器产生的中断可控制系统恢复上电。

注意：内置 RTC 在固定分频模式，计时精度主要取决于外置晶体，请综合考虑晶体频率误差、温度漂移等因素，选择合适的晶体；对计时精度要求较严格的产品，建议选择外置高精度集成 RTC。

### 1.3.8 PWM

SCA200 有 10 个 PWM。

所有 PWM 接口不使用时均可复用为 IO 使用。

### 1.3.9 UART

SCA200 有 5 个 UART 接口，UART0 用于系统调试。如果使用 UART BOOT，需要 EN PIN(AE37)拉高，使用 UART0 BOOT。

## 1.4 特殊管脚说明

注意 SCA200 系统不支持 5V tolerance 的管脚，所有 GPIO 脚无防倒灌功能。

## 2 PCB 设计

### 2.1 电源与滤波电容设计

系统电源包括 CORE 电源 0.9V、PLL 电源 1.8V、IO 电源 1.8V 或 3.3V 等。滤波电容材质，推荐选择 X6 或者 X7。

#### 2.1.1 内核电源设计

CORE\_VDD\_0V9、CORE\_DDR 电源的滤波电容数量、容值、PCB 布局摆放都需要严格参考 SCA200\_CORE\_BOARD\_SC\_REF 的设计（如下附图）；10uF 电容摆放位置可以放在电源入口处。

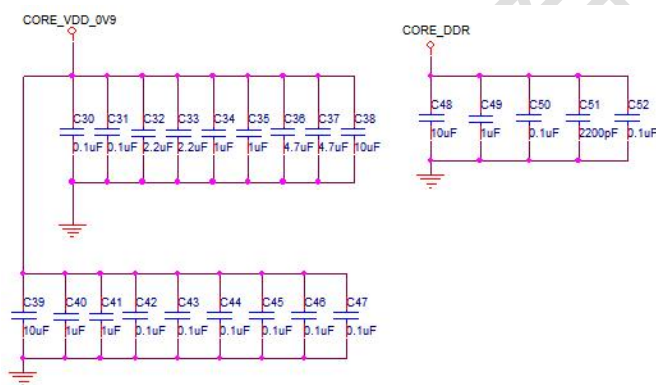


图 2-1 Core 原理图电源设计

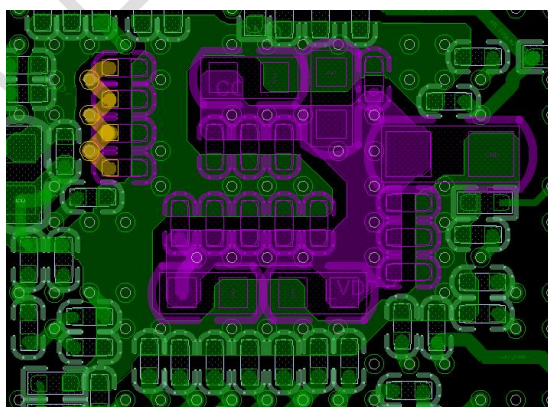


图 2-2 Core PCB 电源设计

## 2.1.2 DDR IO 电源设计

DDR IO 电源的滤波电容数量、容值、PCB 布局摆放都需要严格参考 SCA200\_CORE\_BOARD\_SC\_REF 的设计（如下附图）；10uF 电容摆放位置可以放在电源入口处。

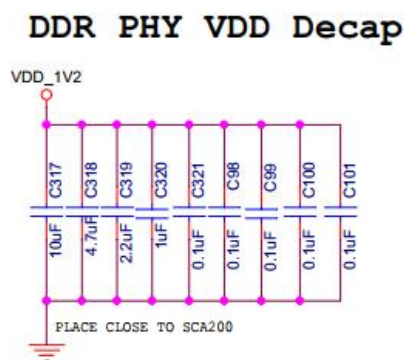


图 2-1 DDR IO 原理图电源设计

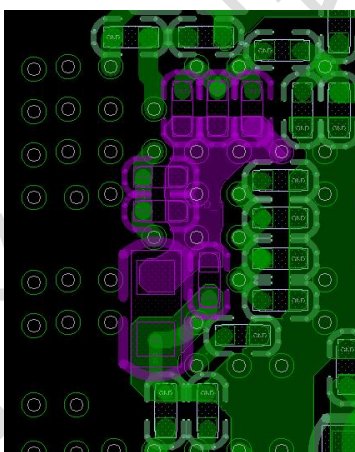


图 2-2 DDR IO PCB 电源设计

## 2.1.3 PLL 电源设计

PLL 电源和数字电源之间需要用磁珠进行隔离（如下附图）。



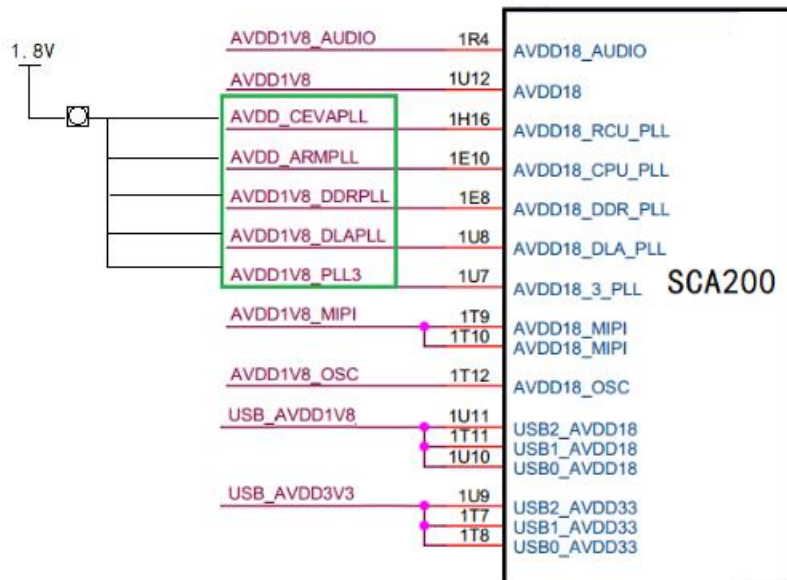


图 2-3 PLL 电源原理图设计

## 2.1.4 DDR\_VAA 电源设计

DDR VAA 管脚的电容接地必须以最近的回流路径到 SOC 的主地。磁珠和电容的封装可以选择 0201，电容 Value 值：0.1uF；磁珠 Value 值：120  $\Omega$  @100MHz 1.5A

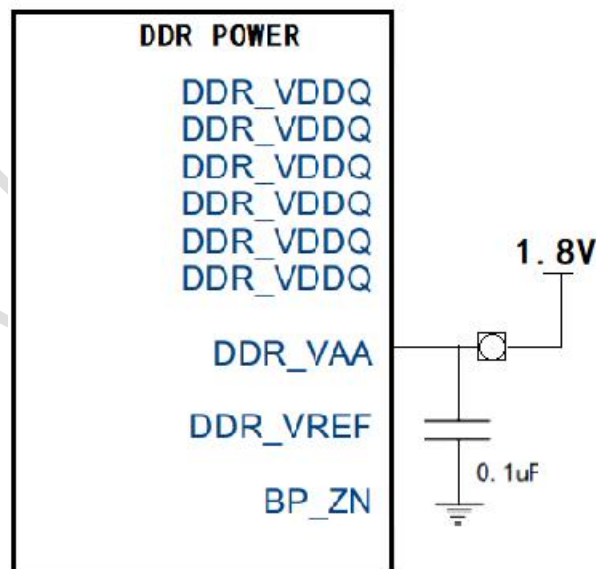


图 2-3-1 DDR\_VAA 电源原理图设计



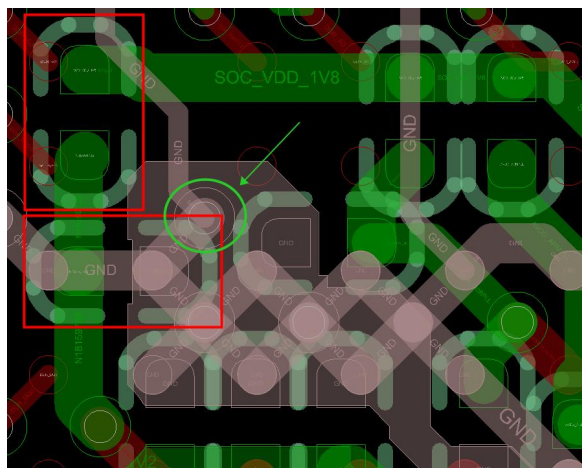


图 2-3-2 DDR\_VAA 电源 PCB 设计

## 2.2 晶体电路设计

SCA200 芯片时钟支持 24MHz 晶振和 24MHz 晶体，SCA200 芯片 RTC 时钟使用无源 32.768KHz。XTAL1\_OSC、XTAL2\_OSC、XTAL1\_RTC、XTAL2\_RTC 信号走线要单独包地,包地的线或者铜不建议和表层铺铜连在一起。晶振（晶体）布局摆放、走线下方都要保证有完整的 GND 参考平面，远离高速信号走线（如下附图，黄颜色晶振走线，蓝颜色 GND）。

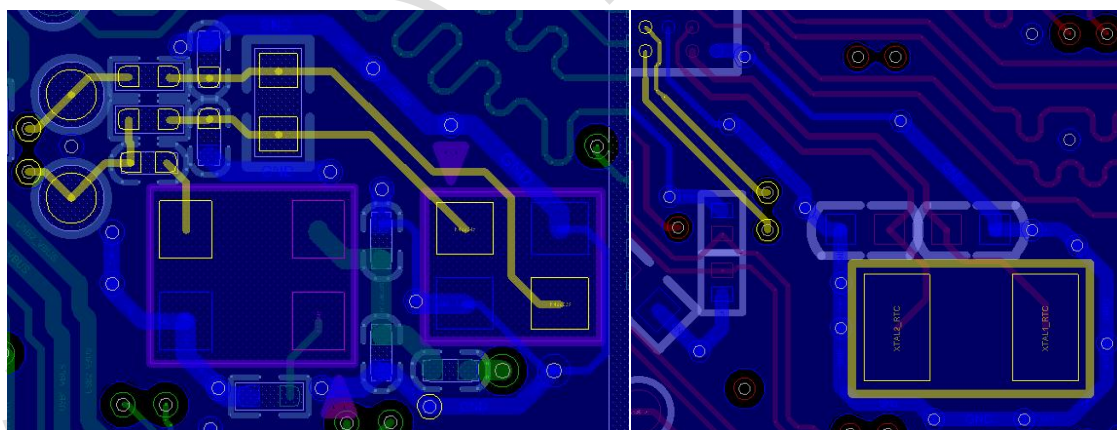


图 2-4 晶振 PCB 设计

## 2.3 DDR 电路设计

SCA200 芯片可以对接 16bit DDR4，32bit DDR4；最高速率支持 3200Mbps。

对接双颗粒 32bit DDR4 flyby 拓扑时, PCB Layout 必须完全拷贝

SCA200\_CORE\_BOARD\_SC\_REF 设计里面的 DDR 部分。

对接双颗粒 32bit DDR4 flyby 拓扑时, SCA200 到第一个 DDR 颗粒的地址线单根阻抗为 50 欧姆, 差分阻抗为 100 欧姆; 第一个 DDR 颗粒到第二个 DDR 颗粒的地址线单根阻抗为 60 欧姆, 差分阻抗为 110 欧姆。

对接双颗粒 32bit DDR4 T 型拓扑时, PCB Layout 必须完全拷贝 SCA200\_EKB\_V1\_0 设计里面的 DDR 部分。

对接双颗粒 32bit DDR4 T 型拓扑时, SCA200 到 DDR 颗粒的地址线单根阻抗为 50 欧姆, 差分阻抗为 100 欧姆。

## 2.4 FLASH 电路设计

### 2.4.1 SPI FLASH

SPI FLASH 信号设计要求如下:

避免信号走线穿越电源分割区域, 并保持信号参考平面完整。

相邻信号走线间距保持“3W”原则。

SFC\_CSN、SFC\_MOSI\_IO0、SFC\_MISO\_IO1、SFC\_WP\_IO2、SFC\_HOLD\_IO3 的线长以 SFC\_CLK 的线长为基准, 误差控制在  $\pm 1000\text{mil}$  以内。

上述等长约束为封装加 PCB 联合控制等长。

### 2.4.2 EMMC

EMMC 信号设计要求如下:

避免信号走线穿越电源分割区域, 并保持信号参考平面完整。

相邻信号走线间距保持“3W”原则。

EMMC\_DATA[0:3]、EMMC\_CMD 的线长以 EMMC\_CLK 的线长为基准, 误差控制在  $\pm 300\text{mil}$  以内。

上述等长约束为封装加 PCB 联合控制等长。

## 2.5 RMII 信号 PCB 设计

RMII 信号设计要求如下：

避免信号走线穿越电源分割区域，并保持信号参考平面完整。

相邻信号走线间距保持“3W”原则。

RMII\_TXD[0:1]、RMII\_TX\_EN 的线长以 RMII\_CLK 的线长为基准，误差控制在  $\pm 500\text{mil}$  以内。

RMII\_RXD[0:1]、RMII\_RX\_DV 的线长以 RMII\_CLK 的线长为基准，误差控制在  $\pm 500\text{mil}$  以内。

MDI0+、MDI0-、MDI1+、MDI1 差分线对长度控制在  $\pm 5\text{mil}$ ，差分阻抗控制在  $100\Omega$ 。

上述等长约束为封装加 PCB 联合控制等长。

## 2.6 MIPI RX/TX 信号 PCB 设计

MIPI 信号设计要求如下：

差分信号以 GND 为参考平面，并保持参考平面完整。

PCB 走线建议 4inch 以内，差分对 P/N 等长控制在 5mil 以内，对间以采样差分时钟为参考，等长控制在  $\pm 200\text{mil}$  以内。

MIPIRX 差分对的 PCB 走线控制差阻抗  $100\text{ohm} \pm 10\%$ 。

差分信号经过连接器时，相邻差分信号对之间必须使用 GND。

上述等长约束为封装加 PCB 联合控制等长(MIPI 差分走线等长的时候务必要将 SCA200 封装内部的 Pin delay 增加进去)。

MIPI 差分相邻走线间距需要保证“3W”原则，有条件的可以包地处理，包地走线或者包地覆铜上面需要多加 GND Via。

## 2.7 模拟音频电路设计

模拟音频电路走线设计要求如下：

AU\_REF 管脚上面的电容（如下图），要极力的靠近 SCA200 芯片对应的管脚，PCB 走线越短越好。

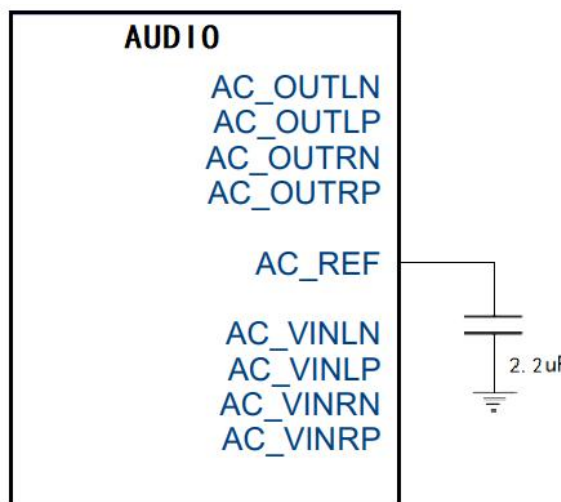


图 2-5 AU\_REF 原理图设计

模拟音频输入输出信号、MICBIAS 信号需以 GND 为参考平面，并保证参考平面完整。

模拟音频走线和相邻信号走线间距 >40mil 以上，有条件的可以包地处理，包地走线或者包地覆铜上面需要多加 GND Via。

模拟音频走线不建议打孔换层走线，如果因为其他因素需要打孔换层走线，需要在打孔的地方增加一个 GND Via，并且需要保证不同层的音频走线参考平面都是 GND。

## 2.8 SDIO 信号 PCB 设计

SDIO 信号设计要求如下：

相邻信号走线间距保证“3W”原则。

SDIO0/1\_CDATA[0:3]、SDIO0/1\_CCMD 的线长以 SDIO0/1\_CCLK\_OUT 的线长为基准，偏差控制在±500mil。

如果 SDIO0 需要支持 SDXC 卡，那么 SDIO0 的数据信号必须以 GND 为参考平面，并保持信号参考平面完整。

上述等长约束为封装加 PCB 联合控制等长。

## 2.9 USB2.0 信号设计

USB2.0 信号设计要求如下：

差分信号组内走线长度偏差控制在 $\pm 5\text{mil}$  以内，差分阻抗控制在  $90\Omega \pm 10\%$ 。

差分信号必须以 GND 为参考平面，并保持信号参考平面完整。

USB2.0 接口外接插座时，差分信号线走线长度不大于 5inch，过孔数量不超过 2 个，外挂线缆长度控制在 1.5 米以内；当 USB2.0 信号做板级级联时，差分信号线走线长度不大于 10inch，过孔数量不超过 2 个。

USB2.0 信号过孔附近需要放置一个 GND 过孔，以获取更好的信号质量。

避免邻近其他信号，并保证与其他信号的间距大于 20mil。

ESD 器件寄生电容建议小于 1pF。

上述等长约束为封装加 PCB 联合控制等长。

USBx\_TXRTUNE 管脚上面的电阻（如下附图），要极力的靠近 SCA200 芯片对应的管脚，PCB 走线越短越好。

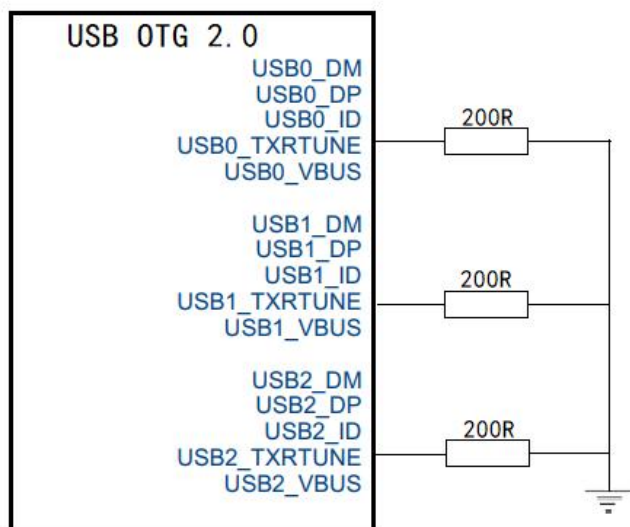


图 2-4 USBx\_TXRTUNE 设计

## 2.10 DVP IN/OUT 信号设计

避免走线穿越电源分割区域，走线下方必须有完整的 GND 参考平面。

相邻走线间距需要保证“3W”原则，“DVP\_PCLK”尽可能包地处理。

DVP 走线要远离 RGMII (RMII)走线，这两种不同信号之间会相互干扰。所以在 PCB Layout 上不要放在同一层布线，如果无法分层布线，尽可能的调开间距，中间用大片 GND 覆铜隔开，覆铜上面多加 GND Via。

同组 DVP 走线长度以 DVP\_PCLK 为基准，等长控制在 $\pm 500\text{mil}$ 。单根阻抗 50 欧姆。

## 3 整机 ESD 设计

### 3.1 背景

SCA200 是一颗高集成度的智能视觉 SoC，它集成了 4K 级 ISP、H264/265 视频编/解码器，可输出高质量的视频；另外，该芯片还集成了高性能的异构处理器平台，包括 4 核 ARM A53 处理器、单核 CEVA XM6 DSP、4TOPS 神经网络处理器 (NPU)。此平台支持的时钟频率比较高，整机对外界干扰更敏感，客户在整机设计时需要非常重视整机的 ESD 设计。SCA200 芯片本身的 ESD 测试是按照 JEDEC 标准，通过 2000V 测试，符合行业标准。而客户需要根据自己企业的 ESD 测试标准，对单板硬件设计和整机设计做评估。本文针对整机 ESD 设计风险，提供一些设计建议和风险规避措施。

### 3.2 整机 ESD 设计

关于系统 24MHz 时钟设计，要求客户选用 4pin 贴片晶振，其中 2 个 GND 管脚与单板地充分连接，增强系统时钟抗干扰能力。其他的走线远离晶振区域，不要在晶振底下有走线通过。当使用 24M 晶体时，需要尽量靠近主芯片。

建议 PCB 器件布局设计时，小系统部分离金属接口部分越远，整机 ESD 性能越好。并且，金属接口要与金属外壳紧密连接，必要时可通过导电棉来提高整机的 ESD 性能。



常用的 Debug 串口建议通过电平转换芯片后，在连接器处增加抗 ESD 器件。单板对外的接插件（例如音视频输入输出接口、USB、网口等端口），需要增加 ESD 保护器件，加强接口的抗干扰能力。

整机设计为浮地设备时，单板金属化接口部分严禁采用分割地设计。

单板定位孔采用金属化过孔，并与单板 GND 连接，确保单板 GND 通过螺丝孔与金属外壳充分连接。

接口连接器外壳推荐采用金属外壳，且与整机金属外壳充分连接（例如带定位螺丝的 HDMI 口和 USB 口，带弹片的 RJ45 口等），必要时甚至采用导电柱或者导电泡棉来实现连接器与外壳的充分连接。

以上措施请根据自身企业标准和工程经验综合评估。

## 4 芯片散热设计

### 4.1 最大功耗

仿真预估最大功耗为 TBD W，该数据仅供参考，最终的功耗数据以最新发布的《SCA200 功耗测试报告》为准。