



国家电网
STATE GRID

北京智芯微电子科技有限公司
BEIJING SMARTCHIP MICROELECTRONICS TECHNOLOGY CO., LTD.



SCA2002T 核心模组硬件开发指南

文档版本 01

发布日期 2023-11-04

前言

概述

本文档主要介绍 SCA2002T 核心模组硬件开发指南。

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2023-11-4	01	第一版发布

目录

1 概述	4
1.1 应用场景	4
2 软硬件参数	5
2.1 硬件基本功能模块	5
2.2 硬件参数	5
2.3 硬件接口说明	6
2.4 硬件外围接口	13
2.4.1 网络接口	13
2.4.2 视频接口	14
2.4.2.1 MIPI 接口	14
2.4.2.2 DVP 接口	14
2.4.3 SPI 和 I2C 接口	15
2.4.4 SDIO 接口	16
2.4.5 USB2.0 接口	16
2.4.6 SAR ADC	16
2.4.7 UART 接口	16
2.4.8 音频接口	17
2.4.8.1 模拟音频接口	17
2.4.8.2 I2S 音频接口	17
2.4.9 PWM 接口	17
2.4.10 GPIO	17
2.5 软件参数	17
3 机械尺寸	18
3.1 核心模组实物图	18
SCA2002T 核心模组实物图	18
3.2 结构尺寸	19
3.3 核心模组对外接口位号图	19
4 可靠性	20
4.1 ESD 防护	20

1 概述

SCA2002T 人工智能处理器针对嵌入式人工智能、特别是在嵌入式视觉处理，提供高性能、高功耗比、高集成度、高扩展性的芯片解决方案。采用多种、多核处理器结合的异构处理器架构，集成了高性能 ISP、视频编解码、高性能多种高速接口。

SCA2002T 核心模组是基于 SCA2002T 高集成度的智能视觉 SoC 芯片设计的，核心模组集成了 SCA2002T，DDR4，EMMC，电源芯片，硬件加密芯片等外围电路，通过 BTB 连接器引出 MIPI CSI、MIPI DSI、DVP IN，GMAC、USB、SDIO、SPI、UART、I2C、AUDIO、SAR ADC 等接口，强大算力和高画质保证其可以兼顾深度学习和传统 CV 算法，支持视觉、语音、自然语言处理以及传统机器学习等高度多样化的人工智能应用，实现各种业务的边缘端智能化解决方案。

1.1 应用场景

SCA2002T 核心模组是一个视频处理及神经网络计算加速性能强大的最小系统。客户可以基于此模组，外扩多种外围设备，如：

支持 4 路 image sensor 接入，可支持多路高清视频数据接入，新一代 ISP，支持 3D 降噪，鱼眼矫正。

支持多路视频 H.265/264 编码，最高可支持 4K@60fps。

支持多路视频解码，解码性能可达 4K@60fps（与编码性能互斥）。

支持 4Tops@int8 NPU 算力，可支持 1-8 路智能分析应用。

支持 USB 接口，可扩展 SATA 硬盘，支持外扩 4G/WIFI/GPS 等。

基于以上特性，可应用于端侧、边侧等多种人工智能视觉处理场景。



图 1-应用场景

2 软硬件参数

2.1 硬件基本功能模块

核心模组框图如下所示：

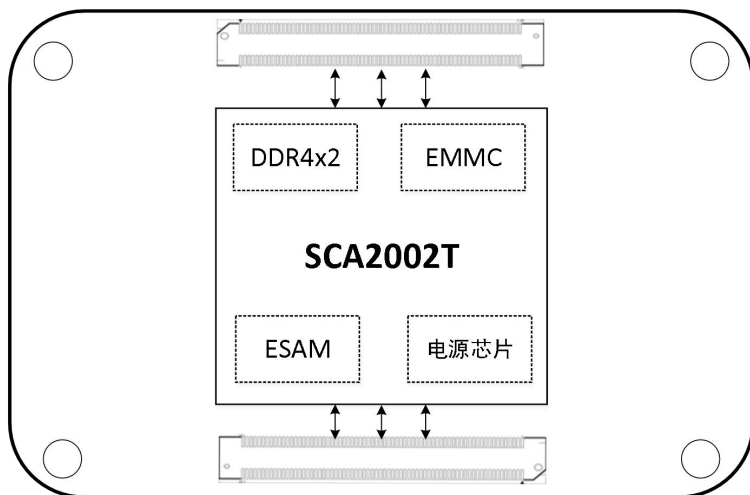


图 2 核心模组框图

2.2 硬件参数

CPU	SCA2002T
	4-core CortexA53@1.2GHz
	4TOPS (INT8)
内存	1GB, DDR4, 16bits, 2400MHz
存储空间	8GB, EMMC5.1, HS400, 400MB/s
视频编解码	H.264 , H.265; H265/H264 编解码最大分辨率: 8192x8192 4096x2160@60fps+1920*1080@60fps+D1@60fps 编码 4096x2160@60fps+1920*1080@60fps+D1@60fps 解码 4096x2160@30fps 编码 + 4096x2160@30fps 解码
图片解码	JPEG 编解码的最大分辨率: 32768x32768 JPEG 编解码最大性能: 480Mpps(YUV420), 或 300Mpps(YUV422)
其它硬件资源	2x MIPI-CSI 接口, 2 组 1C2D 可组成 1C4D, CLK0/1 需短接
	1x MIPI-DSI 接口, 1C4D
	2x DVP IN, PortA 信号与 PortB 的信号不可以混搭组合;
	1x DVP OUT, PortC 信号
	1x 千兆以太网, 支持 100M/1000M bps 全双工/半双工模式, 也支持 RMII 时, SIM5 电源域需切换为 3.3V (核心板上有跳选电阻)
	1x QSPI 接口, 支持 1/ 2/ 4 线模式; 支持 3Byte/ 4Byte 地址模式; 支持 NAND

	flash 和 NOR flash; 支持最大容量 4GB; 支持 1.8V/3.3V IO 电平的 Flash 器件
	3x USB2.0 OTG 接口 (USB0, DEBUG 接口)
	3x SDIO3.0 接口 (SD2) 可支持 UFS 高速卡, UFS 模式时需切换为 1.8V
	2 路单端/差分音频输入, 2 路单端/差分音频输出接口
	8 通道 10 bit SAR ADC 接口, 最高电压支持 1.8V
	4x UART (UART0 调试串口, 不可用作通用串口)
	I2C, GPIO, I2S, CAN, PWM 为复用引脚
尺寸	65×45mm
连接器	间距 0.6mm 的 140PIN 的 BTB 连接器, 型号 FX10B-168P-SV4(83) 
功耗	≤10W
散热方式	散热片

2.3 硬件接口说明

SCA2002T 核心模组对外接口 BTB 连接器 J1 信号定义说明

管脚序号	电源阈	主功能	主功能说明
1	SIM1_1.8V	DVP_IN_DATA0_3_B	DVP IN PORT B: 可支持 8bit/16bit 注意: PortA 信号和 PortB 信号不能混合搭配
3	SIM1_1.8V	DVP_IN_DATA0_2_B	
5	SIM1_1.8V	DVP_IN_DATA0_6_B	
7	SIM1_1.8V	DVP_IN_DATA0_7_B	
9	SIM1_1.8V	DVP_IN_DATA0_0_B	
11	SIM1_1.8V	DVP_IN_DATA0_1_B	
13	SIM1_1.8V	DVP_IN_PVSYNCO_B	
15	SIM1_1.8V	DVP_IN_DATA0_4_B	
17	SIM1_1.8V	DVP_IN_DATA0_5_B	
19	SIM1_1.8V	DVP_IN_HSYNCO_B	
21	SIM1_1.8V	DVP_IN_DE0_B	
23	SIM1_1.8V	DVP_IN_CLK0_B	
25		GND	
2	SIM1_1.8V	DVP_IN_DATA1_4_B	DVP IN PORT B: 可支持 8bit/16bit 注意: PortA 信号和 PortB 信号不能混合搭配
4	SIM1_1.8V	DVP_IN_DATA1_0_B	
6	SIM1_1.8V	DVP_IN_DATA1_7_B	
8	SIM1_1.8V	DVP_IN_DATA1_6_B	

10	SIM1_1.8V	DVP_IN_DATA1_3_B	
12	SIM1_1.8V	DVP_IN_DATA1_5_B	
20	SIM1_1.8V	DVP_IN_DATA1_1_B	
24	SIM1_1.8V	DVP_IN_DATA1_2_B	
14	SIM1_1.8V	GPIO	GPIO
16	SIM1_1.8V	GPIO	GPIO
18	SIM1_1.8V	GPIO	GPIO
22	SIM1_1.8V	GPIO	GPIO
62		GND	
63	SIM0_1.8V	DVP_IN_DATA0_7_A	DVP IN PORT A: 可支持 8bit/16bit 注意: PortA 信号和 PortB 信号不能混合搭配
65	SIM0_1.8V	DVP_IN_DATA0_5_A	
67	SIM0_1.8V	DVP_IN_DATA0_6_A	
69	SIM0_1.8V	DVP_IN_DATA0_4_A	
71	SIM0_1.8V	DVP_IN_DATA0_3_A	
73	SIM0_1.8V	DVP_IN_DATA0_1_A	
75	SIM0_1.8V	DVP_IN_DATA0_2_A	
77	SIM0_1.8V	DVP_IN_DATA0_0_A	
79	SIM0_1.8V	DVP_IN_HSYNC1_A	
81	SIM0_1.8V	DVP_IN_DE1_A	
83	SIM0_1.8V	DVP_IN_VSYNC1_A	
85	SIM0_1.8V	DVP_IN_CLK1_A	
87		GND	
64	SIM0_1.8V	DVP_IN_DATA1_6_A	DVP IN PORT A: 可支持 8bit/16bit 注意: PortA 信号和 PortB 信号不能混合搭配
66	SIM0_1.8V	DVP_IN_DATA1_4_A	
68	SIM0_1.8V	DVP_IN_DE0_A	
70	SIM0_1.8V	DVP_IN_DATA1_7_A	
72	SIM0_1.8V	DVP_IN_DATA1_3_A	
74	SIM0_1.8V	DVP_IN_DATA1_0_A	
76	SIM0_1.8V	DVP_IN_DATA1_2_A	
78	SIM0_1.8V	DVP_IN_HSYNC0_A	
80	SIM0_1.8V	DVP_IN_DATA1_1_A	
82	SIM0_1.8V	DVP_IN_VSYNC0_A	
84	SIM0_1.8V	DVP_IN_CLK0_A	
86	SIM0_1.8V	DVP_IN_DATA1_5_A	
61		GND	
27	SIM4_1.8V	SD2_CARD_DET_N	SD2 卡检测信号
45	SIM4_1.8V	SD2_SW_1P8V	SDIO2 IO 电压的切换控制信号
44	SIM4_1.8V	SD2_CARD_WP	SD2 写保护信号
60	SIM4_1.8V	SD2_CPOWER	SD2 电源控制信号
119	SDIO2_3V1	SD2_CDATA_2	SDIO2 接口
121	V8	SD2_CDATA_3	SD/SDIO3.0

123		SD2_CDATA_0	可支持 UFS 高速卡
125		SD2_CCLK_OUT	
127		SD2_CDATA_1	
129		SD2_CCMD	
131		GND	
37	SIM4_1.8V	SD1_SW_1P8V	SDIO1 IO 电压的切换控制信号
56	SIM4_1.8V	SD1_CARD_WP	SD1 写保护信号
58	SIM4_1.8V	SD1_CARD_DET_N	SD1 卡检测信号
46	SIM4_1.8V	SD1_CPOWER	SD1 电源控制信号
105	SDIO1_3V1 V8	SD1_CDATA_1	SDIO1 接口 SD/SDIO3.0 可支持 UFS 高速卡
107		SD1_CDATA_0	
109		SD1_CDATA_2	
111		SD1_CDATA_3	
113		SD1_CCMD	
115		SD1_CCLK_OUT	
42	SIM4_1.8V	SD0_SW_1P8V	SDIO0 IO 电压的切换控制信号
48	SIM4_1.8V	SD0_CPOWER	SD0 电源控制信号
52	SIM4_1.8V	SD0_CARD_DET_N	SD0 卡检测信号
54	SIM4_1.8V	SD0_CARD_WP	SD0 写保护信号
117		GND	
41	SIM4_1.8V	I2S0_CLK	I2S0 信号
43	SIM4_1.8V	I2S0_SDO_0	
89	SIM4_1.8V	I2S0_SDI_0	
91	SIM4_1.8V	I2S0_WS	
103		GND	
29	SIM4_1.8V	GPIO	GPIO 注意：只有 GPIO Name 为 GPIOx_x(后面的 $x \leq 7$) 这组 GPIO 有中断功能 ，并且不具备防倒灌功能
31	SIM4_1.8V		
33	SIM4_1.8V		
35	SIM4_1.8V		
50	SIM4_1.8V		
53	SIM4_1.8V		
55	SIM4_1.8V		
57	SIM4_1.8V		
90	SIM4_1.8V		
97	SIM4_1.8V		
99	SIM4_1.8V		
101	SIM4_1.8V		
120	SIM4_1.8V		
26		GND	
39	SIM4_1.8V	UART2_RXD	UART 接口
104	SIM4_1.8V	UART1_RXD	
106	SIM4_1.8V	UART1_TXD	

124	SIM4_1.8V	UART4_RXD	
126	SIM4_1.8V	UART4_TXD	
40		GND	
47	SIM4_1.8V	PWM5	PWM 主时钟为 150MHz
49	SIM4_1.8V	PWM6	
51	SIM4_1.8V	PWM4	
59	SIM4_1.8V	PWM1	
98	SIM4_1.8V	PWM3	
100	SIM4_1.8V	PWM2	
102	SIM4_1.8V	PWM0	
88		GND	
28	SIM3_1.8V	QSPI_DATA_3	支持 1/ 2/ 4 线模式； 支持 3Byte/ 4Byte 地址模式； 支持 NAND flash 和 NOR flash； 支持最大容量 4GB； 支持 1.8V/3.3V IO 电平的 Flash 器件。
30	SIM3_1.8V	QSPI_DATA_2	
32	SIM3_1.8V	QSPI_DATA_1	
34	SIM3_1.8V	QSPI_DATA_0	
36	SIM3_1.8V	QSPI_CS_N	
38	SIM3_1.8V	QSPI_SCK	
92	SIM4_1.8V	BOOT_CFG_1	BOOT_CFG PIN 用户无需配置
94	SIM4_1.8V	BOOT_CFG_2	
96	SIM4_1.8V	BOOT_CFG_0	
108	SIM4_1.8V	I2C1_SCLK	I2C 接口
122	SIM4_1.8V	I2C1_SDA	
110	SIM4_1.8V	I2C0_SDA	
112	SIM4_1.8V	I2C0_SCLK	
114	SIM4_1.8V	I2C3_SCLK	
116	SIM4_1.8V	I2C3_SDA	
93	SIM4_1.8V	Sensor_MCLK0	Sensor 工作时钟 0 输出:相同 sensor 相同工作模式，可共用
95	SIM4_1.8V	Sensor_MCLK1	Sensor 工作时钟 1 输出:相同 sensor 相同工作模式，可共用
118	SIM4_1.8V	SCA200_WDT	看门狗复位输出
128		NC	NC
130		VBAT_IN	RTC 单元电源输入，可直接接到 1.8V
132		GND	
133		VDD_5V_IN	电源输入，建议预留 4A 以上能力 4.5-5.5V
135		VDD_5V_IN	
137		VDD_5V_IN	
139		VDD_5V_IN	
134		VDD_5V_IN	
136		VDD_5V_IN	
138		VDD_5V_IN	
140		VDD_5V_IN	

SCA2002T 核心模组对外接口 BTB 连接器 J2 信号定义说明

管脚序号	电源阈	主功能	主功能说明
1	NC	NC	NC
3	3.3V	UART0_RXD	调试串口，不建议用作通用串口
7	3.3V	UART0_TXD	
5	SIM4_1.8V	UART3_RXD	UART
9	SIM4_1.8V	UART3_TXD	
81		GND	
15	SIM2_1.8V	DVP_OUT_DATA1_2_C	DVP 并行口输出图像数据，在 24bit 输出时，需要此 8bit 信号
17	SIM2_1.8V	DVP_OUT_DATA1_0_C	
19	SIM2_1.8V	DVP_OUT_DATA1_1_C	
21	SIM2_1.8V	DVP_OUT_DATA1_6_C	
23	SIM2_1.8V	DVP_OUT_DATA1_7_C	
25	SIM2_1.8V	DVP_OUT_DATA1_5_C	
27	SIM2_1.8V	DVP_OUT_DATA1_3_C	
29	SIM2_1.8V	DVP_OUT_DATA1_4_C	
31		GND	
16	SIM2_1.8V	DVP_OUT_DATA0_1_C	DVP 并行口输出图像数据， 可以支持 BT1120、BT656 时序，可支持 8bit, 16bit, 24bit 输出应用，在 24bit 输出时，需要额外的 8bit 信号 (DVP_EXT[7:0])
18	SIM2_1.8V	DVP_OUT_DATA0_2_C	
20	SIM2_1.8V	DVP_OUT_DATA0_0_C	
22	SIM2_1.8V	DVP_OUT_DATA0_6_C	
24	SIM2_1.8V	DVP_OUT_DATA0_3_C	
26	SIM2_1.8V	DVP_OUT_DATA0_4_C	
28	SIM2_1.8V	DVP_OUT_DATA0_5_C	
30	SIM2_1.8V	DVP_OUT_PCLK0_C	
32	SIM2_1.8V	DVP_OUT_DATA0_7_C	
11	SIM2_1.8V	DVP_OUT_DE0_C	
13	SIM2_1.8V	DVP_OUT_HSYNCO_C	
34	SIM2_1.8V	DVP_OUT_VSYNCO_C	
71		GND	
33	SIM2_1.8V	DVP_EXT_OUT_1	DVP 并行口输出图像数据， 可以支持 BT1120、BT656 时序，可支持 8bit, 16bit, 24bit 输出应用，在 24bit 输出时，需要额外的 8bit 信号 (DVP_EXT[7:0])
35	SIM2_1.8V	DVP_EXT_OUT_0	
37	SIM2_1.8V	DVP_EXT_OUT_2	
39	SIM2_1.8V	DVP_EXT_OUT_4	
41	SIM2_1.8V	DVP_EXT_OUT_3	
43	SIM2_1.8V	DVP_EXT_OUT_5	
45	SIM2_1.8V	DVP_EXT_OUT_6	

47	SIM2_1.8V	DVP_EXT_OUT_7	
49		GND	
51	1.8V	SCA200_ADCIN_7	内置 10bit SAR ADC 最高电压支持 1.8V
53		SCA200_ADCIN_4	
55		SCA200_ADCIN_2	
57		SCA200_ADCIN_6	
70		SCA200_ADCIN_5	
72		SCA200_ADCIN_0	
74		SCA200_ADCIN_1	
76		SCA200_ADCIN_3	
59		GND	
61		USB1_DP	USB host
63		USB1_DM	
68		USB1_ID	
56		USB1_VBUS	
65		USB0_ID	
67		USB0_DP	
69		USB0_DM	
66		USB0_VBUS	
50		USB2_DP	
52		USB2_DM	
54		USB2_VBUS	
58		USB2_ID	
36		GND	
73		MIPITX0_CLKN	MIPI DSI 输出接口
75		MIPITX0_CLKP	
77		MIPITX0_D1N	
79		MIPITX0_D1P	
80		MIPITX0_D3N	
82		MIPITX0_D3P	
84		MIPITX0_D2P	
86		MIPITX0_D2N	
88		MIPITX0_D0N	
90		MIPITX0_D0P	
92		GND	
83		MIPIRX1_D1N	MIPI CSI 输入接口, 支持 1C2D 模式; MIPI0 和 MIPI1 组合可组成 1C4D, 组合内两个 CLK Lane 需要连在一起
85		MIPIRX1_D1P	
87		MIPIRX1_CLKN	
89		MIPIRX1_CLKP	
91		MIPIRX1_D0N	
93		MIPIRX1_D0P	

95		GND	
97		MIPIRX3_D1N	MIPI CSI 输入接口, 支持 1C2D 模式; MIPI2 和 MIPI3 组合可组成 1C4D, 组合内两个 CLK Lane 需要连在一起
99		MIPIRX3_D1P	
101		MIPIRX3_CLKN	
103		MIPIRX3_CLKP	
105		MIPIRX3_D0N	
107		MIPIRX3_D0P	
109		GND	
111		MIPIRX2_D1N	MIPI CSI 输入接口, 支持 1C2D 模式; MIPI2 和 MIPI3 组合可组成 1C4D, 组合内两个 CLK Lane 需要连在一起
113		MIPIRX2_D1P	
115		MIPIRX2_CLKN	
117		MIPIRX2_CLKP	
119		MIPIRX2_D0N	
121		MIPIRX2_D0P	
123		GND	
94		MIPIRX0_D1N	MIPI CSI 输入接口, 支持 1C2D 模式; MIPI0 和 MIPI1 组合可组成 1C4D, 组合内两个 CLK Lane 需要连在一起
96		MIPIRX0_D1P	
98		MIPIRX0_CLKN	
100		MIPIRX0_CLKP	
102		MIPIRX0_D0P	
104		MIPIRX0_D0N	
106		GND	
125		AUDIO_OUTRN	内置 audio codec 支持差分/单端输入
127		AUDIO_OUTRP	
129		AUDIO_OUTLN	
131		AUDIO_OUTLP	
133		AUDIO_VINRN	
135		AUDIO_VINRP	
137		AUDIO_VINLP	
139		AUDIO_VINLN	
14		GND	
2	SDIO0_3V1 V8	SD0_CDATA_3	SDIO0 接口 SD/SDIO3.0 可支持 UFS 高速卡
4		SD0_CDATA_0	
6		SD0_CCMD	
8		SD0_CCLK_OUT	
10		SD0_CDATA_1	
12		SD0_CDATA_2	
60		SDIO0_3V1V8	SDIO0 的 I/O 电压, UFS 模式时需切换为 1.8V
62		SDIO2_3V1V8	SDIO2 的 I/O 电压, UFS 模式时需切换为 1.8V
64		SDIO1_3V1V8	SDIO1 的 I/O 电压, UFS 模式时需切换为 1.8V
78		GND	

38	SIM2_1.8V	JTAG_TCK	支持 JTAG 和 SWD 两种调试模式，考虑到复用关系，建议使用 SWD 模式
40	SIM2_1.8V	JTAG_TMS	
42	NC	NC	NC
44	SIM2_1.8V	USB_BOOT_EN	高电平使能
46	SIM2_1.8V	UART_BOOT_EN	高电平使能
48		GND	
108	SIM5_1.8V	GBE_TXEN	<p>千兆 GMAC</p> <p>RGMII 接口，需外接千兆 PHY</p> <p>也可以支持 RMII，即百兆网口</p> <p>支持 RMII 时，SIM5 电源域需切换为 3.3V</p> <p>（核心板上有跳选电阻）</p>
110	SIM5_1.8V	GBE_TXC	
112	SIM5_1.8V	GBE_TXD0	
114	SIM5_1.8V	GBE_TXD1	
116	SIM5_1.8V	GBE_TXD2	
118	SIM5_1.8V	GBE_TXD3	
120	SIM5_1.8V	GBE_RXC	
122	SIM5_1.8V	GBE_RXDV	
124	SIM5_1.8V	GBE_RXD1	
126	SIM5_1.8V	GBE_RXD0	
128	SIM5_1.8V	GBE_RXD2	
130	SIM5_1.8V	GBE_RXD3	
132	SIM5_1.8V	GBE_MDC	
134	SIM5_1.8V	GBE_MDIO	
136	SIM5_1.8V	GBE_RESET	
138	SIM5_1.8V	GBE_INT	
140	SIM5_1.8V	GBE_CLK_OUT	

注：信号管脚复用说明请参考《SCA2002T_BTBT 核心板信号说明-v1_0》

2.4 硬件外围接口

2.4.1 网络接口

核心模组支持 1 个千兆网口。

千兆网口支持 RMII 模式和 RGMII 模式，不支持 MII 模式。RMII 模式，IO 电平设计为 3.3V（软件配置也要修改为 3.3V），通过修改核心模组上 SIM5 电源域的设置电阻实现。RGMII 模式，IO 电平设计为 1.8V（软件配置也要修改为 1.8V），通过修改核心模组上 SIM5 电源域的设置电阻实现；RGMII 信号设计规格：

信号		信号描述
RGMII_TXC	RMII_TXC	信号在源端串联 33Ω 电阻，走线长度不能超过 6000mil。
RGMII_TXD [0:3]	RMII_TXD [0:1]	信号直连，走线长度不能超过 6000mil。
RGMII_TX_CTL	RMII_TX_EN	信号直连，走线长度不能超过 6000mil。

RGMII_RXC	RMII_RXC	信号在源端串联 33 Ω 电阻，走线长度不能超过 6000mil。
RGMII_RXD[0:3]	RMII_RXD[0:1]	信号直连，走线长度不能超过 6000mil。
	RMII_RX_DV	信号直连，走线长度不能超过 6000mil。
MDC	MDC	信号在源端串联 33 Ω 电阻，走线长度不能超过 6000mil。
MDIO	MDIO	信号直连，走线长度不能超过 6000mil，接 1.5k Ω 上拉电阻。
GBE_CLK	GBE_CLK	信号在源端串联 33 Ω 电阻，走线长度不能超过 6000mil。

信号设计要求建议：MDIO+、MDIO-、MDI1+、MDI1 差分线对长度控制在 $\pm 5\text{mil}$ ，差分阻抗控制在 100 Ω ；RMII_TXD[0:3]、RMII_TX_EN 的线长以 RMII_CLK 的线长为基准，误差控制在 $\pm 300\text{mil}$ 以内。RMII_RXD[0:3]、RMII_RX_DV 的线长以 RMII_CLK 的线长为基准，误差控制在 $\pm 300\text{mil}$ 以内。

2.4.2 视频接口

2.4.2.1 MIPI 接口

核心模组支持 MIPI-CSI 接口和 MIPI-DSI 接口。

MIPI-CSI 接口支持如下三种配置中的一种：1/2/3/4 路 sensor 输入（1C2D 模式）；1/2 路 sensor 输入（1C4D 模式，CLK0/1 需短接），1/2 路（1C2D 模式）+1 路（1C4D 模式）sensor 输入。每条 lane 最高可到 2.5Gbps，最高支持 4K@60fps。

MIPI-DSI 接口包括 1 个 clock lane，4 个 data lane。每条 lane 最高传输速率 2.5Gbps，最高支持 4K@30fps RGB888/YUV444 输出。

MIPI 信号设计要求如下：差分信号以 GND 为参考平面，并保持参考平面完整。PCB 走线建议 2000mil 以内，差分对 P/N 等长控制在 $\pm 5\text{mil}$ 以内，对间以采样差分时钟为参考，等长控制在正负 $\pm 100\text{mil}$ 以内。MIPI RX/TX 差分对的 PCB 走线控制差分阻抗 100 $\Omega \pm 10\%$ 。MIPI 相邻差分对走线间距需要保证“3W”原则。

2.4.2.2 DVP 接口

DVP 输入接口支持最高支持 4 路 BT656/2 路 BT1120/1 路 BT1120+2 路 BT656。每路 BT656/1120 最高支持 4VC，最多支持 8 路 1080P@30fps 图像输入到内部处理单元。最高支持 4 路 8bits/2 路 16bits/1 路 16bits+2 路 8bits 外同步输入，支持 RAW8/10/12/14，YUV422_8。

DVP in 对应的 DVP PortA 和 PortB 使用注意点如下：PortA 信号与 PortB 的信号不可以混搭组合；PortA/PortB 可支持 8bit/16bit，以及分别可支持内/外同步；PortA/PortB 在 8bit 应用的时候，分别支持 2 路；PortA 在 16bit 应用的时候，只需要 1 路 PCLK，建议选择 PCLK0_A；PortB 在 16bit 应用的时候，只需要 1 路 PCLK，可以选择 PCLK0_B，也可以选择 PCLK1_B；如果设置为 1.8V IO，PortA/PortB 最大时钟频率为 150MHz，双沿采样；1.8V IO（16bit 应用，可达 4K@30fps）；如果设置为 3.3V IO，接口最高 50Mhz。

DVP 输出对应 DVP PortC（仅此接口支持输出），可以支持 BT1120、BT656 时序，可支持 8bit，16bit，24bit 输出应用。

DVP PortC 输出位宽	输出数据格式
8bit	YCbCr422
16bit	YCbCr422、RGB565
24bit	RGB888

在 24bit 输出时，需要额外的 8bit 信号（DVP_EXT[7:0]），最大的时钟频率是 150MHz，单沿输

出（LCD 模式最大 1080p@60fps）。在 8bit/16bit 应用输出时，最大的时钟频率是 150MHz，支持双沿输出（16bit 应用，最大可支持 4K@30fps）。PortC 预留了两个 PCLK0_C/PCLK1_C，两个 PCLK0/1_C 都可选择作为输出的 PCLK。当该组 IO 设置为 3.3V 时，最高速率只能到 50Mhz。

DVP 信号设计要求如下：避免走线穿越电源分割区域，走线下方必须有完整的 GND 参考平面。相邻走线间距需要保证“3W”原则，“DVP_PCLK”尽可能包地处理。同组 DVP 走线长度以 DVP_PCLK 为基准，等长控制在 $\pm 300\text{mil}$ 。

2.4.3 SPI 和 I2C 接口

QSPI 接口：支持 1/2/4 线模式；支持 3Byte/ 4Byte 地址模式；支持 NAND flash 和 NOR flash；支持最大容量 4GB；支持 1.8V/3.3V IO 电平的 Flash 器件。

SPI FLASH 设计方式如下：

信号	设计方法
SFC_CLK	时钟一驱一，主芯片端串接 33 Ω 电阻。信号走线长度不超过 2000mil。
SFC_HOLD	引脚需要上拉，推荐电阻阻值为 4.7k Ω 。
SFC_CS	引脚需要上拉，推荐电阻阻值为 4.7k Ω 。
SFC_WP	引脚需要上拉，推荐电阻阻值为 4.7k Ω 。
SI 与 SO	使用 QSPI Flash 及 SPI Flash 时注意：SPI 控制器和 QSPI 控制器的 SI 与 SO 是相反的，具体接法见下图。

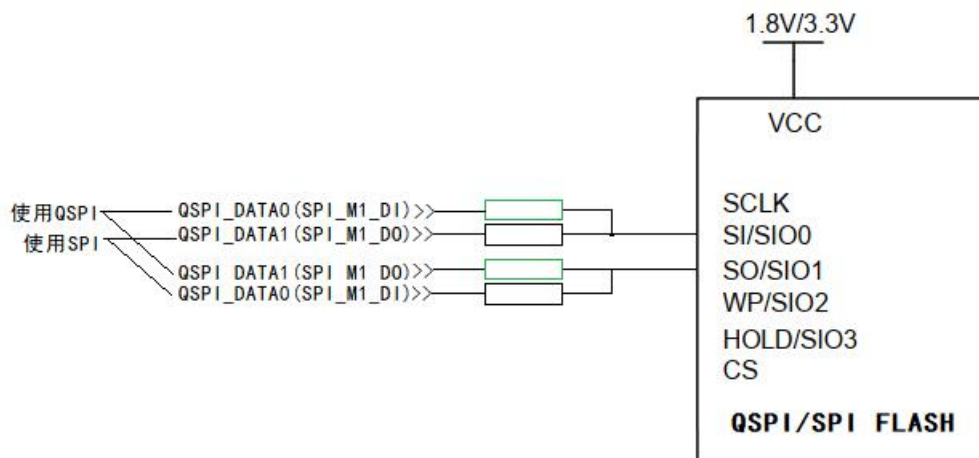


图 3 Flash SISO 对于两种控制器的设计电路

核心模组有 2 个 SPI master 接口，2 个 SPI slave 接口。

SPI FLASH 信号设计要求如下：避免信号走线穿越电源分割区域，并保持信号参考平面完整。SPIx CS0、SPIx DI、SPIx DO 的线长以 SPIx CLK 的线长为基准，误差控制在 $\pm 500\text{mil}$ 以内。

核心模组有 5 个 I2C 接口，支持 master/slave 可配置，I2C 信号推荐外接 2.2K 上拉电阻，上拉到对应电源域。

2.4.4 SDIO 接口

核心模组支持 3 组 SDIO 接口，分时复用，支持单个最大容量为 2TB。IO 电压为 3.3V 时，最大速率 25MB/s；IO 电压为 1.8V 时，最大速率为 50MB/s，SDIO 的 IO 电压为 SDIOx_3V1V8，由客户根据实际应用供电。

SDx_DETECT_N, SDx_WPRT, SDx_CPOWER 电压域不同于 SDIO 的电压域，为 SIM4 电源域 3.3V。

SDIO 信号设计方法：

信号	信号描述
SDIOx_3V1V8	在源端接 1 个 1uF 的电容到地。
SDIOx_CCLK_OUT	在源端串联 33Ω电阻，走线长度不能超过 2000mil。
SDIOx_CDATA[0:3]	在源端串联 33Ω电阻，走线长度不能超过 2000mil，预留 47KΩ上拉电阻。
SDIOx_CMD	走线长度不超过 500mil 时，SOC 端可不匹配电阻。
SDIOx_CARD_DETECT	在对接 SD 卡时，SDIO0_CARD_DETECT 信号必须外接上拉到 3.3V，阻值推荐 10kΩ。

SD card 强制支持 3.3V 低速模式，若方案有高速模式的需求，需要增加 IO 电源切换电路，SDx_SW_1P8V、SDx_CPOWER 为 IO 电压的切换控制信号和 SDx 卡电源控制信号，切换电路参考 SCA2002T EVB 板卡。

SDIO 信号设计要求如下：SDIOx_CDATA[0:3]、SDIOx_CCMD 的线长以 SDIOx_CCLK_OUT 的线长为基准，偏差控制在±200mil。数据信号必须以 GND 为参考平面，并保持信号参考平面完整。

2.4.5 USB2.0 接口

核心模组支持 3 个 USB2.0 OTG (On-The-Go)。完全兼容 USB2.0 协议，支持高速（480Mbps）、全速（12Mbps）及低速（1.5Mbps）。

USB2.0 信号上要有 ESD 保护措施，ESD 器件的寄生电容要求小于 1pF，ESD 器件靠近 USB 接口放置。

USBx_VBUS 建议电阻分压到 3.3V，不要直接使用 5V，以避免直接插拔 USB 带来的浪涌。

USB0 支持 USB BOOT，需要核心模组 USB BOOT_EN 配置电阻拉高时使用。

USB2.0 信号设计要求如下：差分信号组内走线长度偏差控制在±5mil 以内，差分阻抗控制在 90Ω±10%。差分信号必须以 GND 为参考平面，并保持信号参考平面完整。USB2.0 接口外接插座时，差分信号线走线长度不大于 3000mil，过孔数量不超过 2 个，外挂线缆长度控制在 1.5 米以内。USB2.0 信号过孔附近需要放置一个 GND 过孔，以获取更好的信号质量。避免邻近其他信号，并保证与其他信号的间距大于 20mil。

2.4.6 SAR ADC

SAR ADC 模块通过 BTB 连接器用于测量外部模拟信号，转换成数字信号，支持最高电压 1.8V。

SAR ADC 是一个多通道单端 10 bit 模数转换，允许监测在电压范围内的模拟信号，例如可以用于测量外部温度传感器信号。

2.4.7 UART 接口

核心模组支持 5 个 UART 接口，UART0 用于系统调试，不可用作通用串口。如果使用 UART BOOT，需要 UART BOOT_EN 配置电阻拉高时使用 UART0 BOOT。

2.4.8 音频接口

2.4.8.1 模拟音频接口

支持 LINEIN/MICIN

支持 LINEOUT_L/LINEOUT_R

支持单端/差分 LINEOUT 输出

支持两路单端输入或两路差分输入，不提供内部麦克风偏置

支持静音，左右声道交换

音频输出信号线上必须有 ESD 保护措施，加强接口的抗干扰能力。

音频采样率支持 48kHz, 44.1kHz, 32kHz 三个系列的采样率。

为获得较好的音频质量，建议在音频输出管脚 AC_OUTL 和 AC_OUTR 的外围增加音频放大器以及滤波电路。

Line in/out，单端方式，另外一端接 2.2uF 电容到地。

模拟音频信号设计要求：模拟音频输入输出信号、MICBIAS 信号需以 GND 为参考平面，并保证参考平面完整。模拟音频走线和相邻信号走线间距 $>40\text{mil}$ ，有条件的可以包地处理，包地走线或者包地覆铜上面需要多加 GND 孔。模拟音频走线不建议打孔换层走线，如果因为其他因素需要打孔换层走线，需要在打孔的地方增加一个 GND 孔，并且需要保证不同层的音频走线参考平面都是地。

2.4.8.2 I2S 音频接口

支持主从模式 I2S 数据接口：3 个 I2S master 接口，2 个 I2S slave 接口。I2S 标识的 pin 脚支持主模式，I2SS 标识的 pin 脚支持从模式。

单个 I2S 可以支持 1~4 线数据收发，最高支持到 8 声道数据。

核心模组端信号	Audio Codec 端信号
I2S_CLK	MCLK
I2S_WS	I2S_WS
I2S_SDI	ADCOUT
I2S_SDO	DACIN

支持 8 路音频时分复用输入及双声道音频输出，建议增加音频功放后再接 Speaker。

I2S 和与 Audio CODEC 共用通道，不能同时使用。

2.4.9 PWM 接口

核心模组支持 10 个 PWM，所有 PWM 接口不使用时均可复用为 IO 使用。

2.4.10 GPIO

需要有中断功能的 GPIO，需要分配到的 GPIO Name 为 GPIOx_x($x \leq 7$)，后面的 x 必须小于等于 7 这组 GPIO pin 脚上。

2.5 软件参数

内核	linux-4.9.38
文件系统	busybox-1.25.0

图形界面开发工具	QT-5.15.8
软件开发套件提供	SCA200X_SDK_V1.3.8_GLIBC
驱动支持	DDR3 DDR4 eMMC UART CAN SD 千兆网 百兆网 USB2.0

3 机械尺寸

PCB 尺寸	65x45mm
PCB 层数	8 层
PCB 板厚	1.6mm

3.1 核心模组实物图

SCA2002T 核心模组实物图

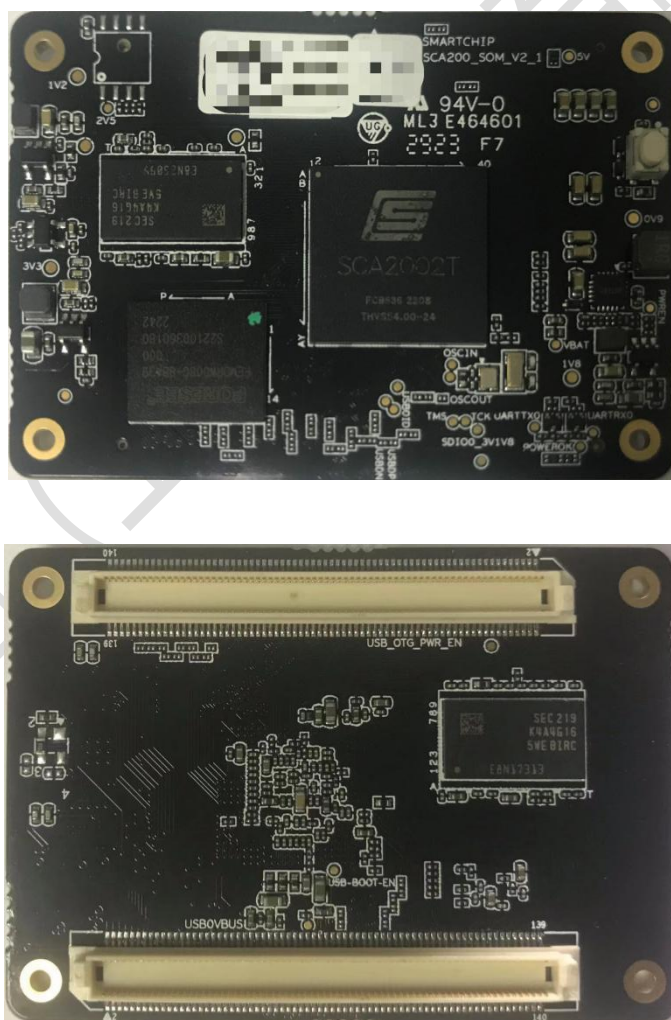


图 4 核心模组实物图

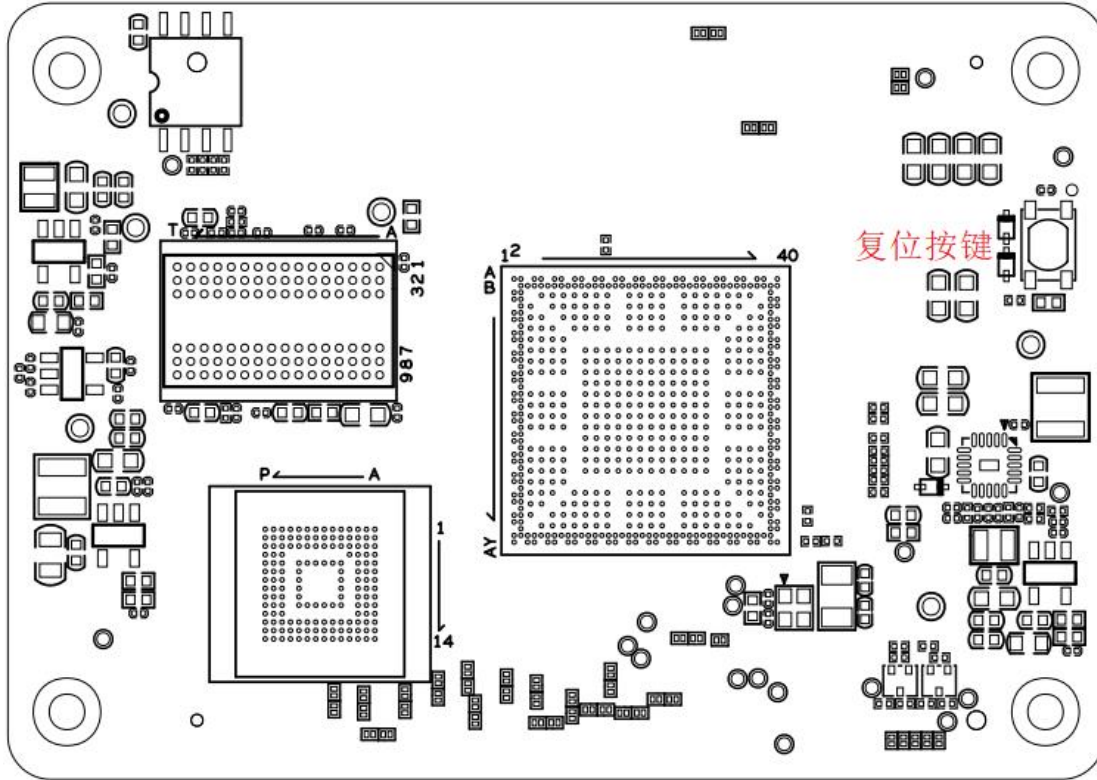


图 6 核心模组 TOP 位号图

4 可靠性

4.1 ESD 防护

核心模组在实际使用中，需要增加 ESD 的预防措施。在研发、生产组装和测试等过程中，均应采取相应的 ESD 防护措施。例如，在电路设计的接口处以及易受静电放电损伤或影响的点，应增加防静电保护、生产中应佩戴防静电手套等。强烈建议在接口处增加产品需要的防静电措施。