

哈爾濱ノ業大学 (深圳) HARBIN INSTITUTE OF TECHNOLOGY

实验作业

井课学期:	2021 春李
课程名称:	计算机组成原理(实验)
实验名称:	原码除法器设计
实验性质:	综合设计型
实验学时:	4地点: <u>T2</u>
学生班级:	7 班
学生学号:	190110716
学生姓名:	朱海峰
作业成绩:	

实验与创新实践教育中心制 2021年4月

系统功能详细设计

(系统主要功能及各模块之间的相互关系,用硬件框图描述)

分为时钟分频器、显示模块、顶层除法模块三部分。

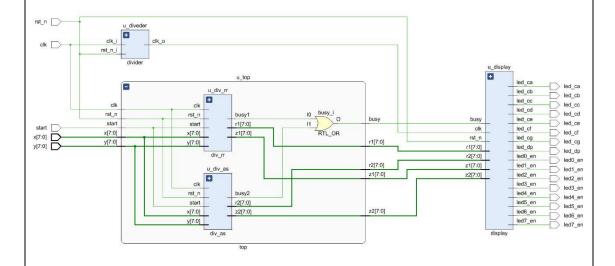
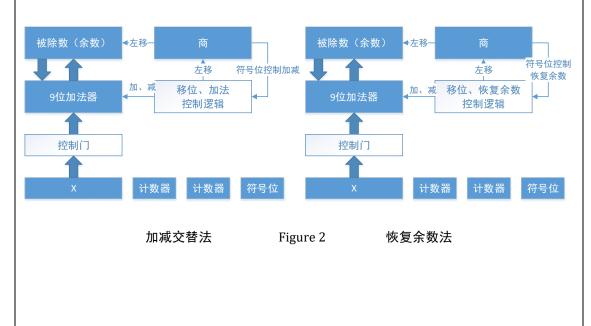
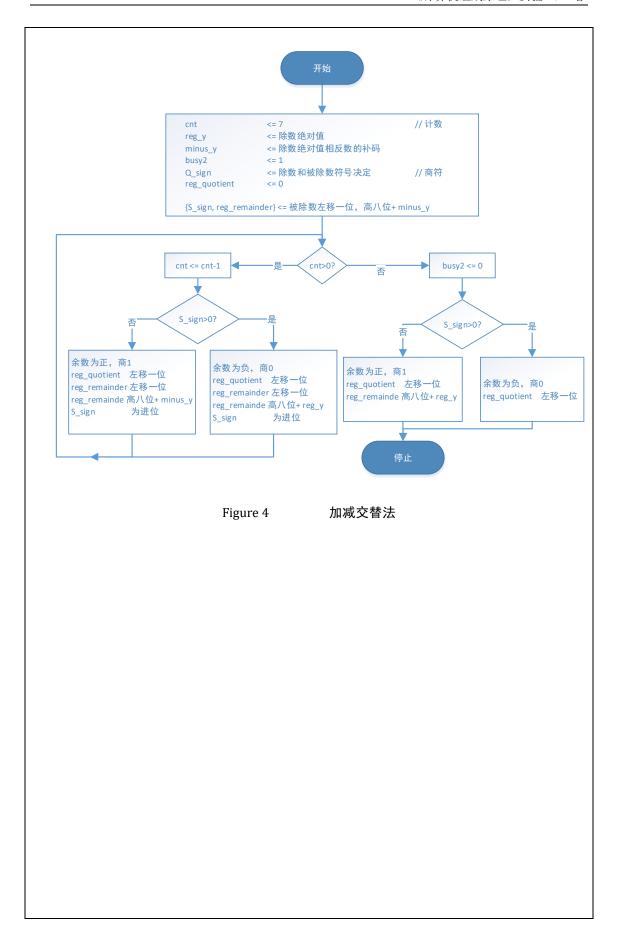


Figure 1 RTL analysis

其中除法模块内部有加减交替法和恢复余数法。



除法器算法流程图 // 计数 cnt <= 除数绝对值 reg_y <= 除数绝对值相反数的补码 minus_y busy1 <= 1 <= 除数和被除数符号决定 // 商符 Q_sign reg_quotient <= 0 {S_sign, reg_remainder} <= 被除数左移一位,高八位+ minus_y cnt <= cnt-1 cnt>0? busy1 <= 0 否 S_sign>0? S_sign>0? 否 否 余数为正 余数为负 余数为正 余数为负 恢复余数 恢复余数 商1 reg_quotient 左移一位 reg_remainder 左移一位 reg_remainder 高八位+ minus_y 停止 S_sign 为进位 恢复余数法 Figure 3



三、 调试报告

(自己写的 testbench 核心代码,仿真截图及时序分析。根据测试的完备性评分)

test 中测试了 8/2、8/3、8/-3、-8/-3 和-8/3 共五种情况,来判断得到的结果数值和符号的正确性。核心代码:

```
top u_top_sim (//实例化
    .clk
            (clk ),
    .rst_n (rst_n),
            (x
    . у
            (y
    .start
           (start),
            (z2
    .z2
                  ),
            (r2
    .r2
    .z1
            (z1
    .r1
            (r1
    .busy (busy)
always begin //时钟信号
    #10
    clk = \sim clk;
end
initial begin
   rst_n = 1;
   clk = 0;
    #10
    start = 1;
    x = 8;
    y = 2;
    #20
    x = 0;
    y = 0;
    start = 0;
    #240
    rst_n = 0;
    #20
    rst_n = 1;
    #20
    start = 1;
   x = 'h08; // 8
y = 'h03; // 3
    #20
    x = 0;
   y = 0;
start = 0;
    #240
    rst_n = 0;
    #20
    rst_n = 1;
    #20
   //...
end
```

仿真结果:

8/2 商 4 余零, 8/3 商 2 余 2, -8/3 商-2 余-2, -8/-3 商 2 余-2, 8/-3 商-2 余 2。

具体仿真截图见下页。

