

# 低功耗 N 位加法器和乘法器使用 晶体管数量最少的 1 位加法器

Fartash Vasefi 和 Z. Abid西安大略

大学电气与计算机工程系 加拿大安大略省伦敦市

电子邮件:fvasefi@uwo.ca; zeabid@eng.uwo.ca

抽象的

4 位纹波进位加法器 (RCA)、12 位进位选择加法器 (CSA) 和  $4 \times 4$  Braun 乘法器基于最少数量的晶体管全加器进行设计和仿真。设计的全加器由 10 个晶体管组成,用于 n 位加法器,其输出电压电平最大降低一个阈值电压(VT)。

与标准 CMOS-28T 加法器相比,10 晶体管加法器的功耗降低了 43.68%。使用额外的堆栈晶体管可以进一步降低功耗。一个 12 晶体管加法器也被设计用于低面积阵列乘法器。

关键词:全加器;电压阈值损失;传输晶体管; n位加法器;阵列乘数。

## 一、简介

许多应用的数字集成电路设计依赖于三个主要标准:低功耗、减小的芯片面积和高速。使用较少数量的晶体管来实现逻辑功能有利于减少器件和互连寄生并减小芯片面积,从而导致较低的时间延迟和潜在的较低功耗。然而,那些低数量晶体管电路 [2] 的输出电压电平的阈值电压 (VT) 损失问题可能会导致错误操作和更高的漏电流,尤其是对于  $0.18\mu\text{m}$  和后续 CMOS 技术。

研究了减少 1 位加法器设计的晶体管数量,以在  $0.35\mu\text{m}$  和更旧的 CMOS 技术中实现更低的功耗和更高的速度 [1-4]。然而,由于 VT 损耗问题,许多低数量晶体管加法器在  $0.18\mu\text{m}$  和后续 CMOS 技术中无法在低电源电压下正常工作。这项工作的目标是设计可在 n 位加法器或 n 位数组乘法器中成功使用的最少数量的晶体管。目标技术是  $0.18\mu\text{m}$  CMOS 技术。

本文介绍了两个 10 晶体管 (10-T) 和一个 12-T 加法器设计,分别用于 n 位加法器和乘法器。尽管这两个 10-T 设计是 [2] 中提到的 41 个 10-T 加法器中的两个,但之前并未对其进行分析或研究。添加一个串联连接 (堆叠) 晶体管的

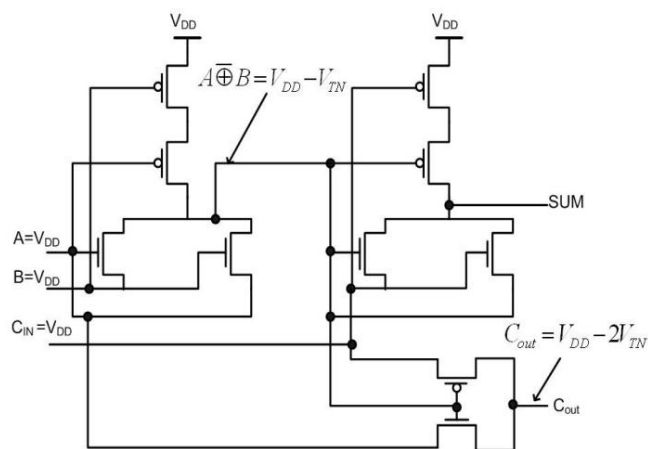
电路确实降低了功耗。此处首次报告了 12-T 加法器的设计,目标是将其用于 n 位乘法器。两个 10-T 加法器遭受一个 VT 损失,而不是许多其他设计 [1]、[3]、[4] 中的两个 VT。12-T 加法器设计只有一个输出 (Sum) 遭受一个 VT 损失,而 COUT 具有全电压摆幅。介绍了基于 10-T 或 12-T 设计的 4 位 RCA、12 位 CSA 加法器和 4 位 Braun 乘法器。

## II- 回顾以前的 10-T 1 位加法器

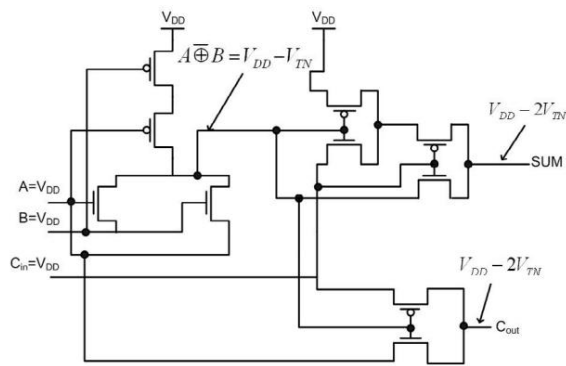
本文使用以前的 10-T 加法器设计进行比较 (图 1)。SERF 加法器 [3]、王玉科的两个 10-T 加法器 (命名为 :9A、9B、13A) [1],以及君明的 10-T 1 位加法器 [4]。对于某些输入信号集,它们都遭受 2VT 输出电压电平损失。

这对于  $0.35\mu\text{m}$  和更早的 CMOS 技术来说并不重要。然而,对于  $0.18\mu\text{m}$  和后续 CMOS 技术,这些加法器设计的正确操作是不可能的,包括它们在 n 位加法器中的使用。

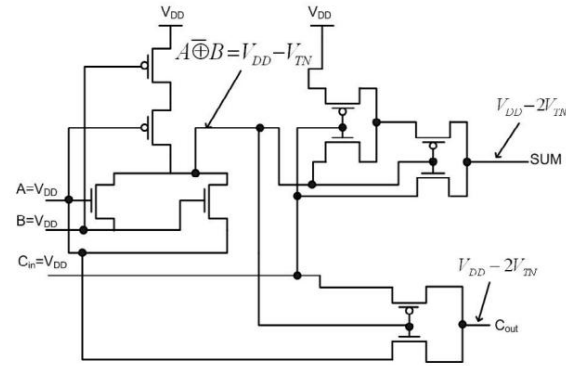
当 PMOS 晶体管通过逻辑 “0” (VTP 丢失) 或 NMOS 晶体管通过逻辑 “1” (VTN 丢失) 时,会发生电压电平下降 (VT 丢失)。图 1 显示了一些现有的 10T 加法器,其输入信号设置导致其输出信号损失 2VT。



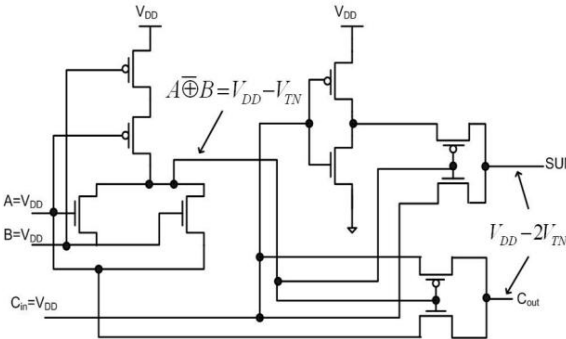
(a) SERF 加法器



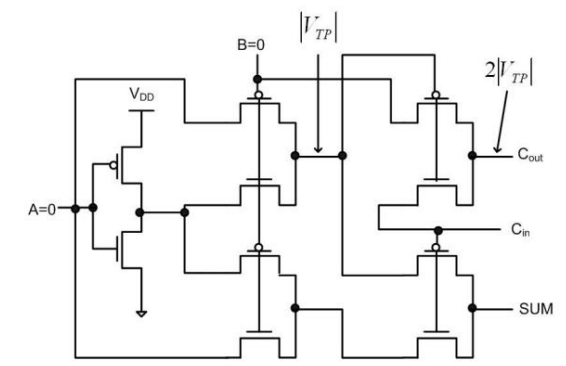
(b) Yuke-Wang-9A 加法器



(c) Yuke-Wang-9B 加法器



(d) Yuke-Wang-13A 加法器



(e) 君命加法器

图 1:五个先前的 10 晶体管 (10-T) 全加法器显示了输出电压。

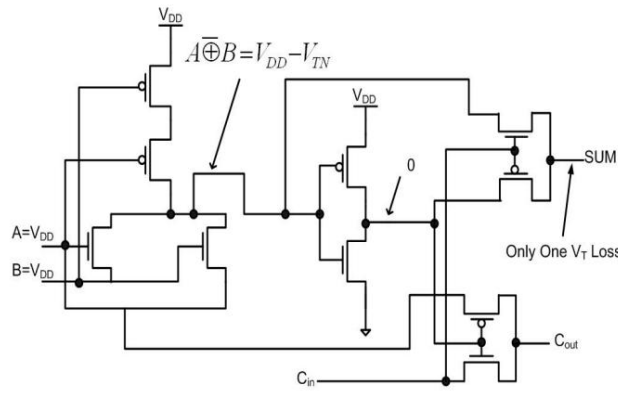
### III- 两个 10-T 全位加法器,其输出电压电平的降 级最小

本文描述和仿真了两种 10-T 全加法器设计,输出电压电平只有一个VT损失。设计的关键部分是在第一个模块中使用全摆幅 XOR 或 XNOR 门,以设计带多路复用器的 1 位加法器的其余部分,以生成具有改进电压电平的 COUT 和 SUM 输出 (图 2) 。

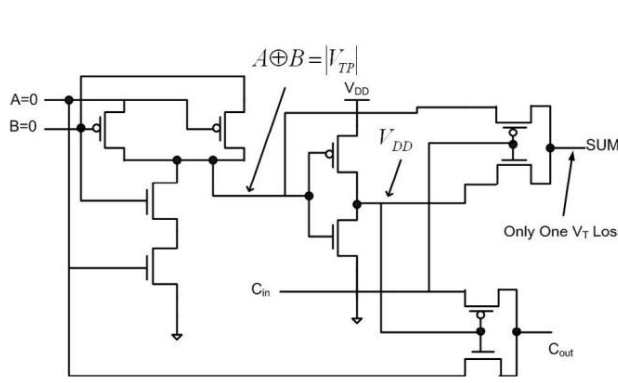
为了在 n-10T 加法器 (图 2a)中生成全摆幅 XOR 门信号,使用了反相器。XOR 门输出和CIN输入信号均具有全电压摆幅,将用作后续多路复用器级的控制信号,以生成COUT和 SUM 输出,最大损失一个VT 。

类似地,第二个设计中使用了逆变器 (图 2b) 。

如果反相器的漏电流得到抑制或降低,两个 10-T 加法器的功耗可能会进一步降低。 P-10T加法器异或门的输出信号为|VTP|对于特定的输入信号集 (A=B=0)。这导致反相器的 NMOS 晶体管不能完全关闭,从而产生不需要的泄漏电流和更高的功耗。当输入信号 A 和 B 为高电平时,这也适用于 N-10T 晶体管。这个问题如图 3 所示。



(a) N-10T 1 位加法器



(b) P-10T 1 位加法器

图 2:两个 10-T 加法器有一个VT损失。

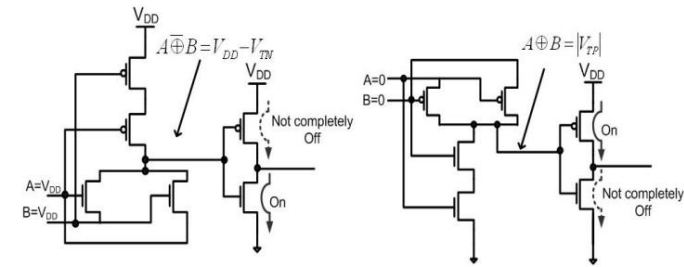


图 3:特定输入信号的逆变器漏电流

调整晶体管的大小以具有偏斜反相器,使得 P-10T 加法器中反相器的开关电压(VS)高于 0.5 VDD,而在 N-10T 加法器中则较低。

此外,在反相器中增加一个窄串联连接的晶体管可降低漏电流。(此技术针对 0.13μm 和后续 CMOS 技术以降低静态功耗)。该晶体管是用于 P-10T 加法器的 NMOS 和用于 N-10T 加法器的 PMOS。图 4 显示了将串联连接的晶体管添加到反相器。P-10T 加法器中使用的反相器可能有一个 VTP 输入

最坏的情况。这使得 n-MOS 晶体管没有完全关闭。通过调整反相晶体管的尺寸 (WN=300nm, WP=900nm),开关电压变为VS=0.86V。添加一个 n-MOS 堆叠晶体管,开关电压进一步增加到Vs=0.97V。对于 N-10T 加法器,其反相器的输入在最坏的情况下降级为VDD- VTN。

这使得 p-MOS 晶体管没有完全关闭。通过尺寸调整 (WN=600nm, WP=300nm),开关电压降低到 Vs=0.67V。添加一个 p-MOS 堆栈晶体管,Vs 进一步降低到 0.63V。

仿真了两个大小为 10-T 的加法器、两个带有额外晶体管的加法器、CMOS (28T) 和传输门加法器(TGA 20T)的功耗和时间延迟。

输入信号的最大频率为 100MHz。表 1 中的仿真结果表明,P-10T 和 P-11T 的功耗和时延均高于 N-10T 和 N-11T。因此,我们在 n 位加法器中使用 N 个 10T 加法器,在数组乘法器中使用修改后的 N-12T 加法器,如下一节所述。

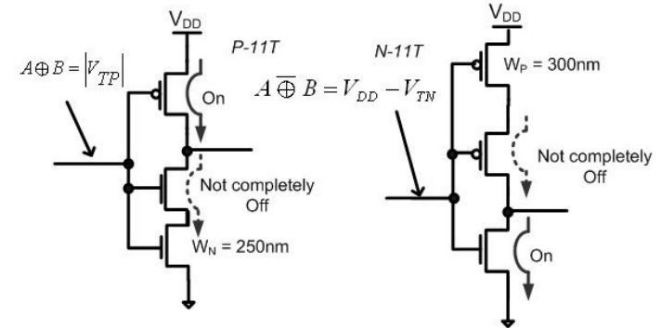


图 4:添加一个窄晶体管以减少逆变器 (堆栈晶体管)中的泄漏电流。

表 1:加法器设计的仿真结果

频率	功率	总和[ps]	td (COUT)
100兆赫	[μW]	792 566	[ps]
P-10T	20.9	814 574	629
N-10T	9.94		598
P-11T	15.56		544 606
N-11T	9.17		
影像28T	17.65	307	222
TGA 20T	12月19日	215	263

IV- n位加法器

N-10T加法器的优点之一是即使XNOR门的输入之一有一个VT丢失,它也能正常工作。通过将具有一个VT丢失的信号施加到输入 B,图 1。2, VT 损失不会传播到加法器的输出,因此在 n 位加法器中使用时不会累积。图 5 所示的波形说明了全摆幅波,称为“A”[0, VDD],具有一个VT损耗的波,称为“B”[VTP, VDD- VTN],可以在 N 10T 中加在一起加法器。XOR 的输出在反相器之后不受其两个输入之一的VT损耗的影响。

在模拟中,输入 B 在 0.6 V 到 1.2 V 之间变化,表示信号电平的阈值电压损失。然而,这远大于0.18 μm CMOS 技术中无体效应的阈值电压(VTN0 = 0.487V)。这些值反映了从电路仿真中获得的电压电平。这是由于晶体管的高体效应。如果采用的 CMOS 技术适应,则可以通过使用较低的VT和/或较低的体效应晶体管来降低 VT 损耗。

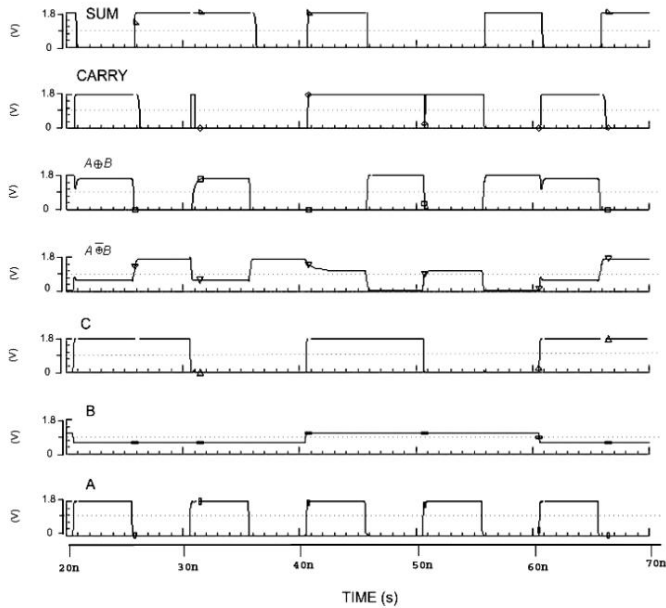


图 5:N-10T 加法器中使用的 XOR 门输出电压的全摆幅和 1 位加法器的正确操作。

因此,如果在输入B处应用前一个加法器的进位输出(COUT),则所描述的 N-10T 设计可用于 n 位 RCA 和 CSA 加法器 [5]。然而,这对于 RCA 加法器来说是不可取的,因为进位信号的传播路径变得更长。所有输入信号都通过缓冲器施加并被馈送到加法器单元,而所有输出都加载有缓冲器电路。4 位和 12 位加法器的功耗和最大延时值如表 3 所示。仿真是在 4 位 RCA 和 12 位 CSA 的 50 MHz 频率下进行的。

V- 12-T 1 位加法器和数组乘法器

由于VT损耗的累积,以前的 12-T 加法器 [2] 在乘法器中使用时无法正确运行,从而导致错误或模糊的输出逻辑值。在这里,我们通过修改 10-T 加法器的设计来提出解决方案。加法器的两个输出之一必须具有全电压摆幅,而另一个可以有最大一个VT损失。在 10T 加法器中向用于生成COUT 的多路复用器添加两个晶体管,可实现COUT 的全电压摆幅。这将改进的加法器的晶体管数量增加到 12 个 (图 6)。

4x4 乘法器采用与门和 12-T 1 位加法器阵列来生成最终结果 [5-6]。对于 0.18μm CMOS 技术,仿真以 50 MHz 的频率执行。结果如表 2 所示,一些具有一个输入波的输出波如图 7 所示。

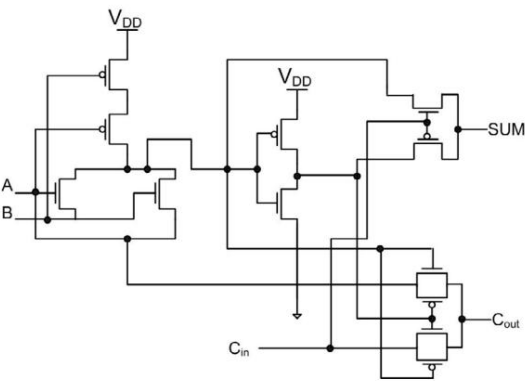


图 6:N-12T 加法器:向 N-10T 添加 2 个晶体管设计,以消除输出信号COUT 的 VT 损耗。

表 2:4 位 RCA 加法器、12 位 CSA 加法器和数组乘法器的仿真结果

n位加法器、乘法器	使用的1位加法器	功率 [μW]	时间延迟 [ns]
4 位 RCA	N-10T	34.28	3.103
12 位 CSA	N-10T	90.14	5.28
4×4阵列乘数	N-12T	145.48	3.97

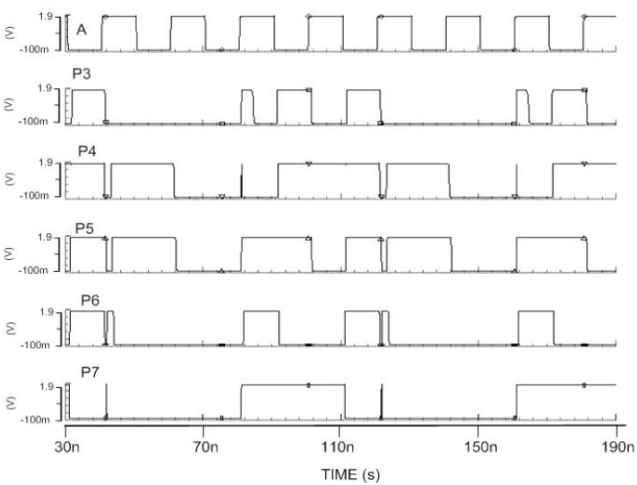


图 7:来自 4x4 阵列乘法器仿真的一组选定输入 (A) 和输出 (P3-P7) 脉冲。

六、结论

本文介绍了在其输出信号上最多有一个VT损失的最小数量晶体管加法器和乘法器。使用最少数量的晶体管 (10-T 和 12-T)全加法器设计和仿真了两个 n 位加法器和一个阵列乘法器,它们具有可接受的操作。

在提供多VT器件的 0.13μm 和后续 CMOS 技术中,可以解决降低功耗和进一步降低VT损耗方面的挑战。

具有较低体效应的 MOSFET 晶体管也将减少VT损耗。

致谢

这项工作得到了自然科学和加拿大工程研究委员会 (NSERC)。

参考

[1] Yuke Wang 等人,“使用新型 XOR-XNOR 门设计和分析低功耗 10 晶体管全加器”, IEEE Trans.关于电路和系统 II:模拟和数字信号处理,第 1 卷。49,第 1 期,第 25-30 页,2002 年。

[2] Wang, Y. 等人,“一种基于多路复用器的新型低功耗全加器”, IEEE Trans.关于电路和系统 II,卷。51,第 7 期,第 345-348 页,2004 年。

[3] Shalem, R. 等人,“一种新型低功耗能量回收全加器单元”;过程。第九届五大湖 VLSI 研讨会,第 380 - 383 页,1999 年。

[4] 卢俊明,“一种新型的 10 晶体管低功耗高速全加器单元”;过程。第六届国际会议。关于固态和集成电路技术, 2001 年,第 1 卷。2,第 1155 - 1158 页,2001 年。

[5] Weste, N. 等人,“CMOS VLSI 设计:电路和系统视角”, Addison-Wesley,第 3 版,2004 年。

[6] Bellaouar, A, Elmasry, M.; “低功耗数字 VLSI 设计电路和系统”, Kluwer 学术出版社, 1995 年。