



Logos FPGA 开发平台

用户手册

PGL22G

REV 1.0 版

芯驿电子科技（上海）有限公司

<http://www.alinx.com>

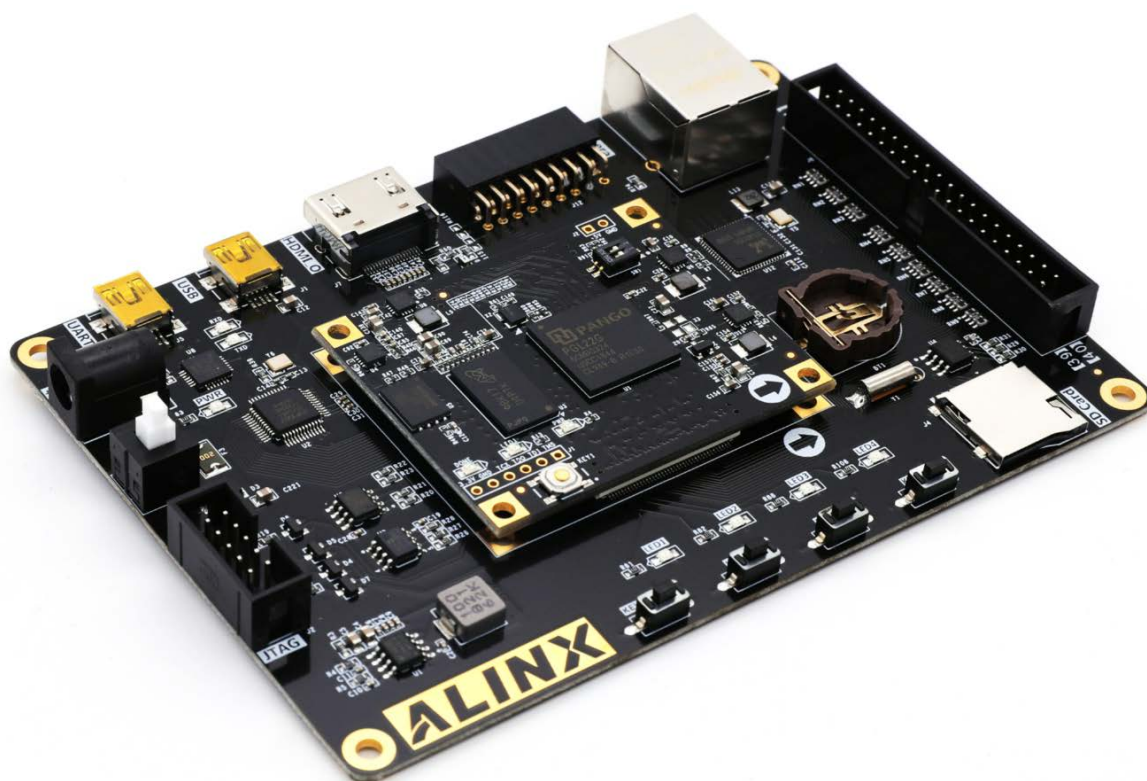
目录

一、 开发板简介	5
二、 FPGA 核心板.....	7
(一) 简介	7
(二) FPGA.....	8
(三) 有源晶振	10
(四) DDR3	10
(五) QSPI Flash.....	13
(六) LED 灯	14
(七) 复位按键	16
(八) JTAG 接口.....	16
(九) 电源接口	17
(十) 扩展接口	17
(十一) 电源	21
(十二) 结构图	24
三、 扩展板.....	25
(一) 简介	25
(二) 千兆以太网接口.....	26
(三) HDMI 输出接口	28
(四) USB2.0 通信接口	29
(五) SD 卡槽.....	31
(六) USB 转串口	32
(七) EEPROM 24LC04.....	34
(八) 实时时钟 DS1302.....	35
(九) 扩展口	36
(十) JTAG 接口.....	38
(十一) 摄像头接口	39
(十二) 按键	40
(十三) LED 灯	41

(十四) 供电电源	42
(十五) 结构图	43

紫光同创 Logos 系列的 FPGA 开发平台 (型号: PGL22G) 正式发布了, 为了让您对此开发平台可以快速了解, 我们编写了此用户手册。

这款 Logos 系列 FPGA 开发平台采用核心板加扩展板的模式, 方便用户对核心板的二次开发利用。在底板设计上我们设计了丰富的外围接口, 比如千兆以太网接口, HDMI 输出接口, USB2.0 通信接口, Uart 通信接口, SD 卡接口, RTC 电路等等。满足用户各种高速数据传输, 视频图像处理和工业控制的要求, 是一款“全能级”的 FPGA 开发平台。为高速视频传输, 网络和 USB 通信及数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 FPGA 开发的学生、工程师等群体。



一、开发板简介

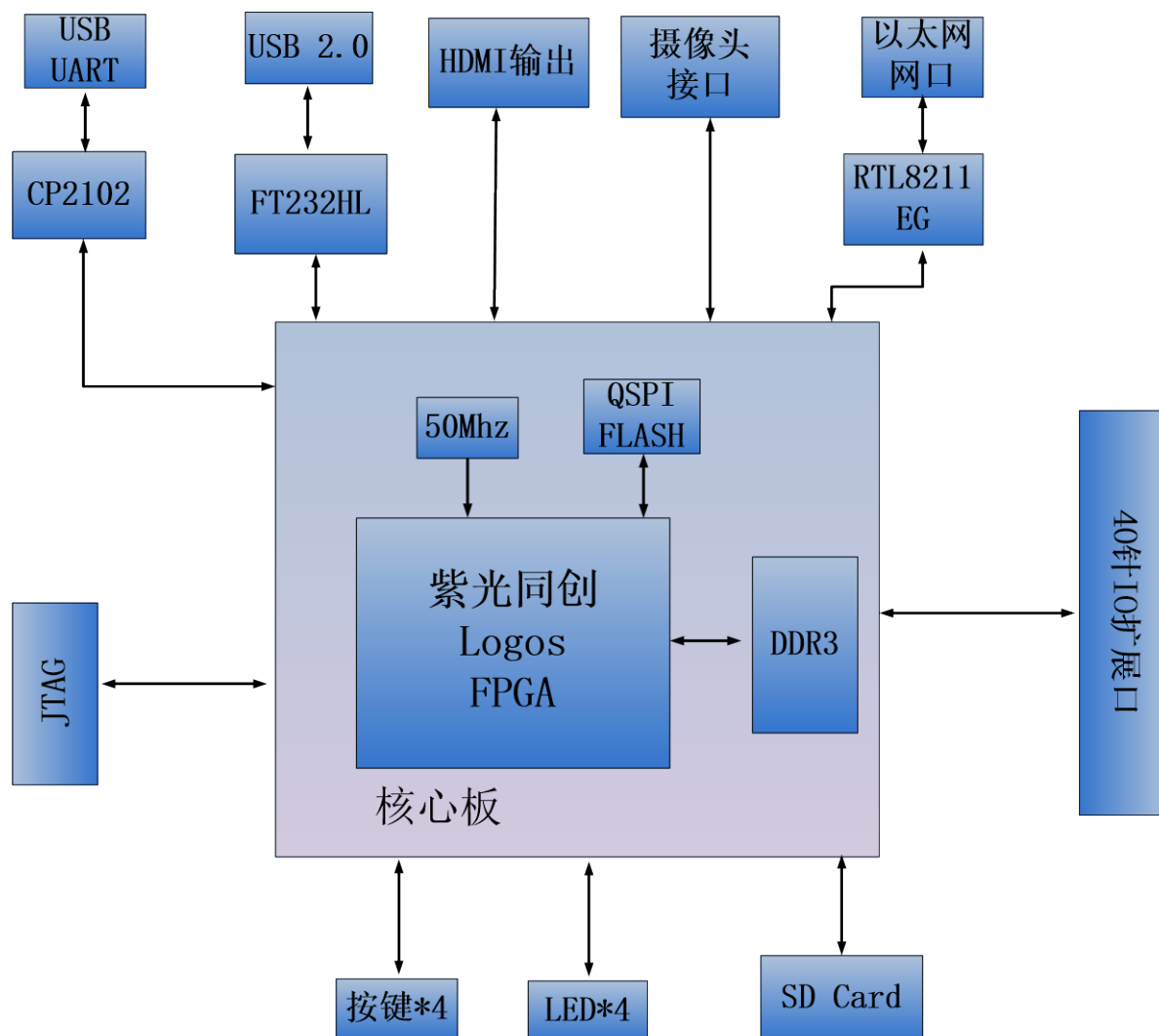
在这里，对这款 PGL FPGA 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 FPGA + DDR3 + QSPI FLASH 构成，承担 FPGA 高速数据处理和存储的功能，加上 FPGA 和 DDR3 SDRAM 之间的高速数据读写，数据位宽为 16 位，整个系统的带宽高达 10Gb/s (800M*16bit)；另外 DDR3 容量高达 256MB，满足数据处理过程中对高缓冲区的需求。我们选用的 FPGA 为紫光同创公司的 **PGL22G6CMBG324** 芯片，FPGA 是 MBG324 封装。

底板为核心板扩展了丰富的外围接口，其中包含 1 路千兆以太网接口、1 路 HDMI 输出接口、1 路 USB2.0 接口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 JTAG 调试接口、一个摄像头接口、1 路 40 针的扩展口和一些按键，LED，RTC 和 EEPROM 电路。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能实现的功能。

- PGL22G 核心板

由 PGL22G+1 片 256MB DDR3+128Mb QSPI FLASH 组成，另外板上有一个高精度的 50Mhz 晶振，为 FPGA 系统提供稳定的时钟输入。

- 一路 10/100M/1000M 以太网 RJ-45 接口

千兆以太网接口芯片采用 Realtek 公司的 RTL8211EG 以太网 PHY 芯片为用户提供网络通信服务。RTL8211EG 芯片支持 10/100/1000 Mbps 网络传输速率；全双工和自适应。

- 一路 HDMI 输出

使用 FPGA 的 4 路 LVDS 差分信号（3 路数据加 1 路时钟）接口直接驱动 HDMI 输出，为开发板提供不同格式的视频输出接口。

- 一路高速 USB2.0 接口

使用 FTDI Chip 公司的 FT232H 单通道 USB 芯片，可用于开发板和 PC 之间的 USB2.0 高速通信，最高速度达 480Mb/s。

- 一路 USB Uart 接口

一路 Uart 转 USB 接口，用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片。

- Micro SD 卡座

一路 Micro SD 卡座，支持 SPI 模式。

- EEPROM

板载一片 IIC 接口的 EEPROM 24LC04。

- RTC 实时时钟

一路 RTC 实时时钟，配有电池座，电池的型号为 CR1220。

- 40 针扩展口

预留 1 个 40 针 2.54mm 间距的扩展口，可以外接的各种模块（双目摄像头，TFT LCD 屏，高速 AD 模块等等）。扩展口包含 5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。

- CMOS 接口

一个 18 针的摄像头接口，可以接 500 万 OV5640 摄像头。

- JTAG 口

10 针 2.54mm 标准的 JTAG 口，用于 FPGA 程序的下载和调试。

- 按键和 LED 灯

4 个用户按键，5 个用户发光二极管 LED（1 个在核心板，4 个在扩展板）。

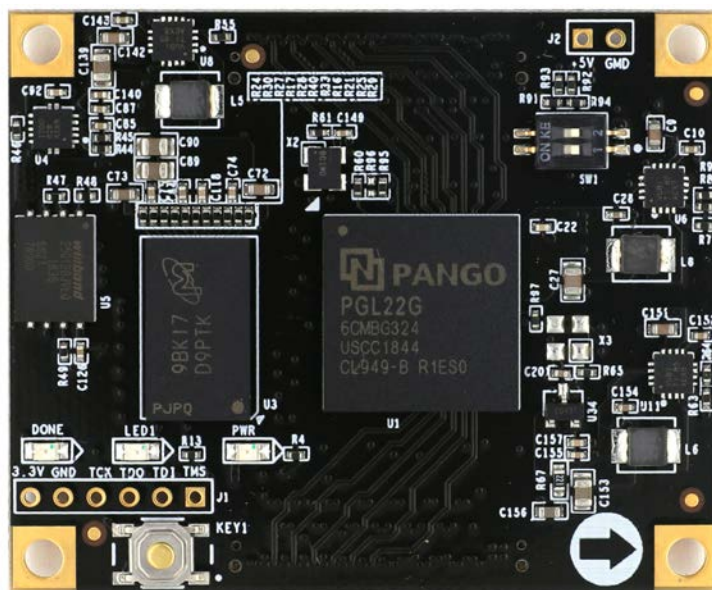
二、FPGA 核心板

(一) 简介

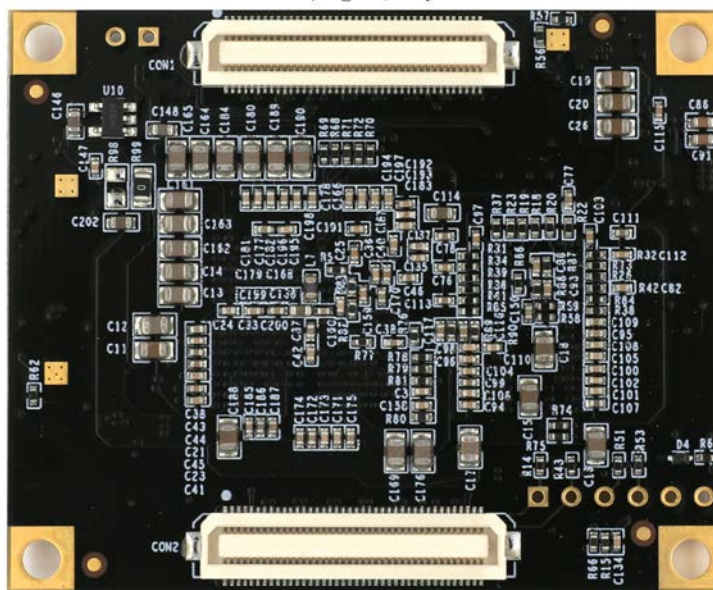
PGL22G(核心板型号, 下同)核心板, 是紫光同创公司开发的 Logos 系列 FPGA 高性能核心板, 具有高速, 高带宽, 高容量等特点, 适合高速数据通信, 视频图像处理, 高速数据采集等方面使用。

这款核心板使用了 1 片 Micron 公司的 MT41J128M16HA-125 这款 DDR3 芯片, 容量为 256MB; DDR3 芯片和 FPGA 芯片总线宽度为 16bit, 数据时钟频率高达 800Mhz; 这样的配置, 可以满足高带宽的数据处理的需求。板上的 128Mb QSPI FLASH 芯片的型号为 W25Q128, 用于存储 FPGA 系统的启动文件。

这款核心板扩展出 114 个 FPGA 的 IO 口(默认 3.3V 电平标准), 其中有 40 个 IO 可以通过修改核心板上的 LDO 芯片来改变电平标准。对于需要大量 IO 的用户, 此核心板将是不错的选择。而且, FPGA 芯片到接口之间走线做了等长和 12 对 LVDS 差分走线处理, 并且核心板尺寸仅为 45*55 (mm), 对于二次开发来说非常适合。



PGL22G 核心板正面图



PGL22G 核心板背面图

(二) FPGA

前面已经介绍过了，我们所使用的 FPGA 型号为 **PGL22G6CMBG324**，属于紫光同创公司的 Logos 系列产品，速度等级为-6，温度等级为商业级 C。此型号为 **MBG324** 封装，324 个引脚。Logos 系列 FPGA 命名规则如图所示。

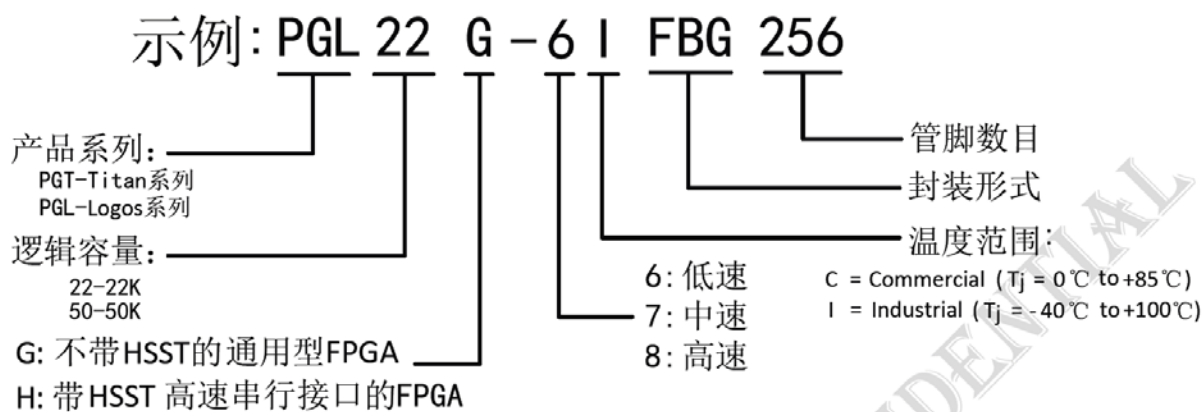


图 2-2-1 为开发板所用的 FPGA 芯片实物图。



图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片 PGL22G 的主要参数如下所示：

表 1 Logos FPGA资源数量

器件	CLM ^{1,2}				18Kb DRM (个)	APM (个)	PLL (个)	ADC (个)	HMEMC (个)	PCIe (个)	MAX USER IO (个)	HSST (个)
	LUT5 (个)	等效 LUT4 (个)	FF (个)	Distributed RAM (bits)								
PGL12G	9856	11827	14784	39424	30	20	4	1	1	0	160	0
PGL22G	17536	21043	26304	70144	48	30	6	1	2	0	240	0
PGL35H	29280	35136	43920	117120	102	90	6	1	2	1	300	2
PGL50H	42480	50976	63720	169920	180	150	6	1	2	1	364	2

注1：每个CLM包含4个多功能LUT5和6个寄存器；每个多功能LUT5等效为1.2个LUT4

注2：芯片中四分之一的CLM可配置为64bits的Distributed RAM。

表 2 Logos FPGA封装信息与用户IO数量

封装	TBD	FBG256	MBG324	TBD	TBD
尺寸 (mm)	TBD	17×17	15×15	TBD	TBD
Pitch (mm)	TBD	1.0	0.8	TBD	TBD
器件	User IO	User IO	User IO	User IO	User IO
PGL12G	TBD	-	-	-	-
PGL22G	-	186	240	-	-
PGL35H	-	-	-	TBD	-
PGL50H	-	-	-	-	TBD

FPGA 供电系统

紫光同创 Logos FPGA 电源有 VCCINT, VCCIO L0, VCCIO L1, VCCIO L2, VCCIO R0, VCCIO R1, VCCIO R2, VCCAUX 和 VCCIO。VCCINT 为 FPGA 内核供电引脚，需接+1.1V；VCCAUX 为 FPGA 辅助供电引脚，接 3.3V；VCCIO 为 FPGA 的各个 BANK 的电压，包含 BANK L0~L2, BANK R0~R2，在 PGL22G 核心板上，BANK L1, BANK L2 因为需要连接 DDR3，BANK 的电压连接的是 1.5V，其它 BANK 的电压都是 3.3V，其中 BANK R2 的 VCCIO 由可选择的两路 LDO 供电，可以通过跳电阻更改 BANK 的电平。

(三) 有源晶振

PGL22G 核心板上配有一个 50Mhz 的有源晶振，用于 FPGA 的系统主时钟。晶振输出连接到 FPGA 的时钟输入管脚(Pin B5)，这个时钟可以用来驱动 FPGA 内的用户逻辑电路，用户可以通过配置 FPGA 内部的 PLLs 来实现更高的时钟。

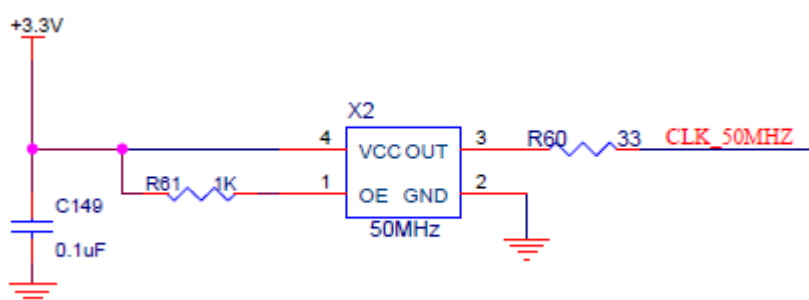


图 2-3-1 50Mhz 有源晶振

图 2-3-2 为 50Mhz 有源晶振实物图

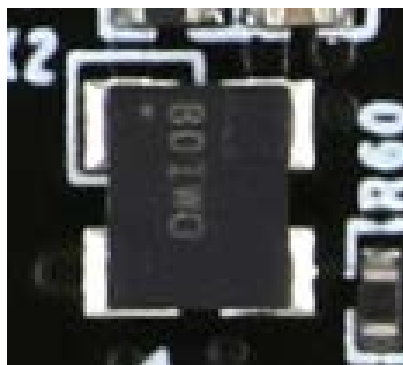


图 2-3-2 50M 有源晶振实物图

时钟引脚分配:

时钟网络名称	FPGA 引脚
CLK_50MHZ	B5

(四) DDR3

PGL 核心板上配有 1 个 Micron(美光) 的 256MB 的 DDR3 芯片,型号为 MT41J128M16HA-125。DDR 的总线宽度共为 16bit。DDR3 SDRAM 的最高运行时钟速度可达 400MHz。该 DDR3 存储系统直接连接到了 FPGA 的 BANK L1 和 BANK L2 的存储器接口上。DDR3 SDRAM 的具体配置如下表 2-4-1 所示。

表 2-4-1 DDR3 SDRAM 配置

位号	芯片类型	容量	厂家
U3	MT41J128M16HA-125	128M x 16bit	micron

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制， 保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接示意图如图 2-4-所示:

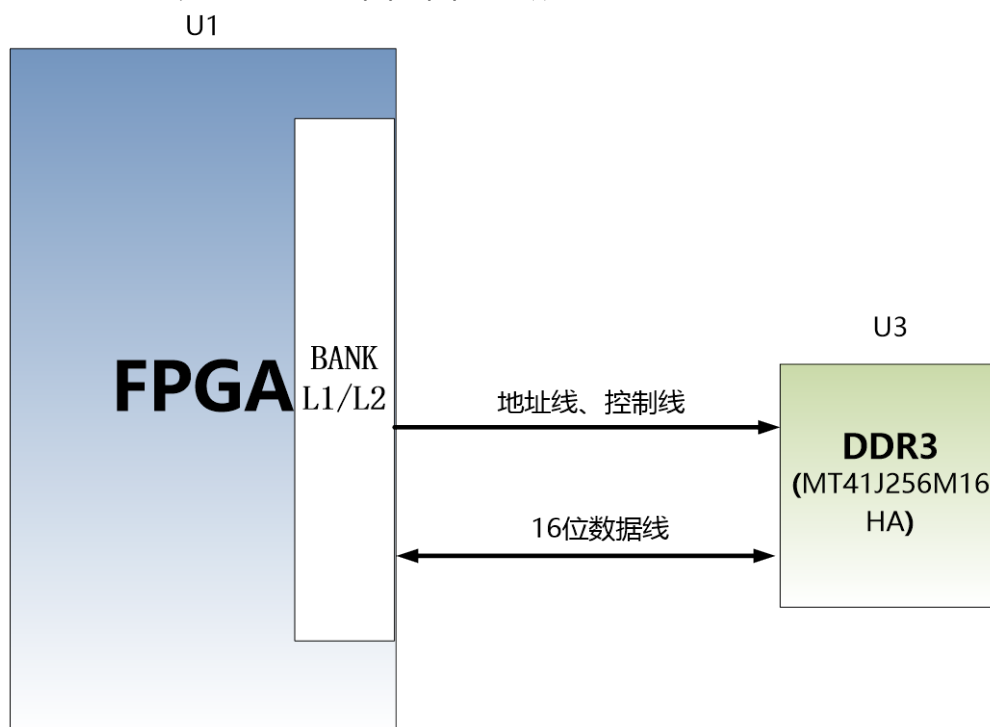


图2-4-1 DDR3 DRAM原理图示意图

图 2-4-2 为 DDR3 DRAM 实物图



图2-4-2 DDR3 DRAM实物图

DDR3 DRAM 引脚分配:

信号名称	FPGA 引脚名	FPGA 管脚号
DDR3_DQS0_P	DIFFIO_L2_15_P	N6
DDR3_DQS0_N	DIFFIO_L2_15_P	N7
DDR3_DQS1_P	DIFFIO_L2_4_P	U8
DDR3_DQS1_N	DIFFIO_L2_4_N	V8
DDR3_D0	DIFFIO_L2_18_P	T8
DDR3_D1	DIFFIO_L2_17_N	T6
DDR3_D2	DIFFIO_L2_17_P	R6
DDR3_D3	DIFFIO_L2_16_N	R9
DDR3_D4	DIFFIO_L2_16_P	T9
DDR3_D5	DIFFIO_L2_14_N	N4
DDR3_D6	DIFFIO_L2_14_P	N5
DDR3_D7	DIFFIO_L2_13_N	P6
DDR3_D8	DIFFIO_L2_6_P	T4
DDR3_D9	DIFFIO_L2_5_N	V9
DDR3_D10	DIFFIO_L2_5_P	U9
DDR3_D11	DIFFIO_L2_3_N	V7
DDR3_D12	DIFFIO_L2_3_P	U7
DDR3_DQ 13	DIFFIO_L2_2_N	V6
DDR3_D14	DIFFIO_L2_2_P	U6
DDR3_DQ15	DIFFIO_L2_1_N	V5
DDR3_DM0	DIFFIO_L2_18_N	R8
DDR3_DM1	DIFFIO_L2_1_P	U5
DDR3_A0	DIFFIO_L1_19_N	M4
DDR3_A1	DIFFIO_L1_19_P	M3
DDR3_A2	DIFFIO_L1_18_N	P2
DDR3_A3	DIFFIO_L1_18_P	P1
DDR3_A4	DIFFIO_L1_17_N	L5
DDR3_A5	DIFFIO_L1_17_P	M5
DDR3_A6	DIFFIO_L1_16_N	N2

DDR3_A7	DIFFIO_L1_16_P	N1
DDR3_A8	DIFFIO_L1_15_P	K4
DDR3_A9	DIFFIO_L1_14_P	M1
DDR3_A10	DIFFIO_L1_13_N	M6
DDR3_A11	DIFFIO_L1_12_P	L1
DDR3_A12	DIFFIO_L1_11_N	K2
DDR3_A13	DIFFIO_L1_11_P	K1
DDR3_A14	DIFFIO_L1_10_N	J2
DDR3_A15	DIFFIO_L1_10_P	J1
DDR3_BA0	DIFFIO_L2_9_N	U2
DDR3_BA1	DIFFIO_L2_9_P	U1
DDR3_BA2	DIFFIO_L2_8_N	T2
DDR3_S0	DIFFIO_L2_7_P	R1
DDR3_RAS	DIFFIO_L2_7_N	R2
DDR3_CAS	DIFFIO_L2_8_P	T1
DDR3_WE	DIFFIO_L2_10_P	V1
DDR3_ODT	DIFFIO_L2_10_N	V2
DDR3_RESET	DIFFIO_L1_14_N	M2
DDR3_CLK_P	DIFFIO_L2_11_P	U3
DDR3_CLK_N	DIFFIO_L2_11_N	V3
DDR3_CKE	DIFFIO_L1_15_N	L4

(五) QSPI Flash

核心板上使用了一片 128Mbit 大小的 QSPI FLASH 芯片，型号为 W25Q128，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 除了用作存储 FPGA 配置文件外还可以存储其它的用户数据文件。

SPI FLASH的具体型号和相关参数见下表

位号	芯片类型	容量	厂家
U5	W25Q128	128M Bit	Winbond

表2-5-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 BANK L0 的专用管脚上

配置芯片引脚分配:

信号名称	FPGA 引脚名	FPGA 管脚号
QSPI_CLK	DIFFIO_L0_3_N/CFG_CLK	C9
QSPI_CS	DIFFIO_L0_4_P/FCS_N	B8
QSPI_DQ0	DIFFIO_L0_12_P/D0	B4
QSPI_DQ1	DIFFIO_L0_12_N/RRN_L0/D1	A4
QSPI_DQ2	DIFFIO_L0_13_P/RRP_L0/D2	B3
QSPI_DQ3	DIFFIO_L0_13_N/D3	A3

图 2-5-2 为开发板上 QSPI Flash 的实物图



图 2-5-2 QSPI FLASH 部分实物图

(六) LED 灯

PGL22G 核心板上有 3 个红色 LED 灯, 其中 1 个是电源指示灯(PWR), 1 个是配置 LED 灯(DONE), 另外一个为用户 LED 灯(LED1)。当核心板供电后, 电源指示灯会亮起; 当 FPGA 配置程序后, 配置 LED 灯(DONE) 也会亮起。用户 LED 灯用户连接到 BANK L0 的 IO 管脚 E2 上, 可以通过程序来控制亮和灭, 当连接用户 LED 灯的 IO 电压为高时, 用户 LED 灯熄灭, 当连接 IO 电压为低时, 用户 LED 会被点亮。LED 灯硬件连接的示意图如图 2-6-1 所示:

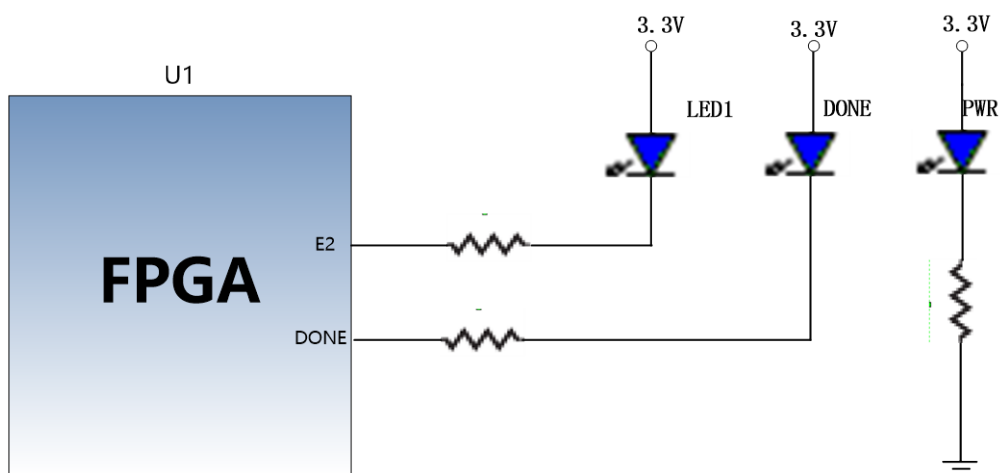


图 2-6-1 核心板 LED 灯硬件连接示意图

图 2-6-2 为核心板上的 LED 灯实物图

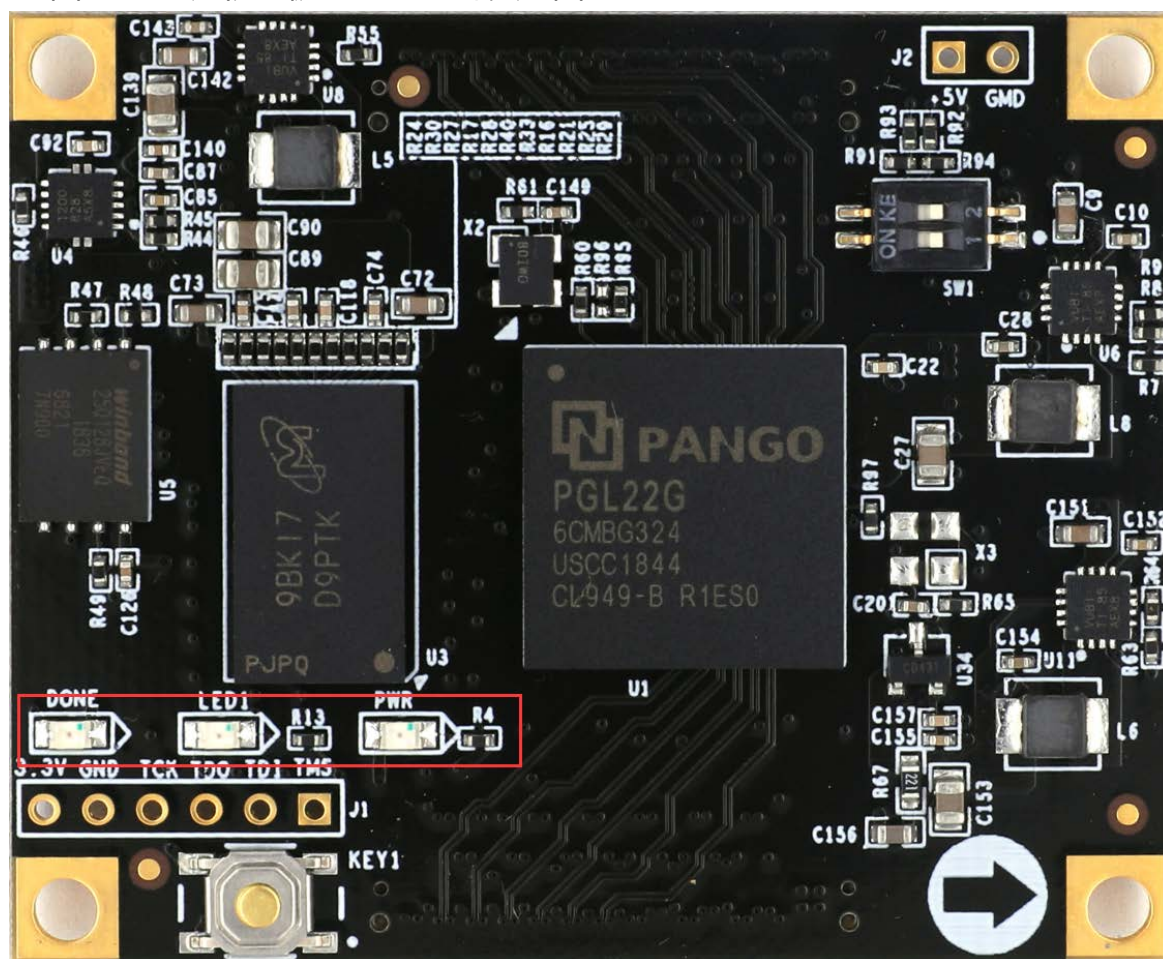


图 2-6-2 核心板的 LED 灯实物图

用户 LED 灯的引脚分配

信号名称	FPGA 管脚号	备注
LED1	E2	用户LED灯

(七) 配置复位按键

PGL22G 核心板上有一个配置复位按键 KEY1，复位按键连接到 FPGA 芯片的复位管脚 RST_N 上，用户可以使用这个复位按键来初始化 FPGA 的程序。设计中按键按下，输入到 RST_N 管脚上的电压为低，复位信号有效；按键没有按下时，输入到 RST_N 管脚上电压为高。复位按键连接的示意图如图 2-7-1 所示：

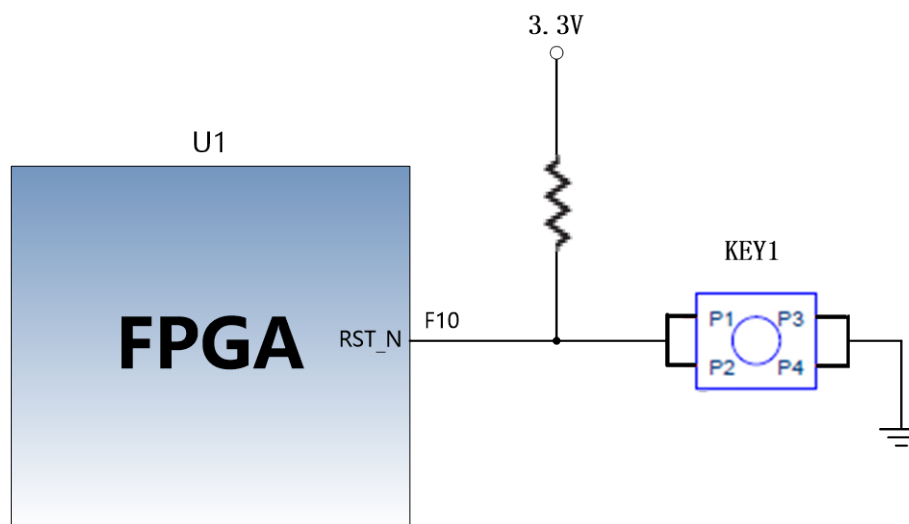


图 2-7-1 复位按键连接示意图

图 2-7-2 为复位按键实物图

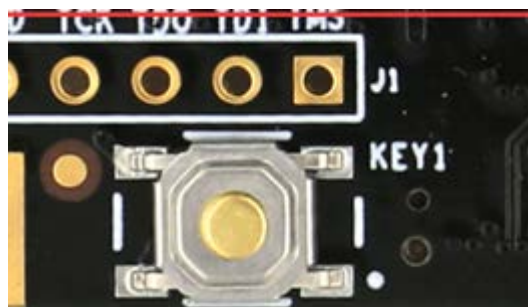


图 2-7-2 复位按键实物图

复位按键的引脚分配

信号名称	FPGA 引脚名	FPGA 引脚号	备注
RESET_N	RST_N	F10	复位按键KEY1

(八) JTAG 接口

在 PGL22G 核心板上我们也预留了 JTAG 的测试座 J1，用来核心板单独 JTAG 下载和调试，图 2-8-1 就是 JTAG 口的原理图部分，其中涉及到

TMS,TDI,TDO,TCK,GND,+3.3V 这六个信号。

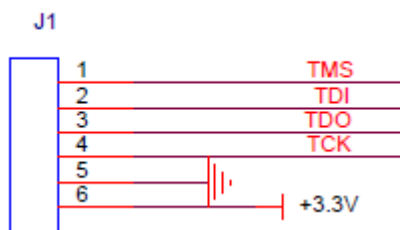


图 2-8-1 核心板原理图中 JTAG 接口部分

核心板上 JTAG 接口 J1 采用 6 针的 2.54mm 间距的单排测试孔，用户如果需要在核心板上用 JTAG 连接调试的话，需要焊接 6 针的单排排针。图 2-8-2 为 JTAG 接口在开发板上的实物图



图 2-8-2 JTAG 接口实物图

(九) 电源接口

为了能使核心板单独工作，我们为核心板预留了排针供电接口，通过杜邦线连接到外部+5V 供电。这样用户就可以无需底板的情况下调试核心板的功能。排针供电接口在核心板上的接口是 J2，当用户通过排针供电接口给核心板供电时，不能再通过底板供电，否则会造成电流冲突，可能会产生不可预料的损坏。

图 2-9-2 为排针供电接口在开发板上的实物图



图 2-9-2 排针供电接口实物图

(十) 扩展接口

核心板的背面一共扩展出 2 个高速扩展口，使用 2 个 80Pin 的板间连接器和底板连接，FPGA 的 IO 口和差分信号通过通过这 2 个扩展口跟底板连接。连接器的 PIN 脚间距为 0.5mm，和底板的母座连接器连接来实现核心板和底板的高速数据通信。

扩展口 CON1

80Pin 的连接器 CON1 用来连接 FPGA 的普通 IO，默认 IO 的电平标准为 3.3V。
CON1 扩展口的管脚分配如表 2-10-1 所示：

2-10-1 表：扩展口 CON1 引脚分配

CON1 管脚	信号 名称	FPGA 管脚号	输入/ 输出	CON1 管脚	信号 名称	FPGA 管脚号	输入/ 输出
PIN1	R1_14_N	M16	I/O	PIN2	R1_16_P	M18	I/O
PIN3	R1_14_P	L16	I/O	PIN4	R1_11_P	K18	I/O
PIN5	R1_10_P	J18	I/O	PIN6	R1_11_N	K17	I/O
PIN7	R1_10_N	J17	I/O	PIN8	R1_9_P	H18	I/O
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	R1_6_P	J15	I/O	PIN12	R1_9_N	H17	I/O
PIN13	R1_6_N	J14	I/O	PIN14	R1_5_P	G18	I/O
PIN15	R1_0_P	F14	I/O	PIN16	R1_5_N	G17	I/O
PIN17	R1_0_N	F13	I/O	PIN18	R1_1_P	F18	I/O
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	R1_2_P	G14	I/O	PIN22	R1_1_N	F17	I/O
PIN23	R1_2_N	G13	I/O	PIN24	R1_3_N	G16	I/O
PIN25	R1_4_P	H14	I/O	PIN26	R1_3_P	F16	I/O
PIN27	R1_4_N	H13	I/O	PIN28	R1_7_P	H16	I/O
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	R0_19_N	E17	I/O	PIN32	R1_7_N	J16	I/O
PIN33	R0_19_P	E18	I/O	PIN34	R0_17_N	C17	I/O
PIN35	R0_18_P	D18	I/O	PIN36	R0_17_P	C18	I/O
PIN37	R0_18_N	D17	I/O	PIN38	R0_16_N	A18	I/O
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	R0_10_N	A16	I/O	PIN42	R0_16_P	B18	I/O
PIN43	R0_10_P	B16	I/O	PIN44	R0_12_P	B17	I/O
PIN45	GND	-	地	PIN46	R0_12_N	A17	I/O
PIN47	R0_8_N	A15	I/O	PIN48	R0_14_N	E16	I/O
PIN49	R0_8_P	B15	I/O	PIN50	R0_14_P	E15	I/O

PIN51	GND	-	地	PIN52	GND	-	地
PIN53	R0_9_N	A14	I/O	PIN54	R0_11_P	C15	I/O
PIN55	R0_9_P	B14	I/O	PIN56	R0_11_N	D15	I/O
PIN57	GND	-	地	PIN58	R0_2_N	D13	I/O
PIN59	R0_6_N	A12	I/O	PIN60	R0_2_P	C13	I/O
PIN61	R0_6_P	B12	I/O	PIN62	R0_15_N	G12	I/O
PIN63	GND	-	地	PIN64	GND	-	地
PIN65	R0_5_N	A11	I/O	PIN66	R0_15_P	F12	I/O
PIN67	R0_5_P	B11	I/O	PIN68	R0_1_N	C10	I/O
PIN69	GND	-	地	PIN70	NC	-	空脚
PIN71	R0_4_N	A10	I/O	PIN72	NC	-	空脚
PIN73	R0_4_P	B10	I/O	PIN74	NC	-	空脚
PIN75	GND	-	地	PIN76	GND	-	地
PIN77	NC	-	空脚	PIN78	NC	-	空脚
PIN79	NC	-	空脚	PIN80	NC	-	空脚

其中 R0_10_P/N, R0_8_P/N, R0_9_P/N, R0_6_P/N, R0_5_P/N 和 R0_4_P/N 的管脚在 PCB 上以差分方式引出。

图 2-10-1 为 CON1 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标出。

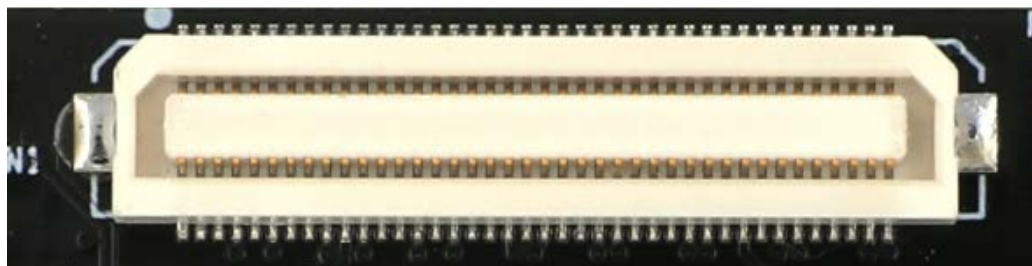


图 2-10-1 CON1 扩展口连接器的实物图

扩展口 CON2

80Pin 的连接器 CON2 用来连接核心板的+5V 电源, JTAG 接口信号和 FPGA 的普通 IO 口连接到底板, IO 的电压标准默认都是 3.3V 的。CON2 扩展口的管脚分配如表 2-10-2 所示:

2-10-2 表：扩展口 CON2 引脚分配

CON2 管脚	信号 名称	FPGA 管脚号	输入/ 输出	CON2 管脚	信号 名称	FPGA 管脚号	输入/ 输出
PIN1	+5V	-	电源	PIN2	+5V	-	电源
PIN3	+5V	-	电源	PIN4	+5V	-	电源
PIN5	+5V	-	电源	PIN6	+5V	-	电源
PIN7	+5V	-	电源	PIN8	+5V	-	电源
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	R1_17_P	N18	I/O	PIN12	R1_12_P	L18	I/O
PIN13	R1_19_P	L15	I/O	PIN14	R1_12_N	L17	I/O
PIN15	R1_19_N	L14	I/O	PIN16	R1_18_N	N16	I/O
PIN17	R1_15_N	M14	I/O	PIN18	R1_18_P	N15	I/O
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	R1_15_P	M13	I/O	PIN22	R1_13_P	L13	I/O
PIN23	R2_8_P	U18	I/O	PIN24	R1_13_N	L12	I/O
PIN25	R2_8_N	U17	I/O	PIN26	R2_11_P	P17	I/O
PIN27	R2_9_P	T18	I/O	PIN28	R2_11_N	P18	I/O
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	R2_9_N	T17	I/O	PIN32	R2_10_P	R17	I/O
PIN33	R2_7_P	V18	I/O	PIN34	R2_10_N	R18	I/O
PIN35	R2_7_N	V17	I/O	PIN36	R2_19_N	N14	I/O
PIN37	R2_15_N	U16	I/O	PIN38	R2_19_P	N13	I/O
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	R2_15_P	V16	I/O	PIN42	R2_14_N	V15	I/O
PIN43	R2_12_N	T16	I/O	PIN44	R2_14_P	U15	I/O
PIN45	R2_12_P	R16	I/O	PIN46	GND	-	地
PIN47	R2_16_N	R15	I/O	PIN48	R2_13_N	V14	I/O
PIN49	R2_16_P	R14	I/O	PIN50	R2_13_P	U14	I/O
PIN51	GND	-	地	PIN52	GND	-	地
PIN53	R2_18_P	P13	I/O	PIN54	R2_2_N	V13	I/O
PIN55	R2_18_N	P14	I/O	PIN56	R2_2_P	U13	I/O

PIN57	R2_17_N	T13	I/O	PIN58	GND	-	地
PIN59	R2_17_P	R13	I/O	PIN60	R2_3_N	V12	I/O
PIN61	R2_6_N	P12	I/O	PIN62	R2_3_P	U12	I/O
PIN63	GND	-	地	PIN64	GND	-	地
PIN65	R2_6_P	P11	I/O	PIN66	R2_4_N	V11	I/O
PIN67	R2_5_N	T11	I/O	PIN68	R2_4_P	U11	I/O
PIN69	R2_5_P	R11	I/O	PIN70	GND	-	地
PIN71	NC	-	空脚	PIN72	R2_1_N	V10	I/O
PIN73	NC	-	空脚	PIN74	R2_1_P	U10	I/O
PIN75	GND	-	地	PIN76	GND	-	地
PIN77	FPGA_TDI	H10	O	PIN78	FPGA_TCK	H11	O
PIN79	FPGA_TMS	G9	O	PIN80	FPGA_TDO	G8	I

其中 R2_18_P/N, R2_13_P/N, R2_2_P/N, R2_3_P/N, R2_4_P/N 和 R2_1_P/N 的管脚在 PCB 上以差分方式引出。

图 2-10-2 为 CON2 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

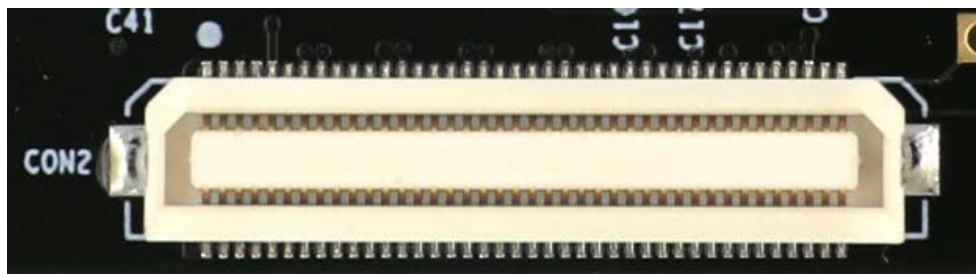


图 2-10-2 CON2 扩展口连接器的实物图

(十一) 电源

PGL22G 核心板供电电压为+5V，单独使用时通过排针接口供电，连接底板时通过底板供电，请注意不要排针和底板同时供电，以免造成损坏。板上的电源设计示意图如下图 2-11-1 所示:

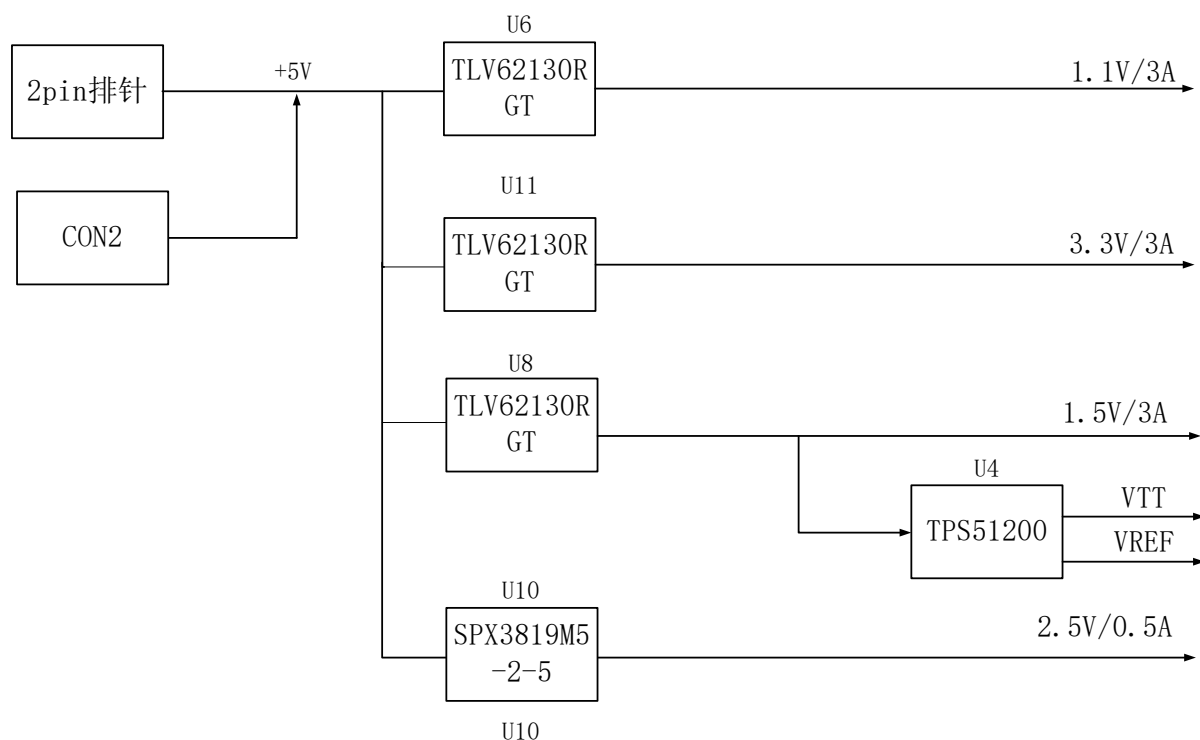
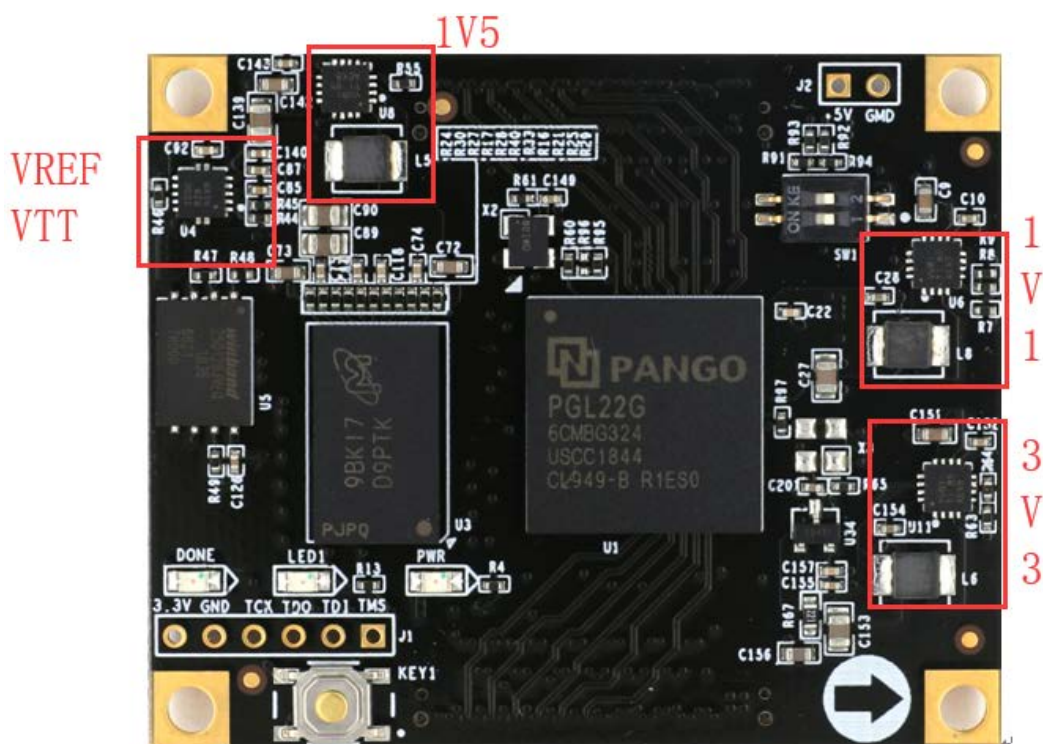


图 2-11-1 原理图中电源接口部分

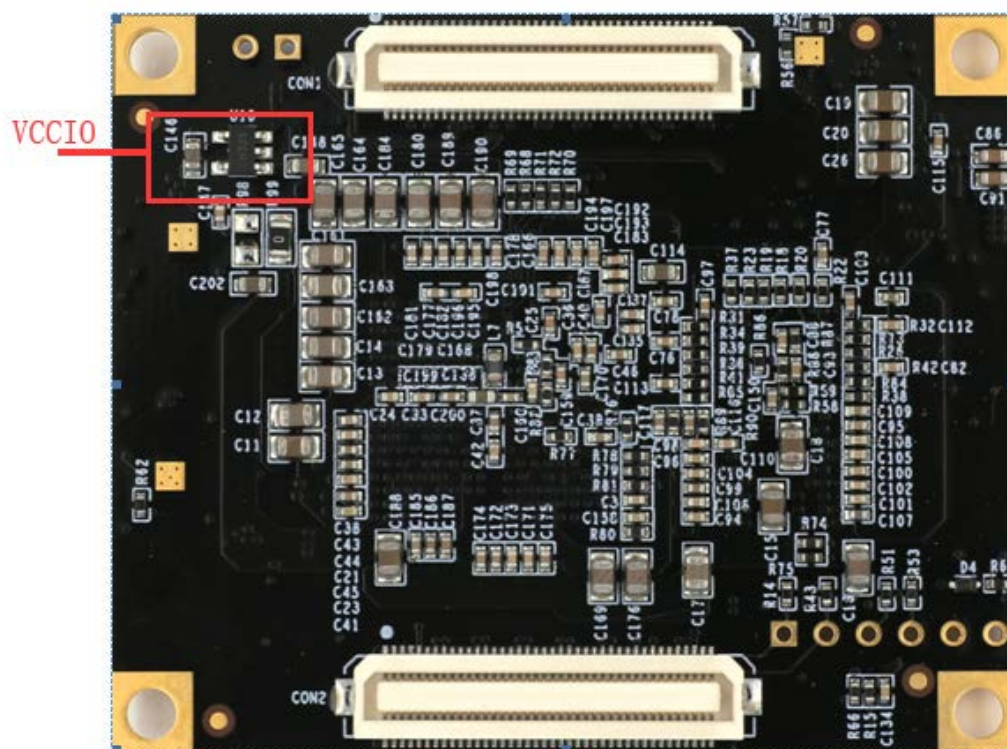
核心板通过+5V 供电,通过 3 路 DC/DC 电源芯片 TLV62130RGT 转化成+3.3V, +1.5V, +1.1V 三路电源,每路输出电流可高达 3A。另外通过 1 路 LDO SPX3819M5-3-3 产生 2.5V, 用户可以通过跳电阻的方式将 VCCIO 的供电从默认的 3.3V 更改为 2.5V, 使得 BANK R2 的 IO 适应不同的电压标准, 使得连接到 BANK R2 的差分信号实现不同电平标准的 LVDS 数据通信。各个电源分配的功能如下表所示:

电源	功能
+3.3V	FPGA Bank L0,R0~R2, QSIP FLASH, Clock 晶振, 辅助电压
+2.5V	暂时不用
+1.1V	FPGA 的核心电压
+1.5V	DDR3, FPGA Bank L1 和 Bank L2
VREF, VTT (+0.75V)	DDR3

PGL22G 核心板的电源电路在板上的分别实物图所下图 2-11-2 和 2-11-3 所示。

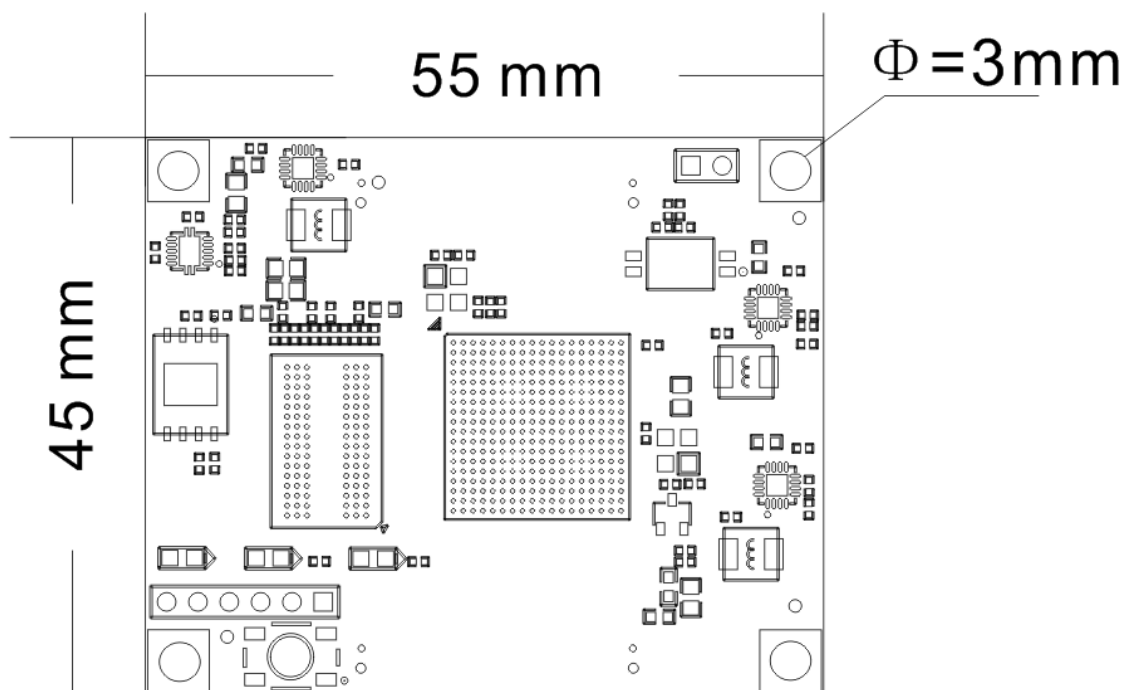


2-11-2 核心板电源部分实物图（正面）



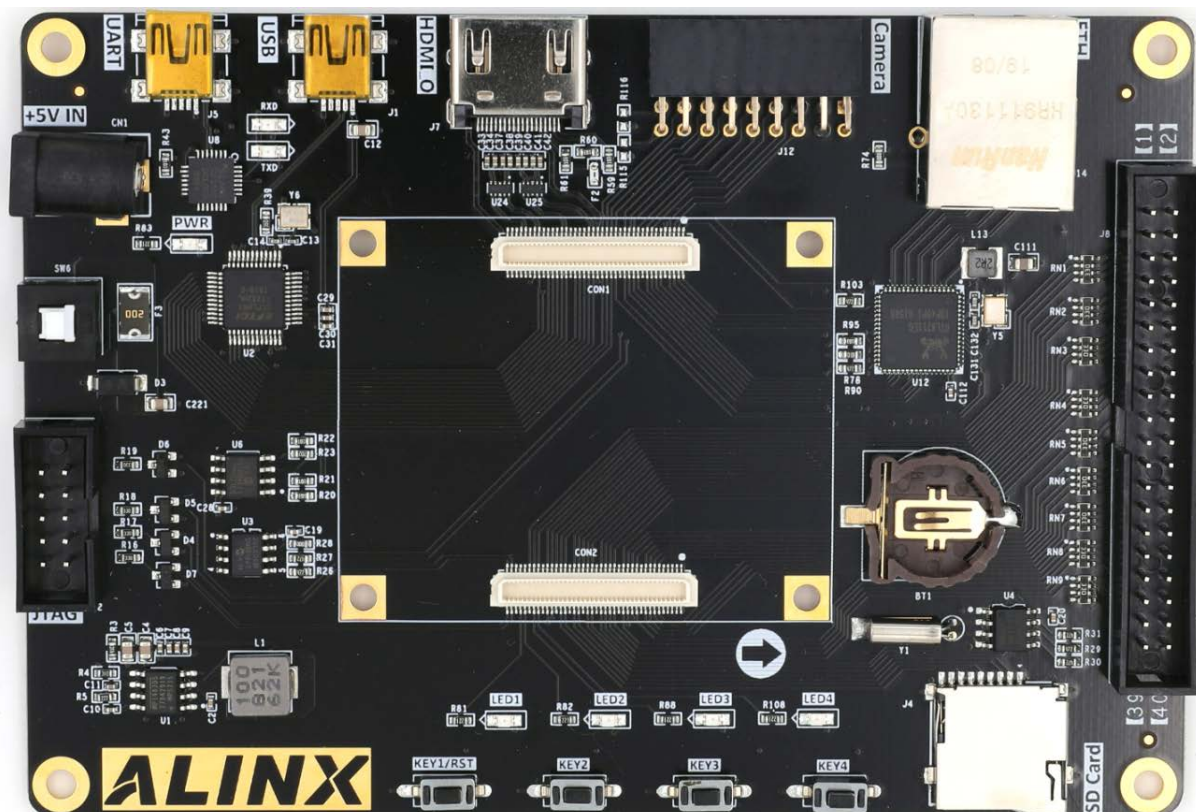
2-11-3 核心板电源部分实物图（背面）

(十二) 结构图



正面图 (Top View)

三、 扩展板



(一) 简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- 一路 10/100M/1000M 以太网 RJ-45 接口
- 一路 HDMI 视频输出接口
- 一路 USB2.0 通信接口
- 一路 USB Uart 通信接口
- SD 卡接口
- RTC 实时时钟
- EEPROM
- 一个 40 针扩展口
- 一个摄像头接口
- JTAG 调试口
- 4 个独立按键
- 4 个用户 LED 灯

(二) 千兆以太网接口

开发板上通过 Realtek RTL8211EG 以太网 PHY 芯片为用户提供网络通信服务。RTL8211EG 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 FPGA 进行数据通信。RTL8211EG 支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

RTL8211EG 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。下表描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
PHYAD[2:0]	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
SELRGV	3.3V,2.5V,1.5/1.8V 电压选择	3.3V
AN[1:0]	自协商配置	(10/100/1000M)自适应
RX Delay	RX 时钟 2ns 延时	延时
TX Delay	TX 时钟 2ns 延时	延时
MODE	RGMII 或 GMII 选择	RGMII

当网络连接到千兆以太网时，FPGA 和 PHY 芯片 RTL8211EG 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz,数据在时钟的上升沿和下降沿采样。接收时钟 E_RXC 由 PHY 芯片提供，发送时钟 E_GTXC 由 FPGA 提供，数据在时钟的上升沿采样。

当网络连接到百兆以太网时，FPGA 和 PHY 芯片 RTL8211EG 的数据传输时通过 MII 总线通信，传输时钟为 25Mhz。接收时钟 E_RXC 和发送时钟 E_TXC 都由 PHY 芯片提供，数据在时钟的上升沿采样。

图 3-2-1 为 FPGA 与以太网 PHY 芯片连接示意图:

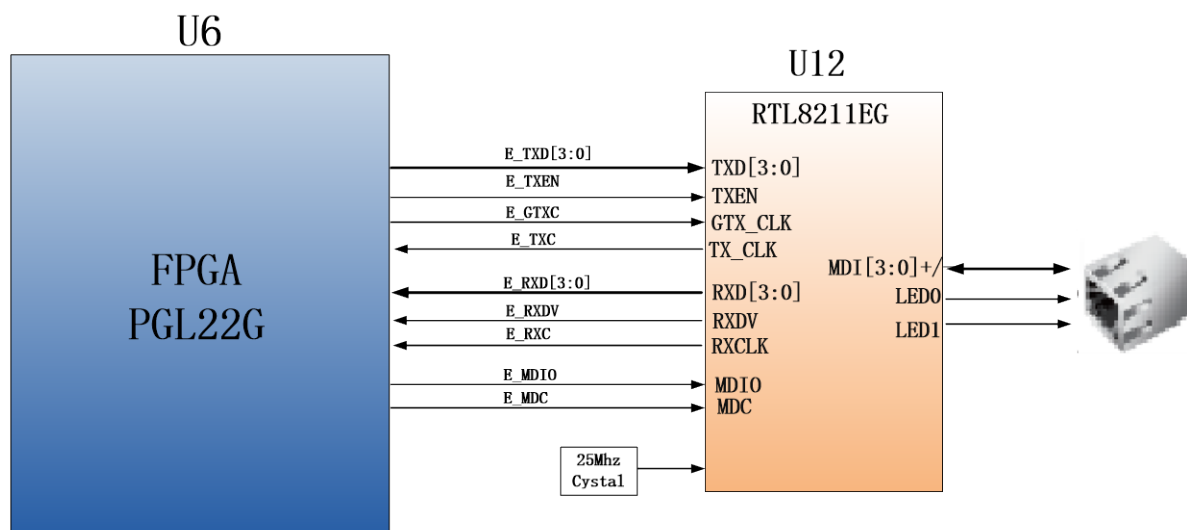


图 3-2-1 FPGA 与 PHY 芯片连接示意图

图 3-2-2 为以太网 PHY 芯片的实物图

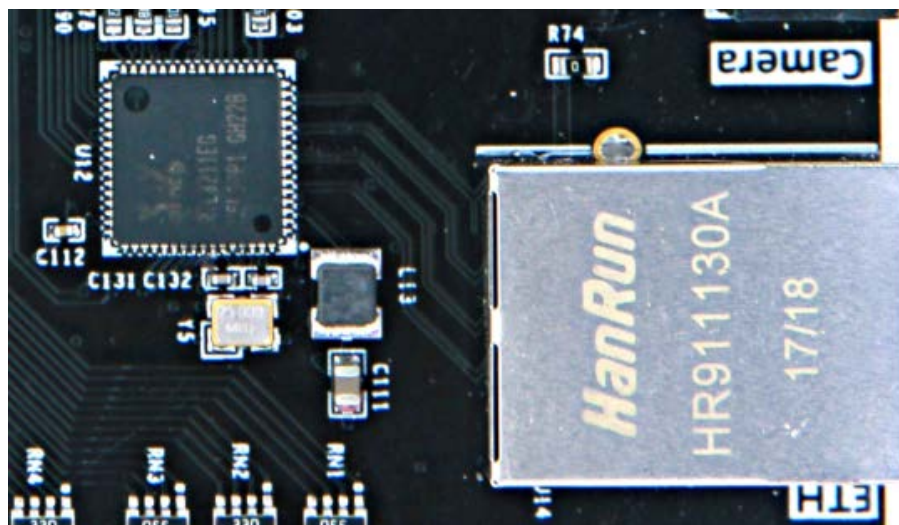


图 3-2-2 以太网 PHY 芯片实物图

以太网 PHY1 的 FPGA 引脚分配如下：

信号名称	FPGA 引脚号	备注
E_GTXC	H17	RGMII 发送时钟
E_TXD0	G17	发送数据 bit 0
E_TXD1	F18	发送数据 bit1
E_TXD2	F17	发送数据 bit2
E_TXD3	G16	发送数据 bit3
E_TXEN	G18	发送使能信号
E_TXC	F16	100M/10 时的发送时钟
E_RXC	H18	RGMII 接收时钟
E_RXD0	M16	接收数据 Bit0
E_RXD1	M18	接收数据 Bit1
E_RXD2	K18	接收数据 Bit2
E_RXD3	K17	接收数据 Bit3
E_RXDV	L16	接收数据有效信号
E_MDC	H16	MDIO 管理时钟
E_MDIO	J16	MDIO 管理数据

(三) HDMI 输出接口

HDMI 输出接口的实现, 是通过 FPGA 的 4 路 LVDS 差分信号 (3 路数据和一路时钟) 接口直接驱动 HDMI 输出, 为开发板提供不同格式的视频输出接口。

其中, HDMI 接口和 FPGA 之间的 LVDS 差分信号的连接使用 AC Couple 的模式, 起到隔直的左右。另外在硬件设计上, 每对 LVDS 差分信号上增加了 TVS 保护管, 防止外面静电对 FPGA 的损坏。HDMI 输出接口的硬件连接如图 3-3-1 所示。

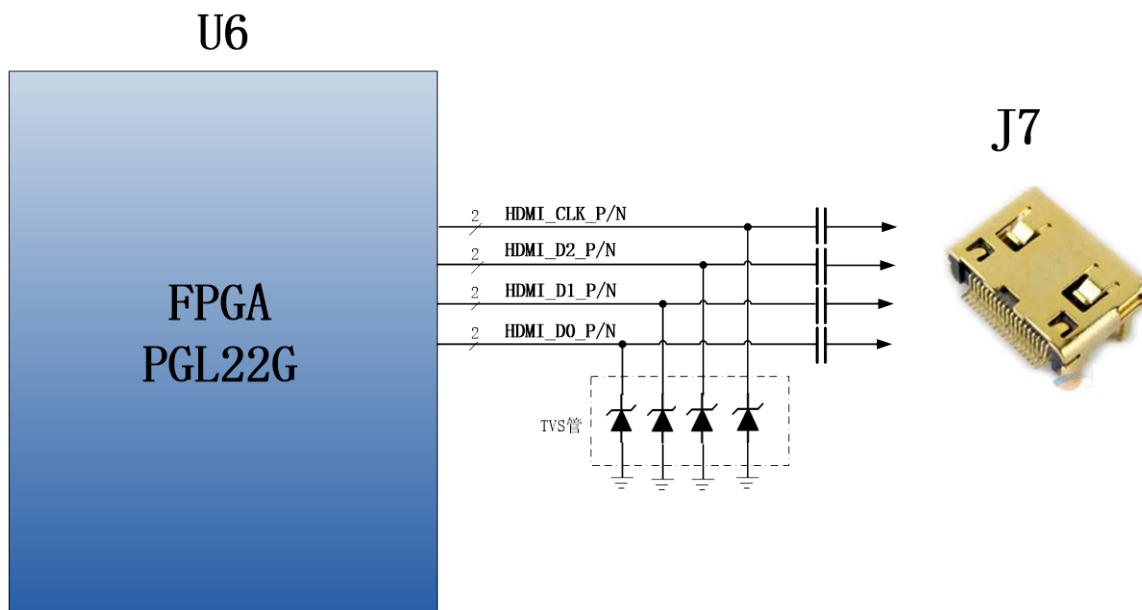


图 3-3-1 HDMI 输出接口原理图

HDMI 输出接口在扩展板的实物图如下图 3-3-2 所示:

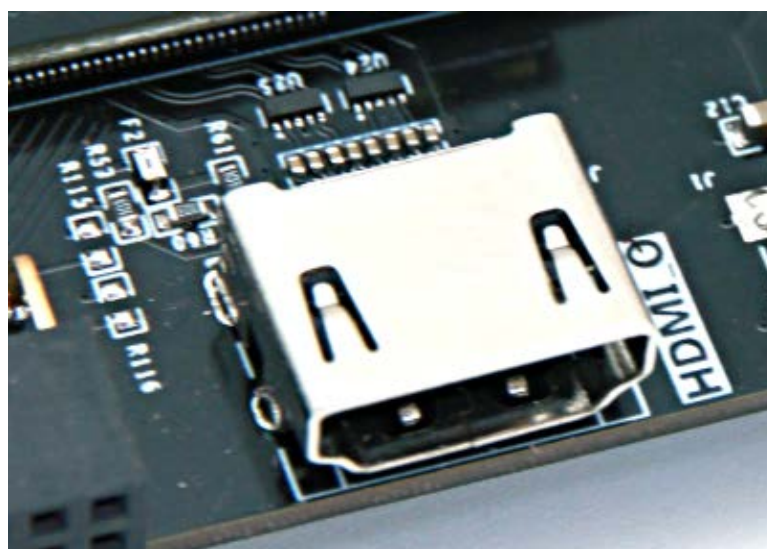


图 3-3-2 HDMI 输出接口实物图

FPGA 引脚分配:

引脚名称	FPGA 引脚
HDMI_CLK_P	B16
HDMI_CLK_N	A16
HDMI_D2_N	A10
HDMI_D2_P	B10
HDMI_D1_N	A11
HDMI_D1_P	B11
HDMI_D0_N	A14
HDMI_D0_P	B14

(四) USB2.0 通信接口

我们采用了 FTDI Chip 公司的 FT232H 单通道高速 USB 芯片为开发板实现和电脑之间的 USB2.0 数据通信。最高 USB2.0 高速通信 (480Mb/s) 和全速通信 (12Mb/s), 数据接口支持不同的数据通信模式 (FIFO, I2C, SPI, JTAG), 上电后读取外置的 EEPROM 配置内容来决定数据通信模式, 也可以通过 PC 方便的修改配置方式。USB 芯片的接口管脚的功能是复用的, 具体请参考 FT232H 的芯片手册。

USB 芯片 FT232H 的数据接口信号与 FPGA 的 IO 相连, 通过 FPGA 的编程来对 FT232H 进行数据通信, FT232H 的硬件连接是按照 FT245 同步 FIFO 接口方式连接的。如图 3-4-1 所示。

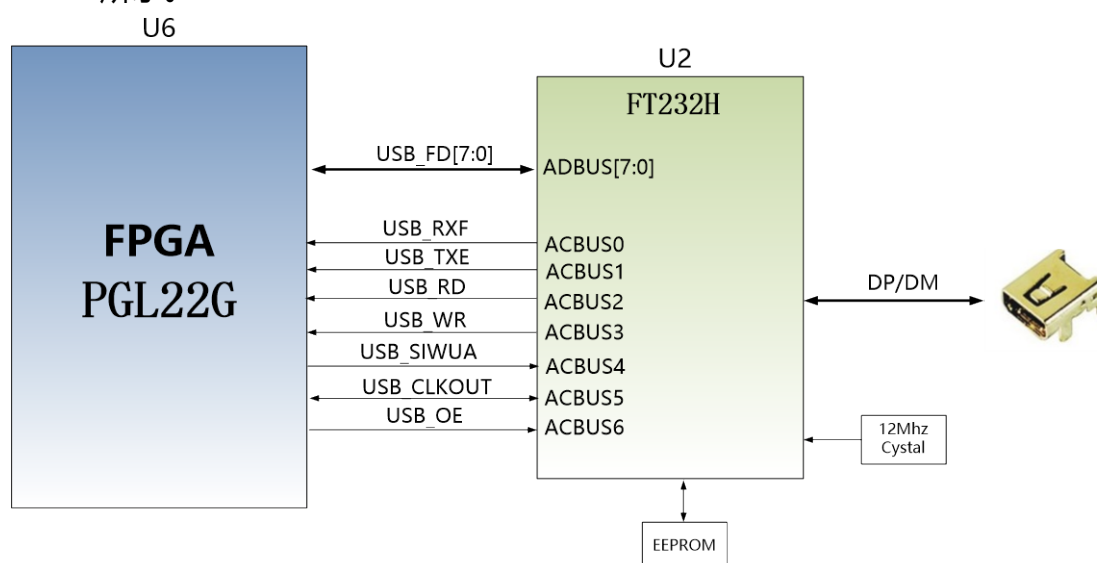


图 3-4-1 USB2.0 接口原理图

USB2.0 接口在扩展板的实物图如下图 3-4-2 所示:

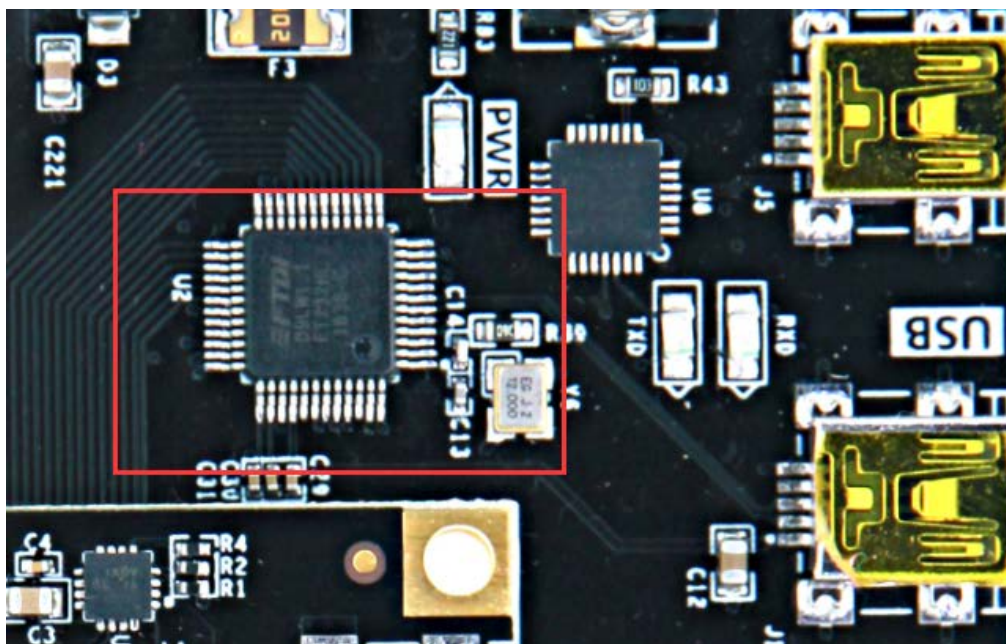


图 3-4-2 USB2.0 接口实物图

FPGA 引脚分配:

引脚名称	FPGA 引脚	说明
USB_FD0	C17	USB2.0 的数据 bit0
USB_FD1	C18	USB2.0 的数据 bit1
USB_FD2	A18	USB2.0 的数据 bit2
USB_FD3	B18	USB2.0 的数据 bit3
USB_FD4	B17	USB2.0 的数据 bit4
USB_FD5	A17	USB2.0 的数据 bit5
USB_FD6	E16	USB2.0 的数据 bit6
USB_FD7	E15	USB2.0 的数据 bit7
USB_RXF	C15	低表示接收 FIFO 数据可读
USB_TXE	D15	低表示发送 FIFO 数据可以写
USB_RD	D13	数据接收 FIFO 读信号, 低有效
USB_WR	C13	数据发送 FIFO 写信号, 低有效
USB_SIWUA	G12	立刻发送/唤醒功能
USB_CLKOUT	B12	60MHz 的时钟输出
USB_OE	F12	USB 数据输出使能

(五) SD 卡槽

SD 卡(Secure Digital Memory Card)是一种基于半导体闪存工艺的存储卡, 1999 年由日本松下主导概念, 参与者东芝和美国 SanDisk 公司进行实质研发而完成。2000 年这几家公司发起成立了 SD 协会(Secure Digital Association 简称 SDA), 阵容强大, 吸引了大量厂商参加。其中包括 IBM, Microsoft, Motorola, NEC、Samsung 等。在这些领导厂商的推动下, SD 卡已成为目前消费数码设备中应用最广泛的一种存储卡。

SD 卡是现在非常常用的存储设备, 我们扩展出来的 SD 卡, 支持 SPI 模式, 使用的 SD 卡为 MicroSD 卡。原理图如下图 3-5-1 所示。

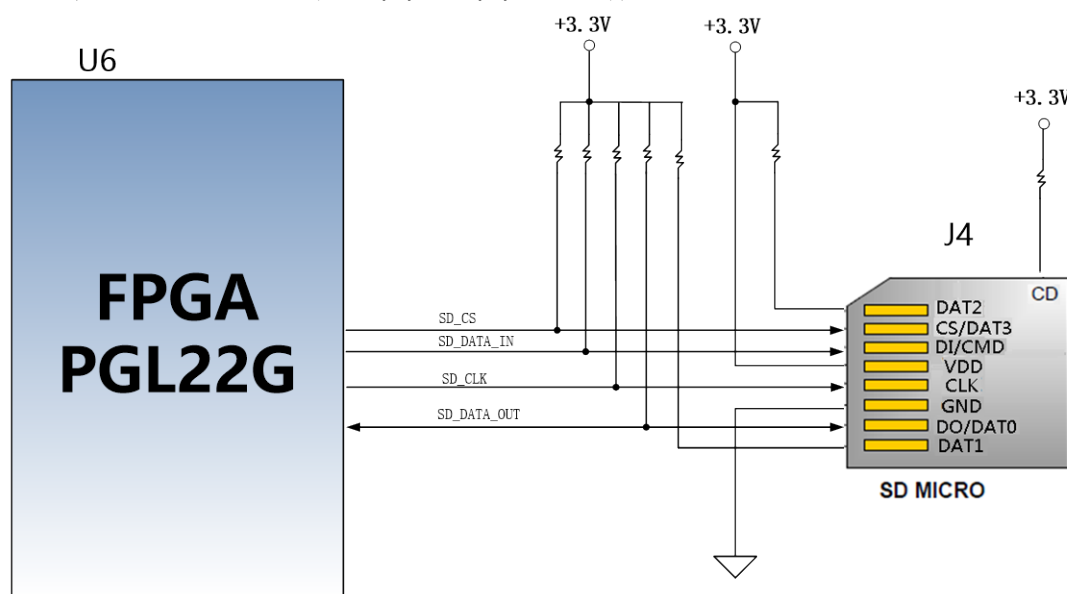


图 3-5-1 SD 卡槽原理图

下图为 PGL22G 开发板的 SD 卡槽实物图

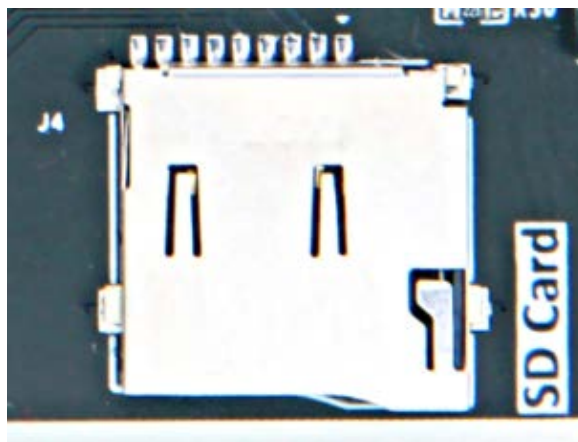


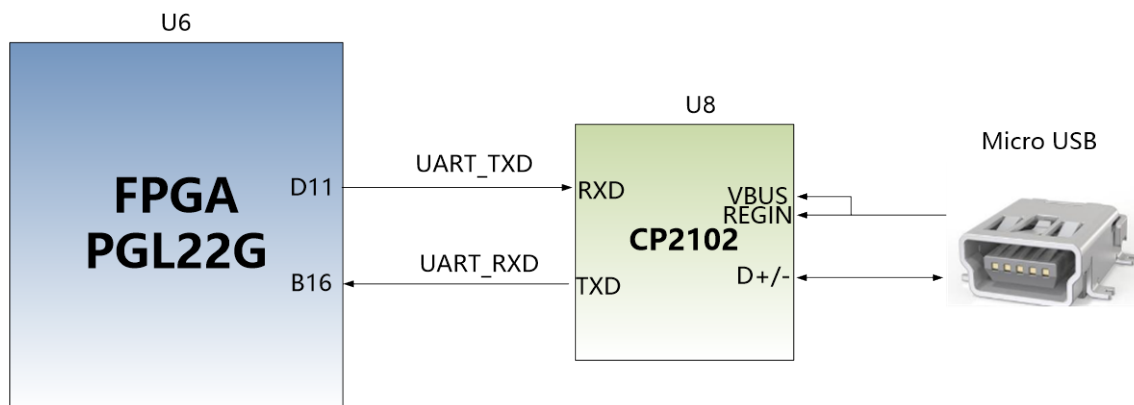
图 3-5-2 SD 卡槽实物图

SD 卡槽引脚分配

SPI 模式	
引脚名称	FPGA 引脚
SD_CS	V14
SD_CLK	V13
SD_DATA_IN	U14
SD_DATA_OUT	U13

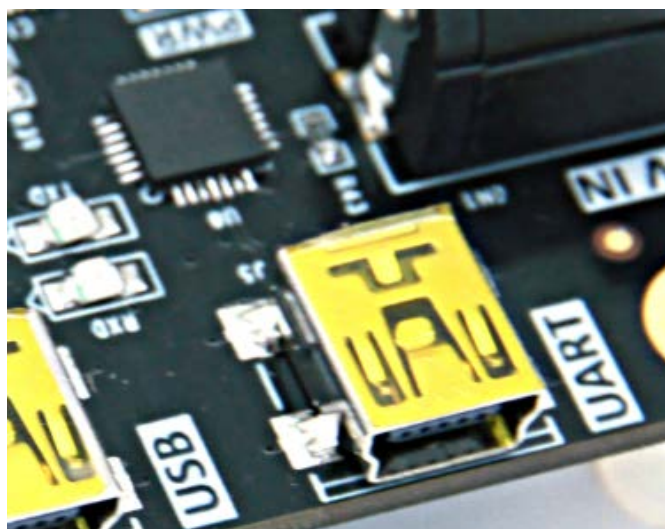
(六) USB 转串口

PGL22G 开发板包含了 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口,可以用一根 USB 线将它连接到上 PC 的 USB 口进行串口数据通信。USB Uart 电路设计的示意图如下图所示:



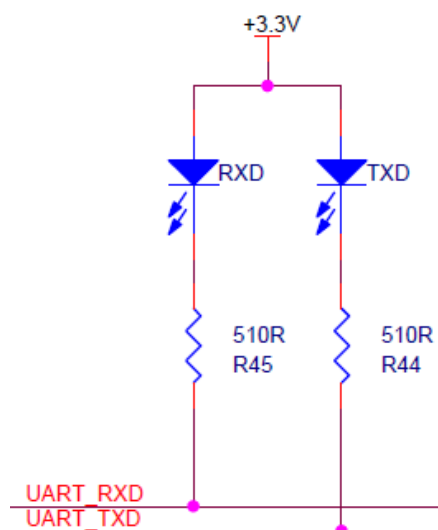
3-6-1 USB 转串口示意图

下图为 USB 转串口的实物图



3-6-2 USB 转串口实物图

同时对串口信号设置了 2 个 PCB 上丝印为 TXD 和 RXD 的 LED 指示灯，TXD 和 RXD LED 灯会指示串口是否有数据发出或者是否有数据接受，如下图所示，



3-7-3 USB 转串口信号指示灯

UART 转串口的 FPGA 引脚分配:

引脚名称	FPGA 引脚
UART_RXD	A12
UART_TXD	C10

(七) EEPROM 24LC04

PGL22G 开发板板载了一片 EEPROM，型号为 24LC04, 容量为：4Kbit (2*256*8bit)，由 2 个 256byte 的 block 组成, 通过 IIC 总线进行通信。板载 EEPROM 就是为了学习 IIC 总线的通信方式。EEPROM 的 I2C 信号连接的 FPGA 的 IO 口上。下图 3-7-1 为 EEPROM 的设计示意图

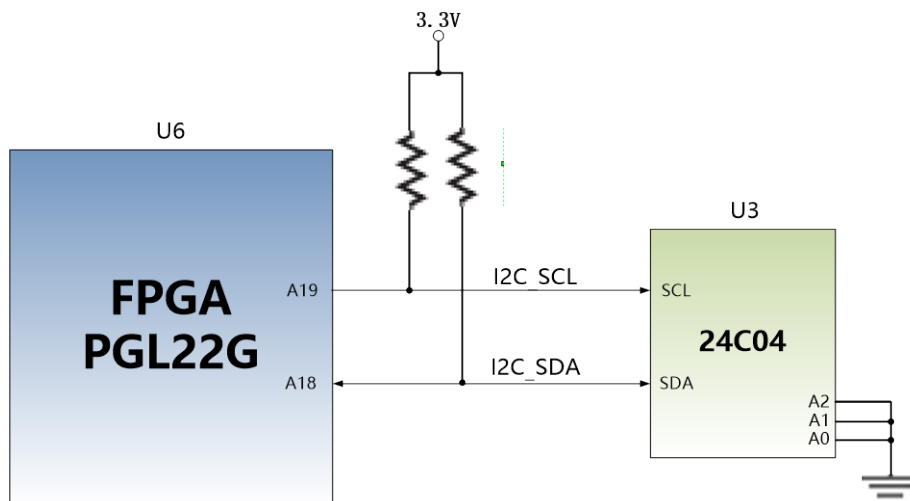


图 3-7-1 EEPROM 原理图部分

下图为 EEPROM 实物图

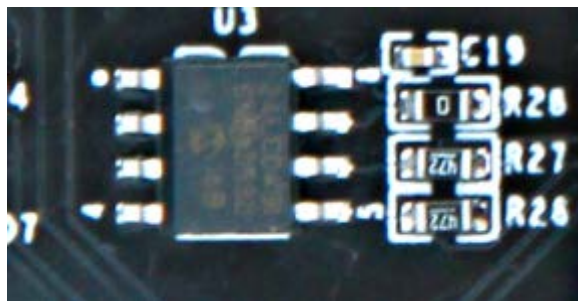


图 3-7-2 EEPROM 实物图

EEPROM 引脚分配:

引脚名称	FPGA 引脚
I2C_SCL	A15
I2C_SDA	B15

(八) 实时时钟 DS1302

开发板板载了一片实时时钟 RTC 芯片，型号 DS1302，他的功能是提供到 2099 年内的日历功能，年月日时分秒还有星期。如果系统中需要时间的话，那么 RTC 就需要涉及到产品中。他外部需要接一个 32.768KHz 的无源时钟，提供精确的时钟源给时钟芯片，这样才能让 RTC 可以准确的提供时钟信息给产品。同时为了产品掉电以后，实时时钟还可以正常运行，一般需要另外配一个电池给时钟芯片供电，图 3-8-2 中为 BT1 为电池座，我们将纽扣电池（型号 CR1220，电压为 3V）放入以后，当系统掉电，纽扣电池还可以给 DS1302 供电，这样，不管产品是否供电，DS1302 都会正常运行，不会间断，可以提供持续不断的时间信息。RTC 的接口信号也是连接到 FPGA 的 IO 口上。图 3-8-1 为 DS1302 设计示意图：

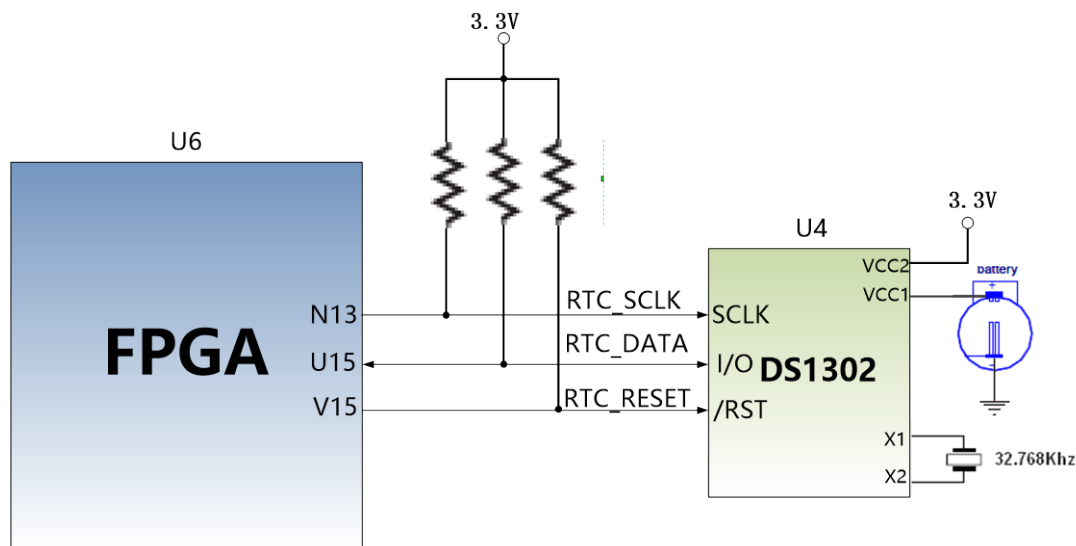


图 3-8-1 DS1302 设计示意图

图 3-8-2 为 DS1302 实物图



图 3-8-2 DS1302 实物图

DS1302 接口引脚分配:

引脚名称	FPGA 引脚
RTC_SCLK	N13
RTC_SDAT	U15
RTC_RESET	V15

(九) 扩展口

扩展板预留 1 个 2.54mm 标准间距的 40 针的扩展口 J8，用于连接各个模块或者用户自己设计的外面电路，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。**切勿 IO 直接跟 5V 设备直接连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。**

在扩展口和 FPGA 连接之间串联了 33 欧姆的排阻，用于保护 FPGA 以免外界电压或电流过高造成损坏，扩展口(J8)的电路如下图 3-9-1 所示

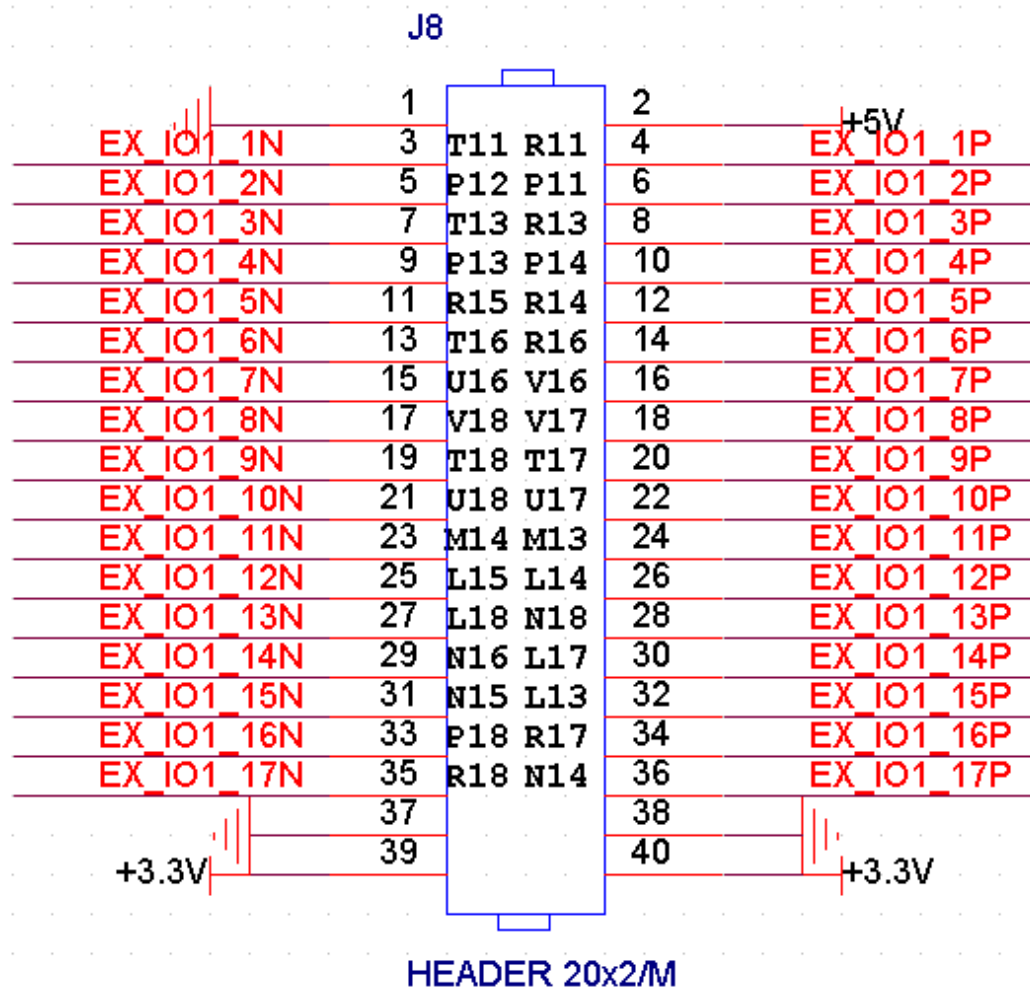


图 3-9-1 扩展口 J8 原理图

下图为 J8 扩展口实物图，扩展口的 Pin1，Pin2 已经在板上标示出。

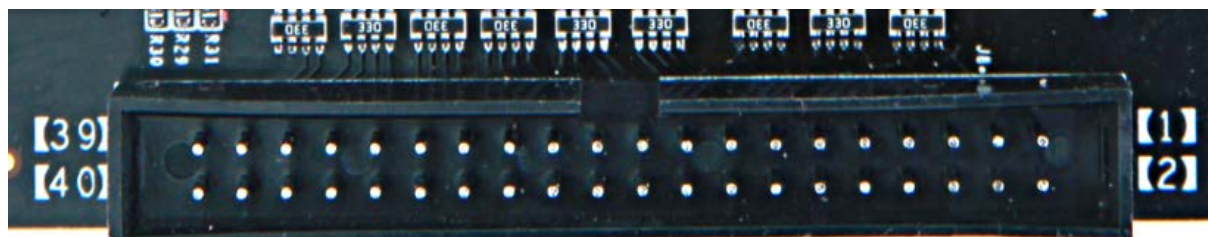


图 3-9-2 扩展口 J8 实物图

J8 扩展口 FPGA 的引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	+5V
3	T11	4	R11
5	P12	6	P11
7	T13	8	R13
9	P13	10	P14
11	R15	12	R14
13	T16	14	R16
15	U16	16	V16
17	V18	18	V17
19	T18	20	T17
21	U18	22	U17
23	M14	24	M13
25	L15	26	L14
27	L18	28	N18
29	N16	30	L17
31	N15	32	L13
33	P18	34	R17
35	R18	36	N14
37	GND	38	GND
39	+3.3V	40	+3.3V

(十) JTAG 接口

开发板预留了一个标准的 10 针 2.54mm 间距的 JTAG 接口, 用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏, 我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围, 避免 FPGA 的损坏。

JTAG Connector

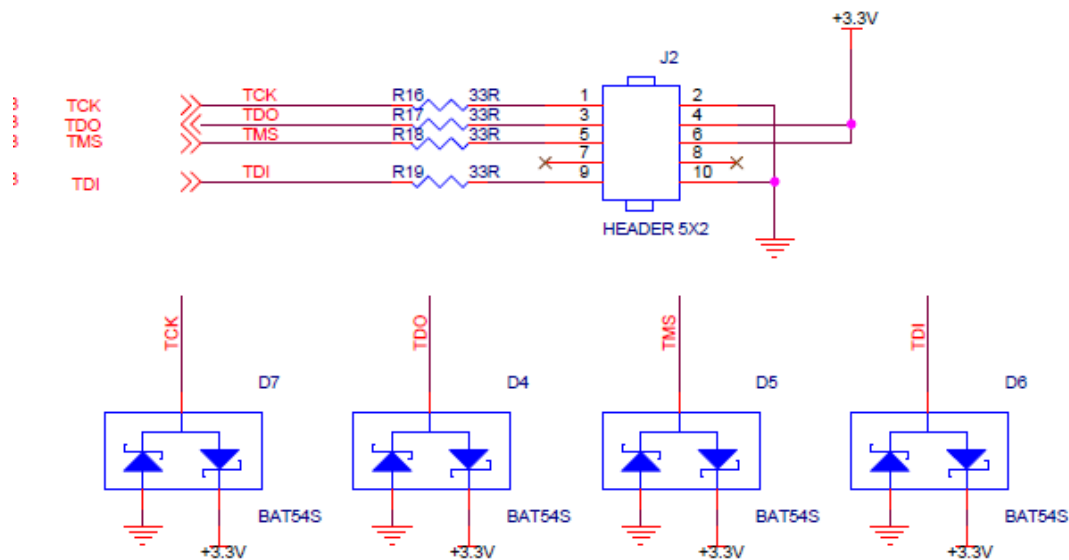


图 3-10-1 JTAG 接口原理图

下图为扩展板上 JTAG 接口实物图, JTAG 线插拔的时候注意不要热插拔。

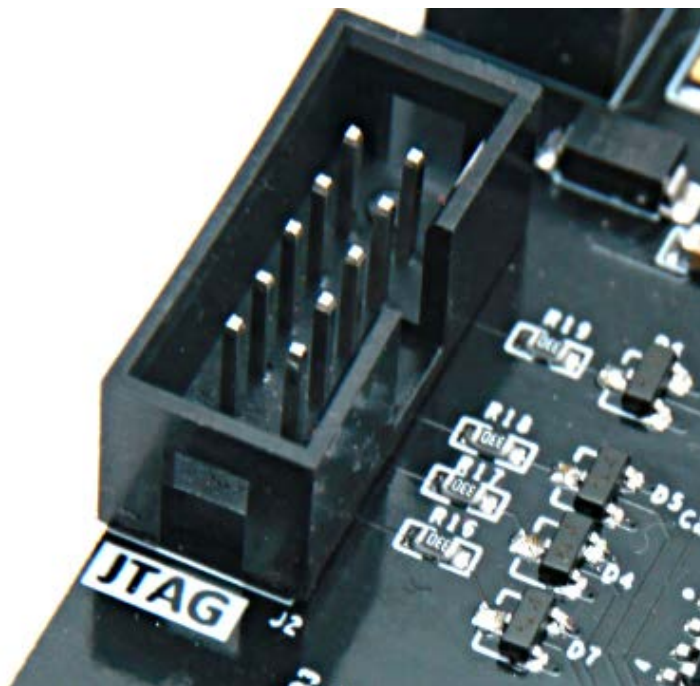


图 3-10-2 JTAG 接口实物图

(十一) 摄像头接口

开发板包含了一个 18 针的 CMOS 摄像头接口，用于连接 OV5640 摄像头模块，可以实现视频采集功能，采集以后，可以通过 HDMI 或者 VGA 接口连接显示器进行显示。关于摄像头选择，用户可以根据自己实际需要进行选购，但接口不接摄像头的时候，可以作为 FPGA 普通 IO 口使用。

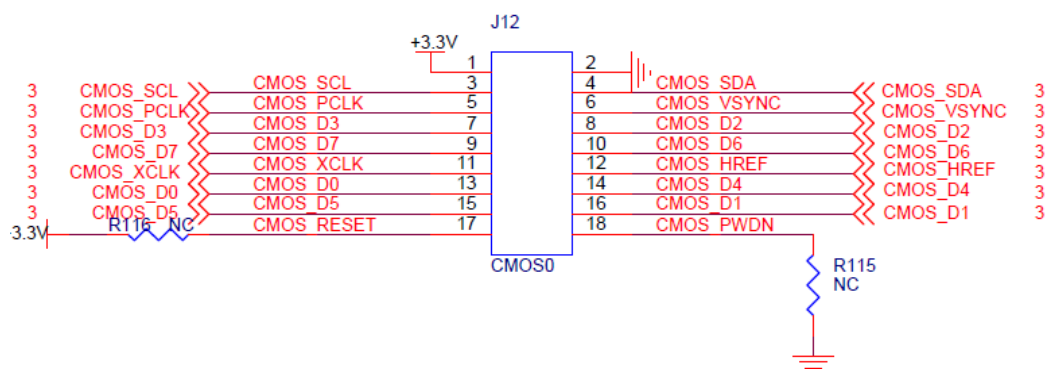


图 3-11-1 CMOS 摄像头接口原理图

下图为扩展板上摄像头接口实物图，

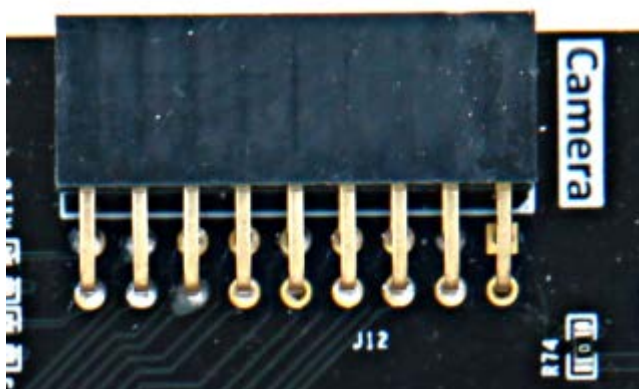


图 3-11-2 CMOS 摄像头接口实物图

下表为连接 500 万 CMOS 摄像头(AN5640 模组)的 FPGA 引脚分配：

引脚名称	FPGA 引脚
CMOS_SCL	J14
CMOS_SDA	J15
CMOS_PCLK	J17
CMOS_VSYNC	J18
CMOS_D[3]	F13

CMOS_D[2]	F14
CMOS_D[7]	G13
CMOS_D[6]	G14
CMOS_XCLK	H13
CMOS_HREF	H14
CMOS_D[0]	E18
CMOS_D[4]	E17
CMOS_D[5]	D17
CMOS_D[1]	D18
CMOS_RESET	-
CMOS_PWDN	-

(十二) 按键

扩展板上含有 4 个用户按键 KEY1~KEY4，其中 KEY1/RST 按键为后续程序中会用的复位按键，与其他三个按键无本质区别，四个按键都连接到 FPGA 的普通的 IO 上，按键低电平有效，当按键按下，FPGA 的 IO 输入电压为低，当没有按键按下时，FPGA 的 IO 输入电压为高。按键部分电路如下图 3-12-1 所示

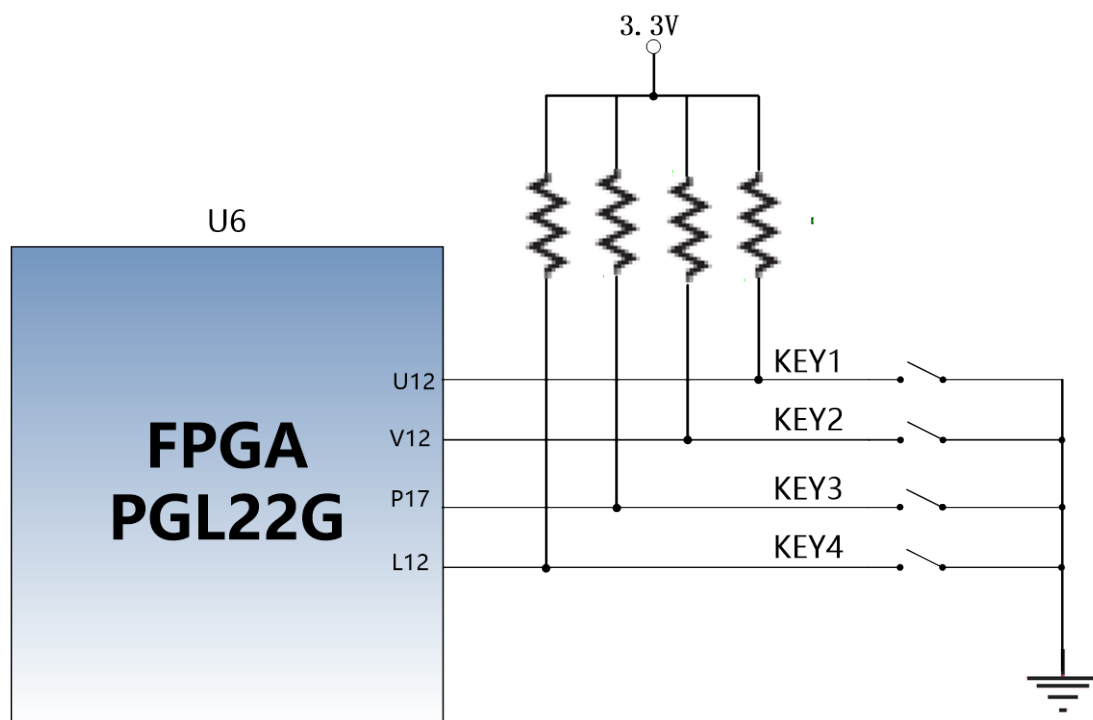


图 3-12-1 按键硬件设计示意图

图 3-12-2 为扩展板上 4 个用户按键实物图



图 3-12-2 按键实物图

按键 FPGA 引脚分配:

引脚名称	FPGA 引脚
KEY1	U12
KEY2	V12
KEY3	P17
KEY4	L12

(十三) LED 灯

扩展板上有 7 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，2 个是 USB Uart 的数据接收和发送指示灯，4 个是用户 LED 灯 (LED1~LED4)。当开发板供电后，电源指示灯会亮起。用户 LED1~LED4 连接到 FPGA 的普通 IO，当连接用户 LED 灯的 IO 电压配置为低电平时，用户 LED 灯点亮，当连接 IO 电压为配置为高电平时，用户 LED 会被熄灭。

LED 灯硬件连接的示意图如图 3-13-1 所示

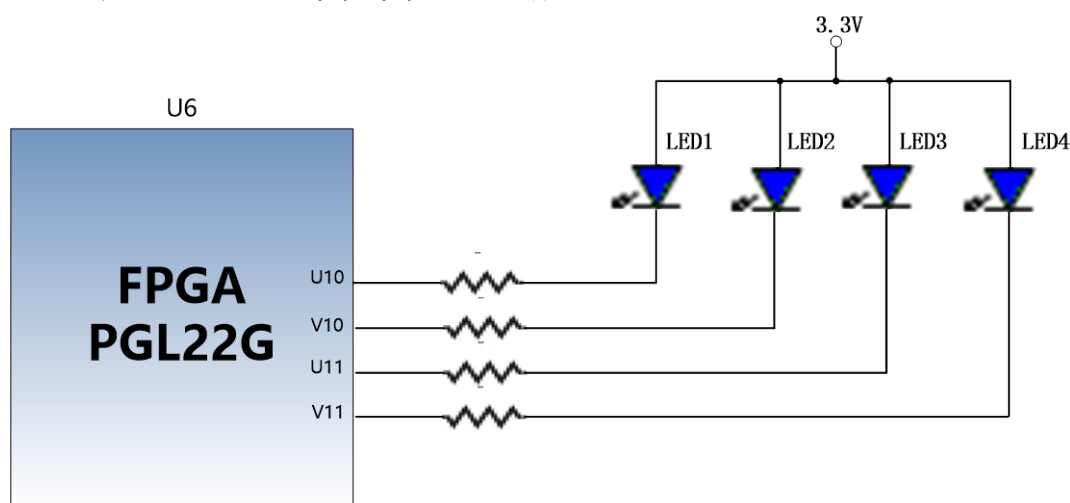


图 3-13-1 LED 灯硬件设计示意图

图 3-14-2 为扩展板上 4 个用户 LED 灯实物图



图 3-13-2 用户 LED 灯实物图

LED 灯 FPGA 引脚分配:

引脚名称	FPGA 引脚
LED1	U10
LED2	V10
LED3	U11
LED4	V11

(十四) 供电电源

开发板的电源输入电压为+5V，请使用开发板自带的电源,不要用其他规格的电源，以免损坏开发板。扩展板上通过 1 路 DC/DC 电源芯片 MP1482 把+5V 电压转化成 +3.3V 电源。另外扩展板上的+5V 电源通过板间连接器给核心板供电，扩展上的+3.3V 电源设计如下图 3-14-1 所示:

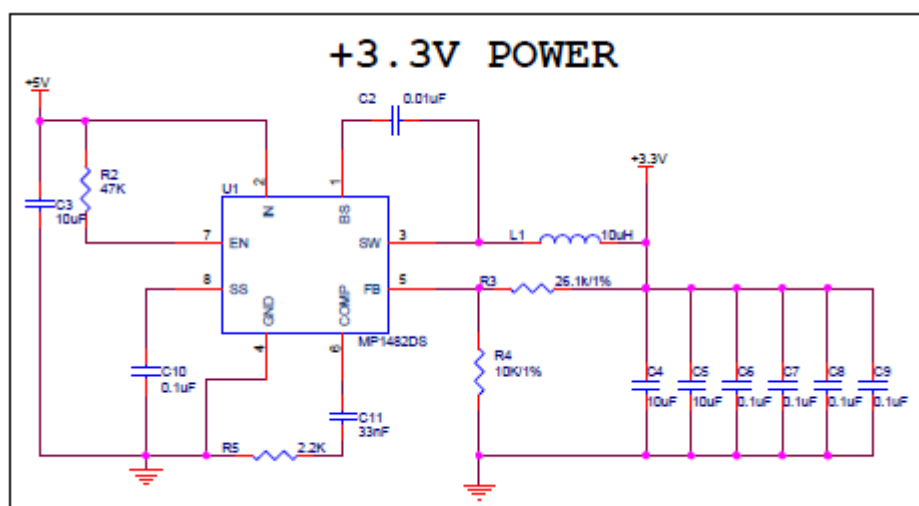


图 3-14-1 扩展板电源原理图

图 3-14-2 为扩展板上电源电路的实物图

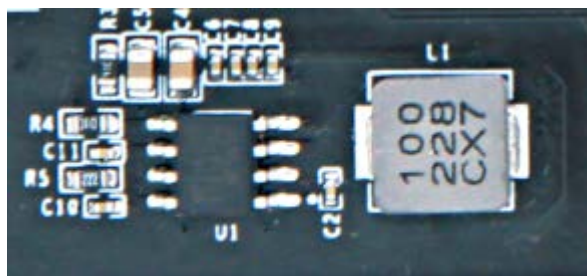


图 3-14-2 扩展板电源电路实物图

(十五) 结构图

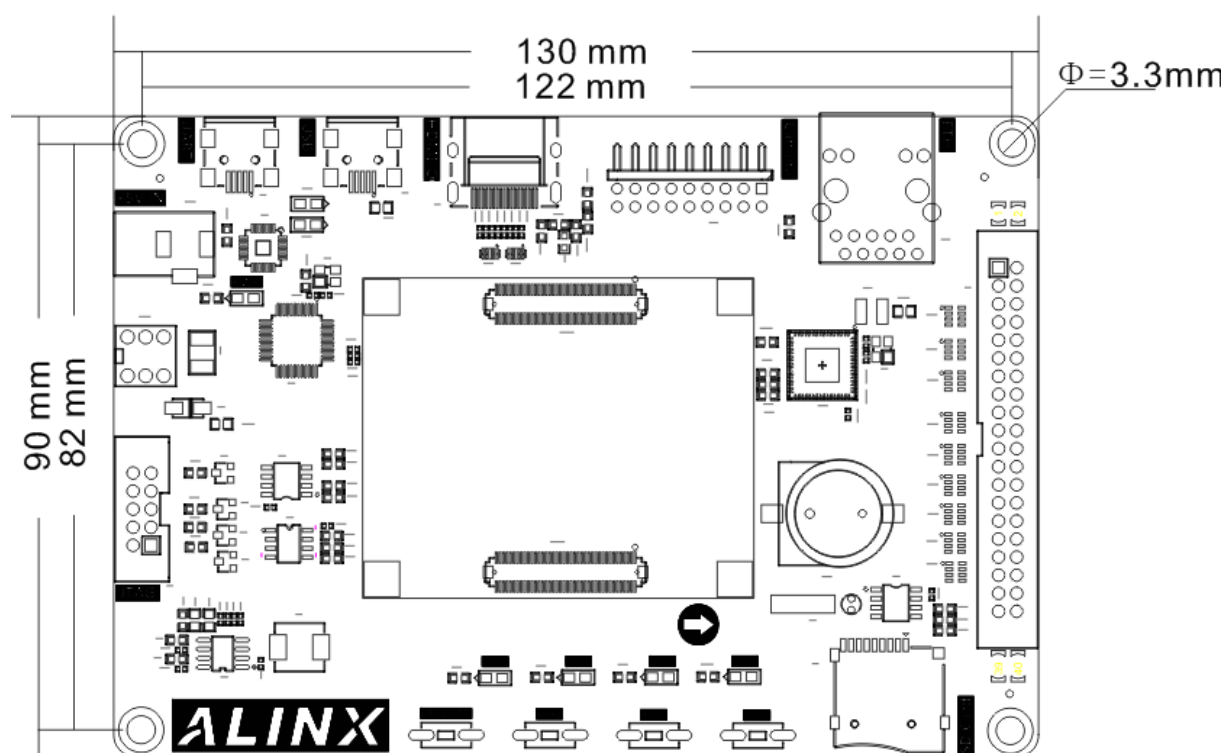


图 3-15-1 底板结构正面图 (Top View)