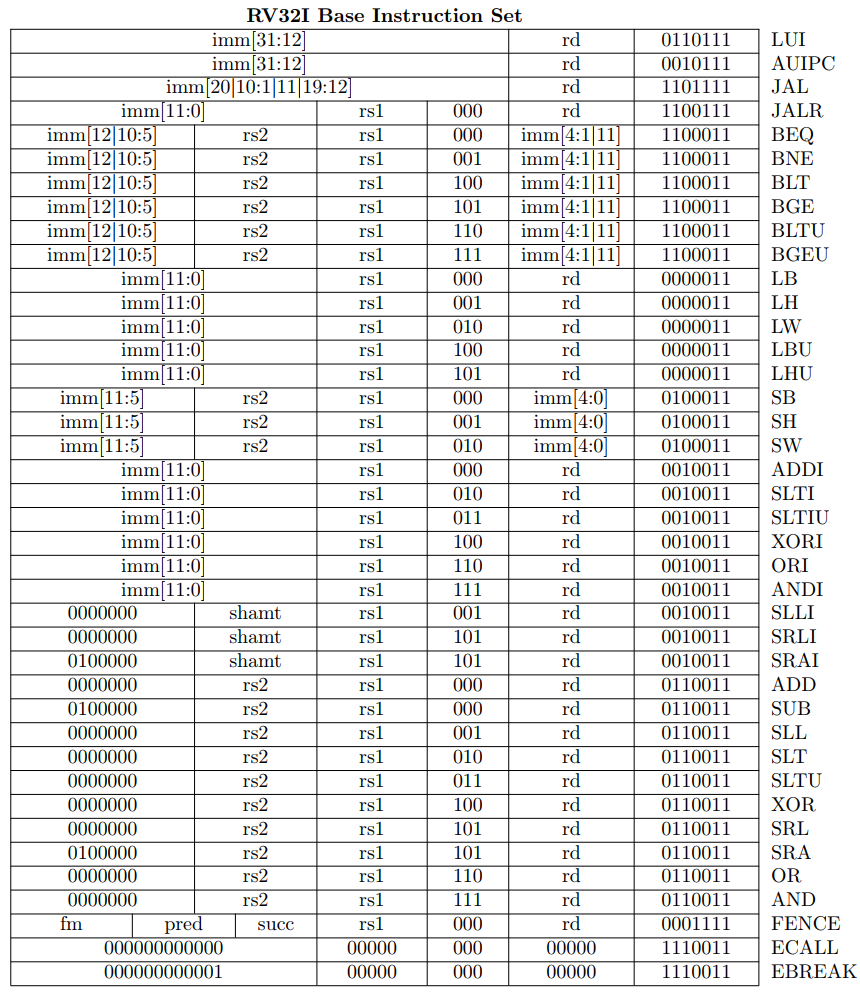
指令集和编码方案

童敢 黄家腾 赵琛然

要求实现的处理器核支持完整的RV32I和至少十条自定的拓展指令，参考RISC-V最新的非特权指令文档riscv-spec-20191213.pdf，经过小组讨论，我们采用的指令集和编码方案如下所示：

1. RV32I标准集

这个是要求必须完整实现的，也是支持RV编译器的最小指令集，包含32位整数指令，编码方案采用文档中给出的标准：



1. RV32M拓展集

因为后续需要实现Tomasolu算法或记分牌算法，因此肯定会涉及到占用多个时钟周期的运算，在上学期的高级计算机体系结构课程中，就涉及到了乘法和除法，因此非常有必要实现M拓展集，以在后续实验中体现Tomasolu算法实现的完备性。RV32M拓展集共8条指令，包括整数的乘除法，文档中给出的编码方案如下：

图片包含 游戏机, 木, 钟表

描述已自动生成

1. RV32Zifencei拓展集

这个拓展集只有一条指令——FENCE.I，该指令用于同步指令和数据流，为同一个HART（硬件线程）上的指令存储器写入和指令抓取提供显式同步，可确保在HART上后续的读取指令将看到先前写入的数据。简单可以理解为等到前面的访存指令全部执行完毕，在重新抓取后续指令。考虑到流水线可能需要这个指令，因此加入这个拓展集，文档中给出的编码方案如下：

电脑截图

描述已自动生成

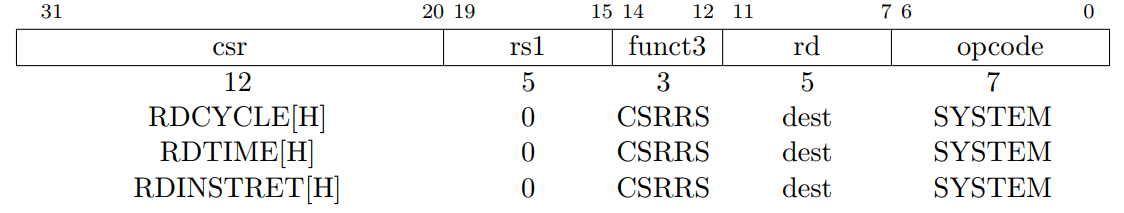
1. RV32Zicsr拓展集

这个拓展集用于读写CSR（Control and Status Register），我们可以引入一些简单的CSR，用于处理器核性能的评估。CSR包括浮点CSR和计数器与定时器，因为不涉及浮点数，所以只有计数器和定时器。cycle、time、instret都是64位的计数器，cycle用于统计自复位以来共运行了多少个始终周期，time用于由固定频率驱动的时钟统计的时间，instret用于统计共完成（retire）了多少条指令。对于RV32I，映射如下：

手机屏幕截图

描述已自动生成

由于只涉及到了读，因此涉及到的指令只有一条（也可以理解为6条），编码方案如下：



其中CSRRS表示CSR read and set bits，当rs1为x0时，表示只读该CSR，为方便起见，在本处理器核实现时可以认定rs1不为0时为非法指令。

综上所述，我们将在RV32I标准集的基础上，实现完整的RV32M、RV32Zifencei拓展集，再加上一条（可以理解为6条）RV32Zicsr拓展集中的CSRRS指令，经讨论符合要求并利于后续实验开展，如果过程中发现还需要额外的指令，会在后续报告中说明。