

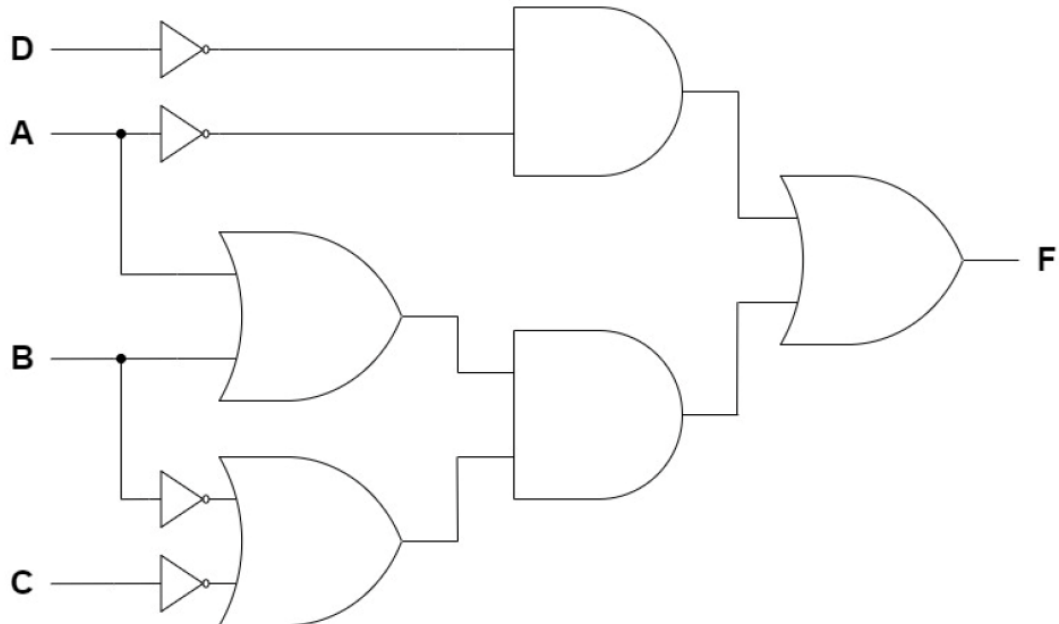
數位系統設計 HW1

學號: 0819823

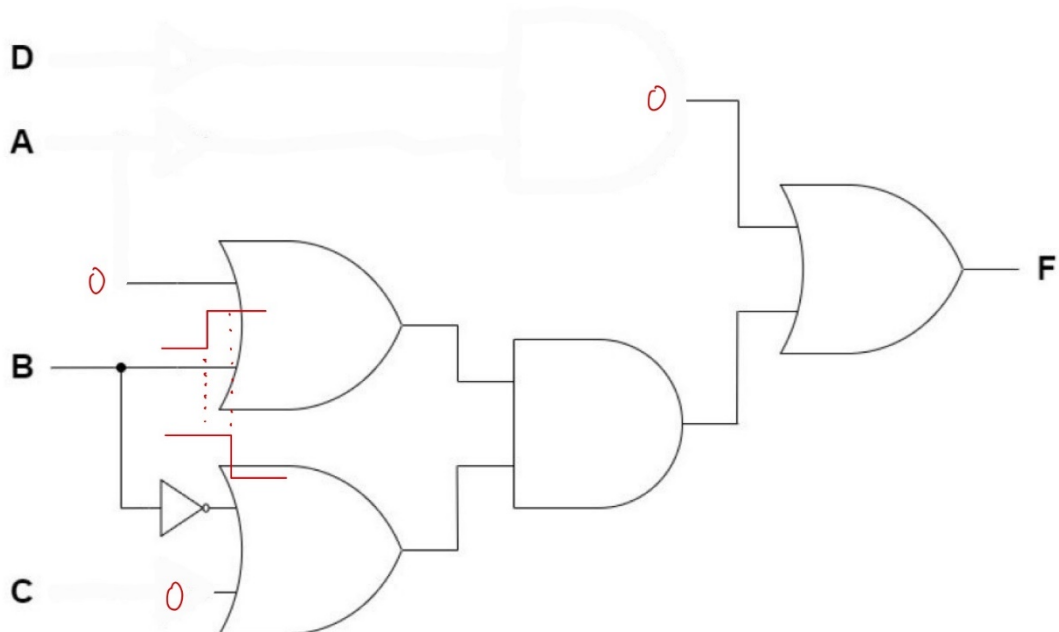
姓名: 陳子祈

A.

i. 此電路有 static 0-hazard 。

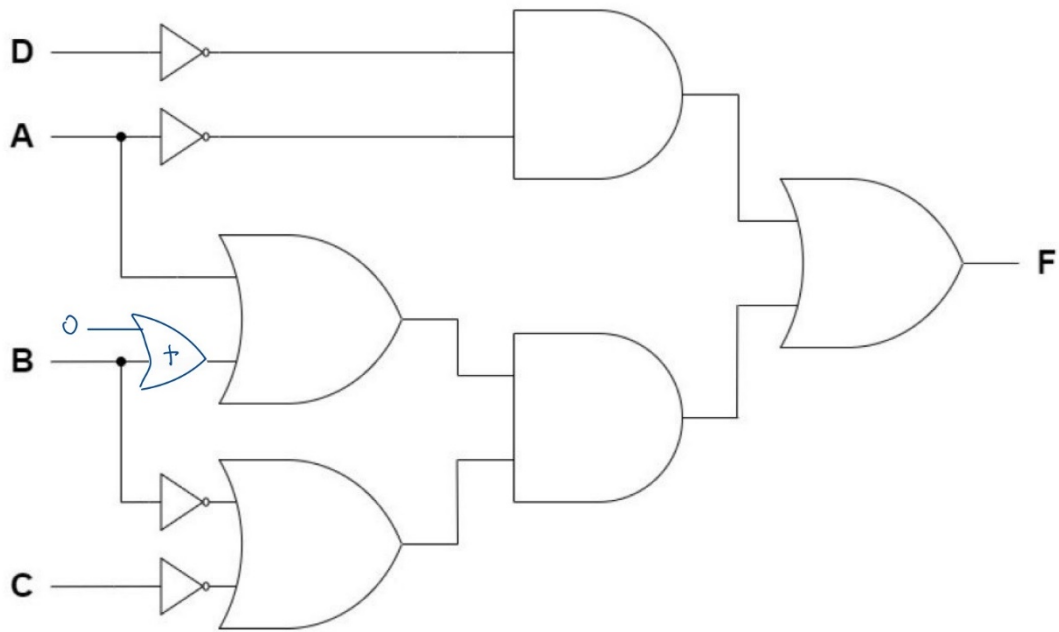


這是因為 B 與 $\sim B$ 到輸出訊號有不同的 propagation delay，設定 $A=0$ 、 $C=1$ 、 $D=1$ ，則可把電路簡化為:



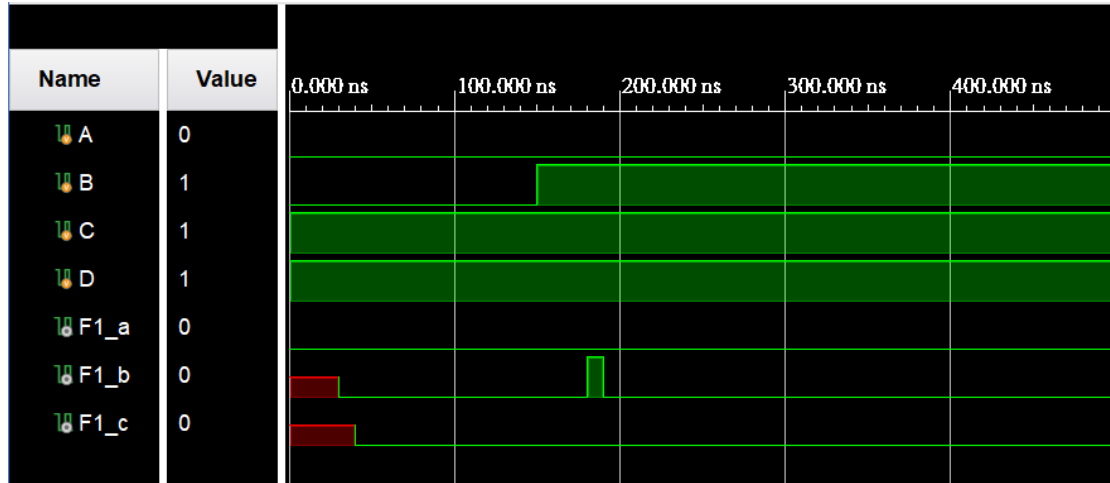
這樣可以更一目瞭然當 $B=0$ 變成 1 的時候，會有 10ns 的時間兩邊的輸入訊號都是 1 則輸出訊號 F 是 1，其他時間只要一邊的輸入訊號有 0 則輸出訊號 F 就是

0，因此 0 hazard 的問題就會發生。



為了解決 0 hazard，可利用 OR gate 延長 B 輸入訊號的 propagation delay，如此一來就可消除 0 hazard 得到 hazard-free 電路，從下面所附的示波圖可觀察到。

ii. A(d)模擬結果之波形圖如下：



從示波圖可觀察到當 A、C、D 這些輸入訊號維持不變，B 這個輸入訊號從 0 變成 1 的時候，A(a)使用 dataflow 的寫法不會產生 hazard，但是 A(b)使用 gate level 的寫法就會產生 0 hazard，調整成 A(c)的 hazard-free 電路之後就沒有 0 hazard 了。

B.



由示波圖可觀察到因為有 5ns 的 delay，C1 到 C4 一開始都是 X，C5 有更長 X 的時間。C1、C2 都有 inertial delay，都是先執行 delay 之後再 evaluation 及 assignment，delay 不會讓 evaluation 及 assignment 造成影響，然後因為 always 只有一行 statement，不管 blocking assignment 或 Non-blocking assignment 都一樣。C3、C4 都有 propagation delay，但是 C4 使用 blocking assignment 先 evaluation 再執行 delay，...。C5 雖也有 inertial delay，可是...

C.

i. memory input equation 及 output equation 經過我的推算如下:

Present State	Next State		Output (DB)	
	X=0	X=1	X=0	X=1
S0	S1	S1	00	10
S1	S2	S3	10	00
S2	S4	S5	10	00
S3	S5	S5	00	10
S4	S0	S0	11	00
S5	S0	S0	00	10

$$\begin{aligned}
 D_2 &= Q_2^+ = Q_1 \\
 D_1 &= Q_1^+ = Q_2'Q_1'Q_0 \\
 D_0 &= Q_0^+ = Q_2'Q_1'Q_0' + Q_2'X + Q_1Q_0 \\
 D &= Q_2'Q_1'Q_0'X + Q_2'Q_1'Q_0X' + Q_1Q_0'X' + Q_2Q_0'X' + Q_1Q_0X + Q_2Q_0X \\
 B &= Q_2Q_0'X'
 \end{aligned}$$

Present state		Next state		Output DB	
		X=0	X=1	X=0	X=1
0	0	0	0	0	0
0	0	0	1	1	0
0	1	0	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	0	0	1	1	0
1	1	0	0	0	0
1	1	0	1	0	0
1	1	1	0	1	0
1	1	1	1	1	0

X	Q ₂	Q ₁	Q ₀
00	00	01	11
01	00	01	10
11	01	11	10
10	01	10	10

$$D = (X'Q_2Q_0' + XQ_2'Q_1'Q_0' + X'Q_2'Q_1'Q_0 + XQ_2Q_0 + XQ_1Q_0 + X'Q_1Q_0') \& CLR$$

X	Q ₂	Q ₁	Q ₀
00	00	01	11
01	00	01	10
11	01	11	10
10	01	10	10

$$B = X'Q_2Q_0' \& CLR$$

X	Q ₂	Q ₁	Q ₀
00	00	01	11
01	00	01	10
11	01	11	10
10	01	10	10

$$D_2 = Q_2^+ = Q_1$$

X	Q ₂	Q ₁	Q ₀
00	00	01	11
01	00	01	10
11	01	11	10
10	01	10	10

$$D_1 = Q_1^+ = Q_2'Q_1'Q_0$$

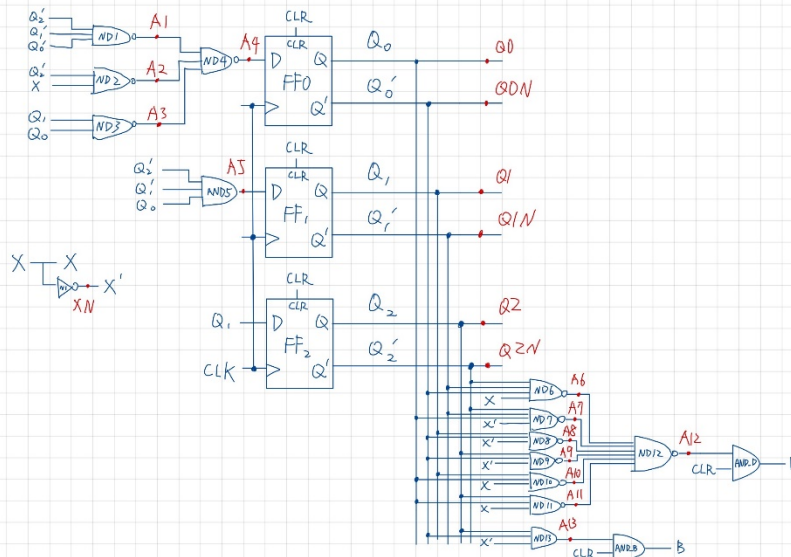
X	Q ₂	Q ₁	Q ₀
00	00	01	11
01	00	01	10
11	01	11	10
10	01	10	10

$$D_0 = Q_0^+ = Q_2'Q_1'Q_0' + XQ_2' + Q_1Q_0$$

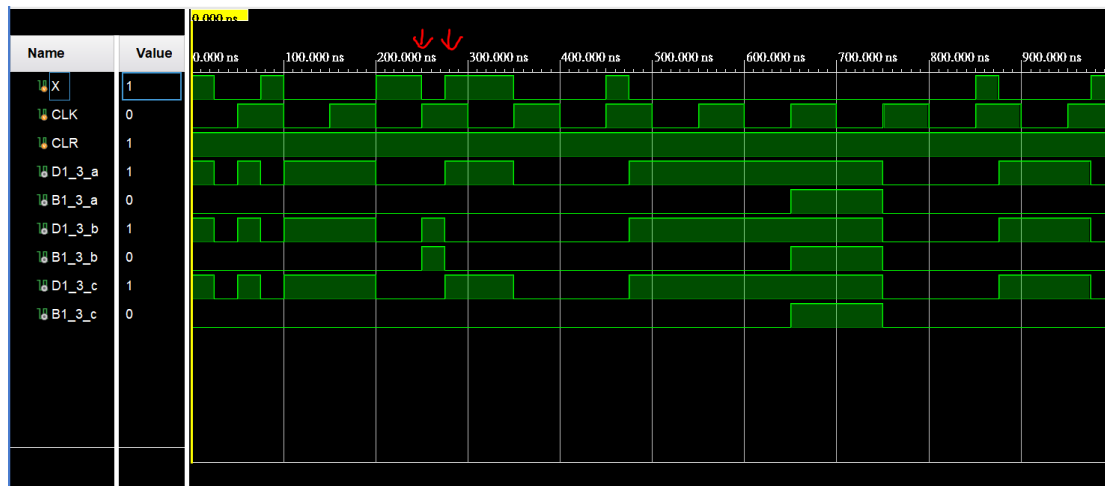
我推算的結果與本題提供的 equation 一樣無誤，不過因為 CLR 若為 0，output 應該都是 0，因此 output equation 加上 and CLR。

ii. 此電路的 logic circuit diagram 如下(包含各 gate、D FF 的編號):

$$\begin{aligned}
 D_2 &= Q_2^+ = Q_1 \\
 D_1 &= Q_1^+ = Q_2'Q_1'Q_0 \\
 D_0 &= Q_0^+ = Q_2'Q_1'Q_0' + Q_2'X + Q_1Q_0 \\
 D &= Q_2'Q_1'Q_0'X + Q_2'Q_1'Q_0X' + Q_1Q_0'X' + Q_2Q_0'X' + Q_1Q_0X + Q_2Q_0X \\
 B &= Q_2Q_0'X'
 \end{aligned}$$



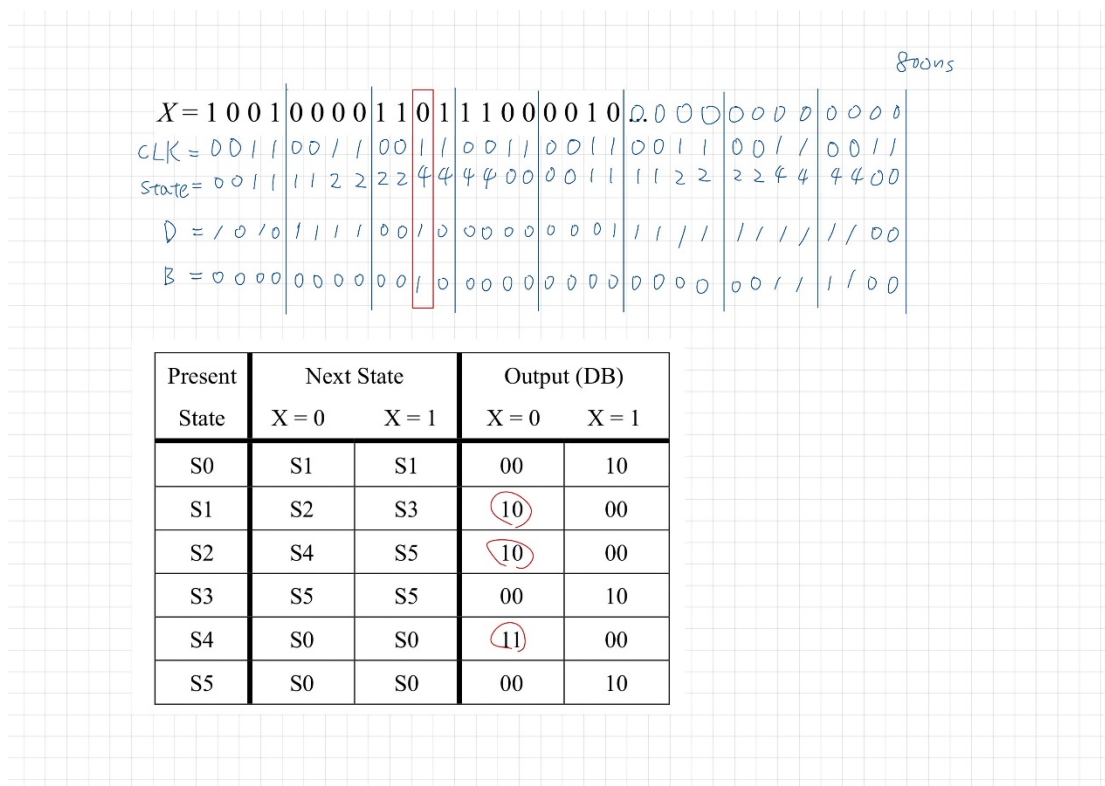
iii. C(d)的波形圖如下:



(要改)

Behavioral、Structural 的電路輸出 D、B 都是一樣的，我以為是 Dataflow 的電路寫錯，但是經過我的推算發現 Dataflow 電路輸出才是對的，我發現如果出現類似 1-hazard 的情況，Behavioral、Structural 的電路輸出 D、B 不會反應，可能跟合成電路不同有關。

我的推算結果如下:



在我紅框圈起來的部分，理論上來說 State 要變成 4、DB 要變成 11，但是可能因為 X=0 的時間過短，behavioral 及 structural 電路都把 X 視為 1，因此我修改

input X 再次推算答案:

800ns

$X = 10010000111011100001000000000000$
 $CLK = 001100110011001100110011001100110011$
 $State = 001112222555500001112222444400$
 $D = 10101111000111000001111111111100$
 $B = 000000000000000000000000000000111100$

Present State	Next State		Output (DB)	
	X = 0	X = 1	X = 0	X = 1
S0	S1	S1	00	10
S1	S2	S3	10	00
S2	S4	S5	10	00
S3	S5	S5	00	10
S4	S0	S0	11	00
S5	S0	S0	00	10

除了 State=5 的地方不一樣之外，D 與 B 這兩個輸出都是正確的。

D. 心得

第一次的作業量真的非常多，我第一次寫這麼多作業題數的 code 作業，而且還需要對電路的 hazard、verilog 的 delay 等熟悉才能知道一些模擬電路的細節。不過對我上學期計組沒有學太多 verilog 的細節需要注意的地方，這門課教了非常多模擬電路需要遵守的法則及需要遵守的原因，讓我獲益良多，希望下次作業可以寫快一點。