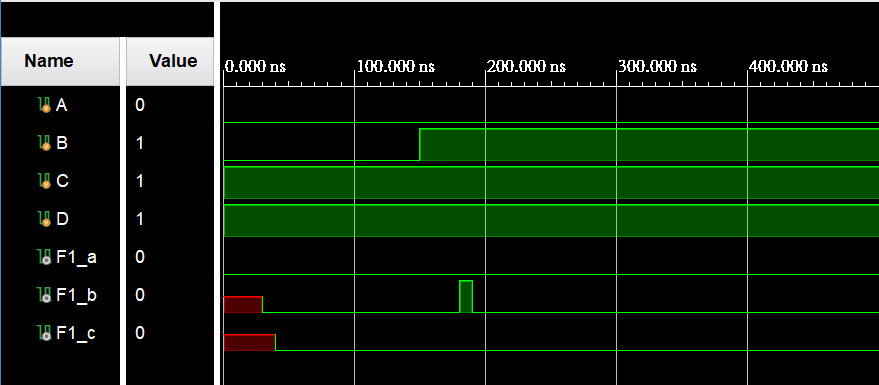
數位系統設計 HW1

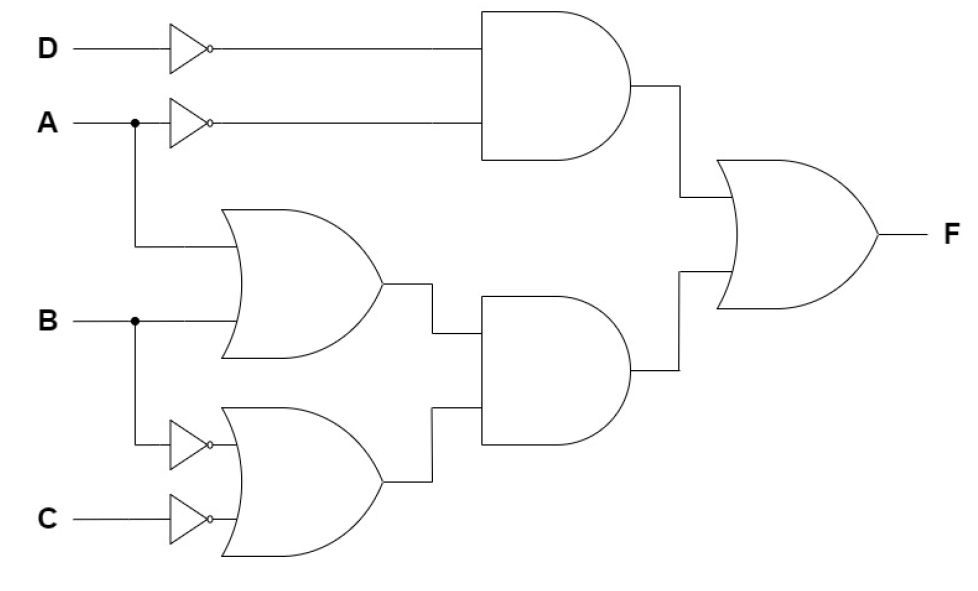
學號: 0819823

姓名: 陳子祈

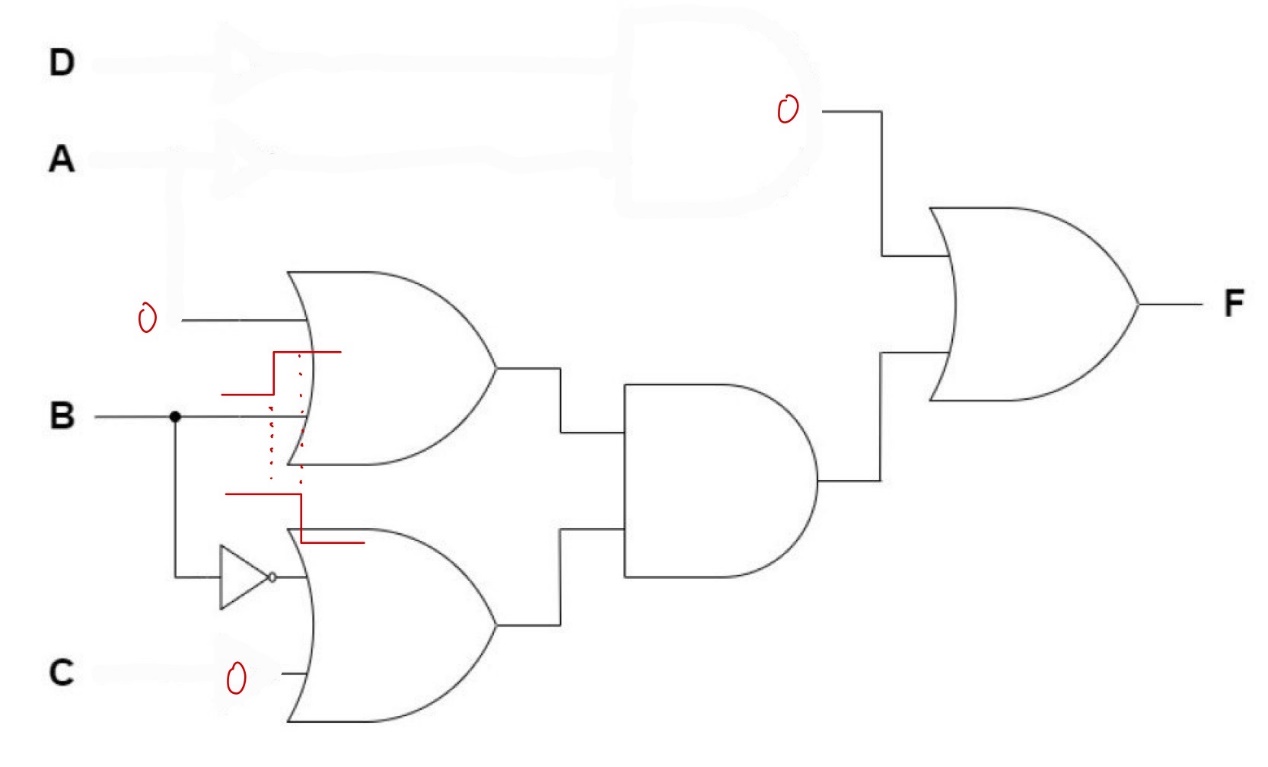
A.



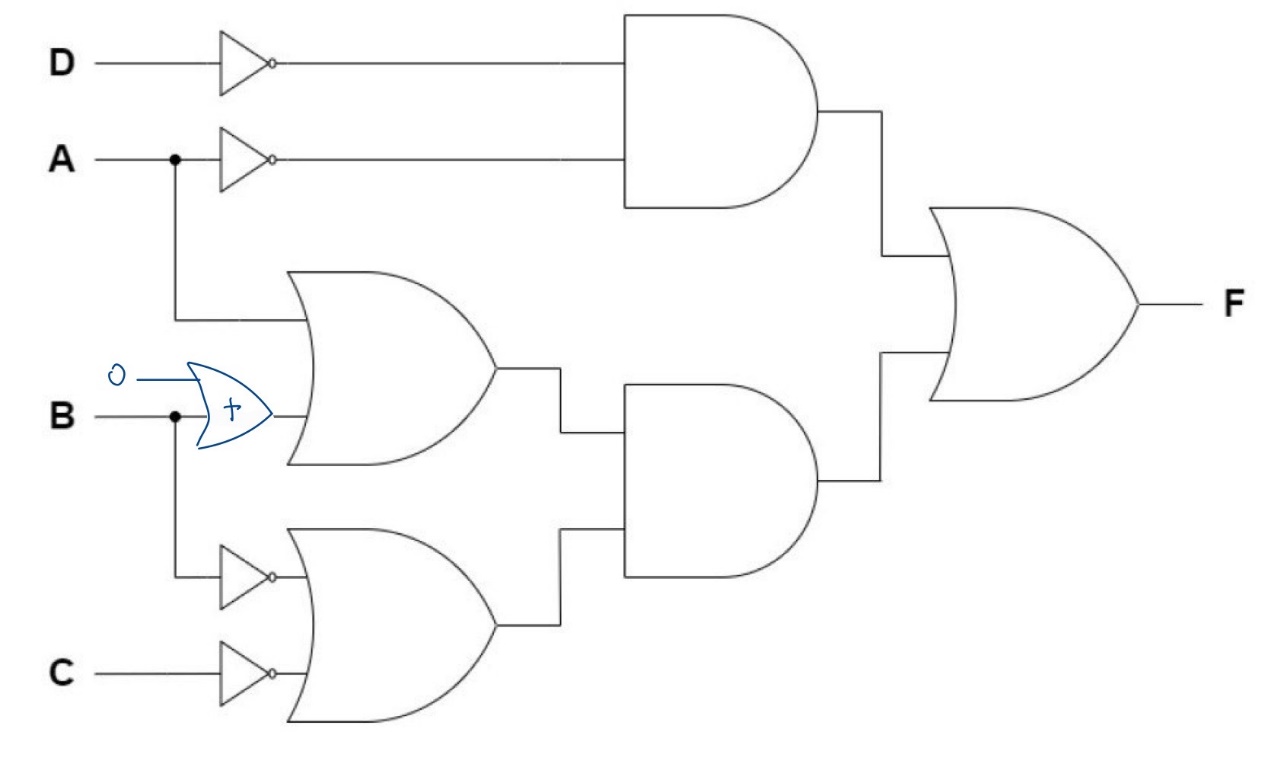
從示波圖可觀察到當A、C、D這些輸入訊號維持不變，B這個輸入訊號從0變成1的時候，1(a)使用dataflow的寫法不會產生hazard，但是1(b)使用gate level的寫法就會產生0 hazard。



這是因為B與~B到輸出訊號有不同的propagation delay，設定A=0、C=1、D=1，則可把電路簡化為:

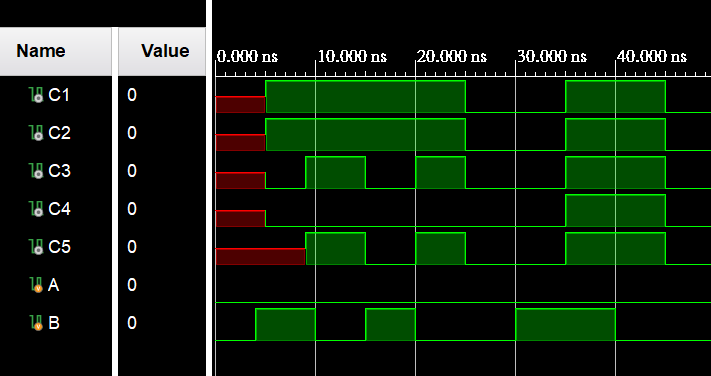


這樣可以更一目瞭然當B=0變成1的時候，會有10ns的時間兩邊的輸入訊號都是1則輸出訊號F是1，其他時間只要一邊的輸入訊號有0則輸出訊號F就是0，因此0 hazard的問題就會發生。



為了解決0 hazard，可利用OR gate延長B輸入訊號的propagation delay，如此一來就可消除0 hazard，從前面所附的示波圖1(c)輸出訊號可觀察到。

B.



由示波圖可觀察到因為有5ns的delay，C1到C4一開始都是X，C5有更長X的時間。C1、C2都有inertial delay，都是先執行delay之後再evaluation及assignment，delay不會讓evaluation及assignment造成影響，然後因為always只有一行statement，不管blocking assignment或Non-blocking assignment都一樣。C3、C4都有propagation delay，但是C4使用blocking assignment先evaluation再執行delay，…。C5雖也有inertial delay，可是…