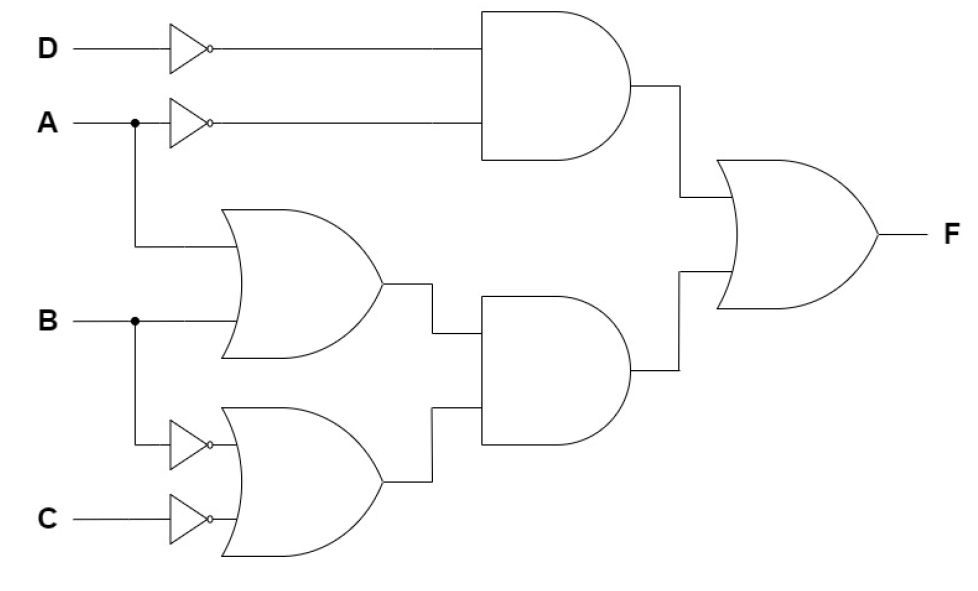
數位系統設計 HW1

學號: 0819823

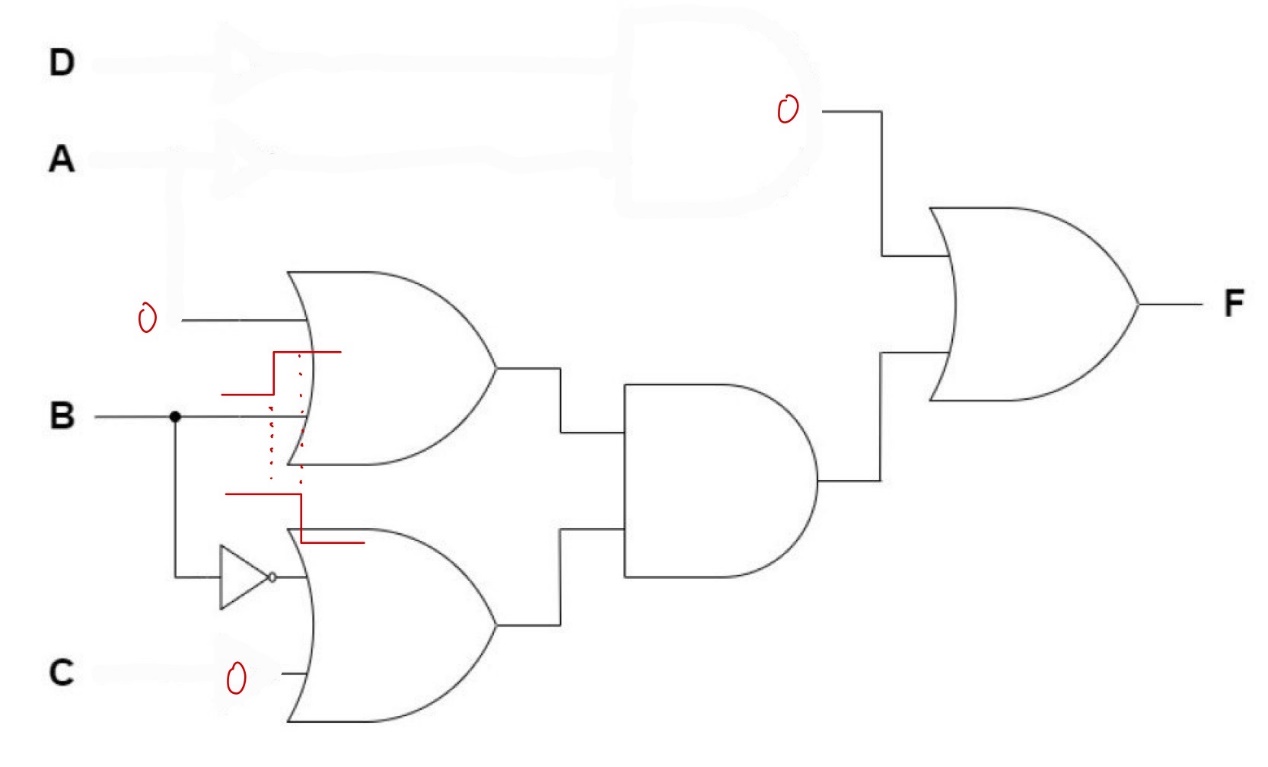
姓名: 陳子祈

A.

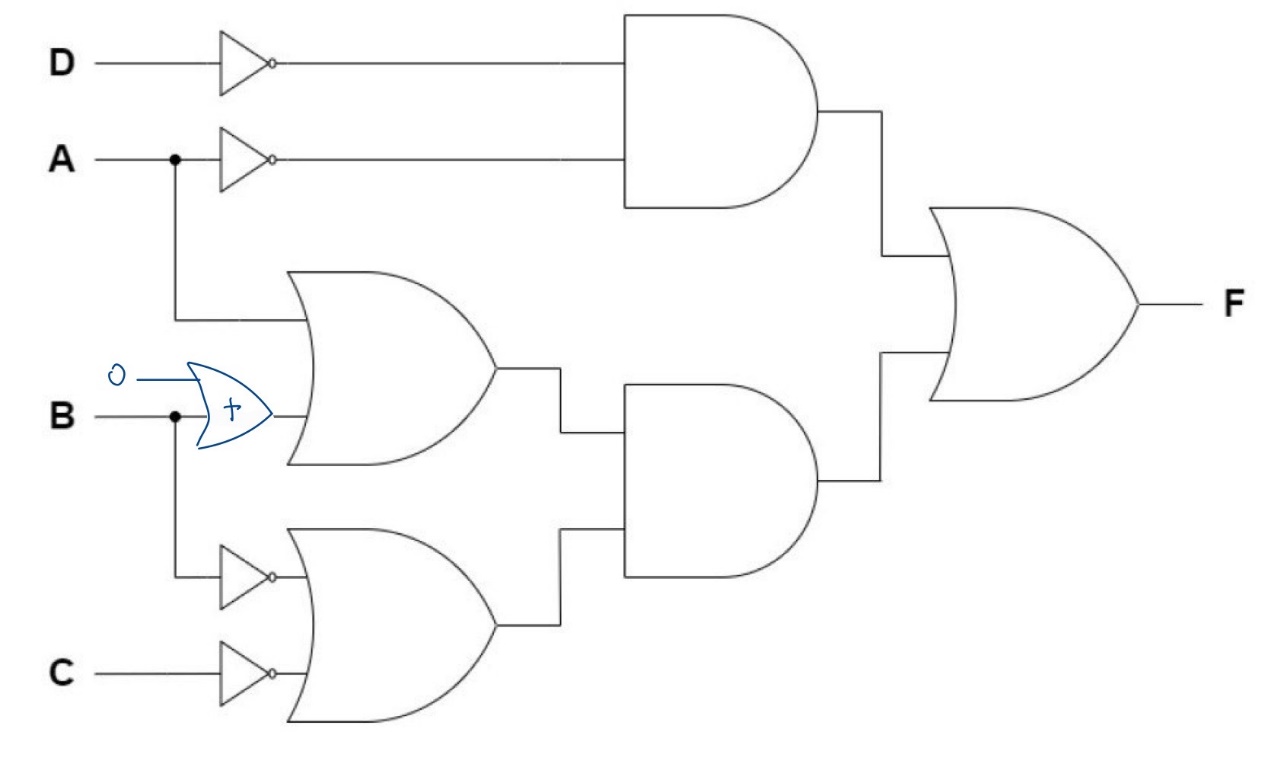
i. 此電路有static 0-hazard。



這是因為B與~B到輸出訊號有不同的propagation delay，設定A=0、C=1、D=1，則可把電路簡化為:

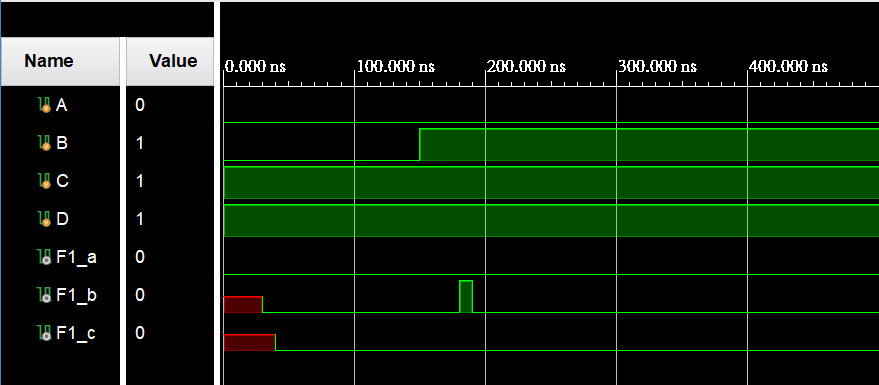


這樣可以更一目瞭然當B=0變成1的時候，會有10ns的時間兩邊的輸入訊號都是1則輸出訊號F是1，其他時間只要一邊的輸入訊號有0則輸出訊號F就是0，因此0 hazard的問題就會發生。



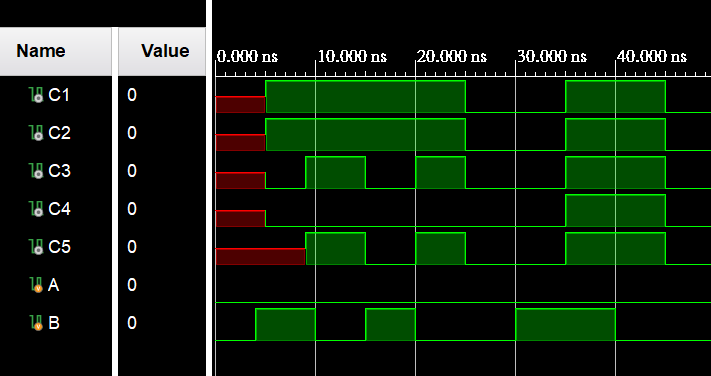
為了解決0 hazard，可利用OR gate延長B輸入訊號的propagation delay，如此一來就可消除0 hazard得到hazard-free電路，從下面所附的示波圖可觀察到。

ii. A(d)模擬結果之波形圖如下:



從示波圖可觀察到當A、C、D這些輸入訊號維持不變，B這個輸入訊號從0變成1的時候，A(a)使用dataflow的寫法不會產生hazard，但是A(b)使用gate level的寫法就會產生0 hazard，調整成A(c)的hazard-free電路之後就沒有0 hazard了。

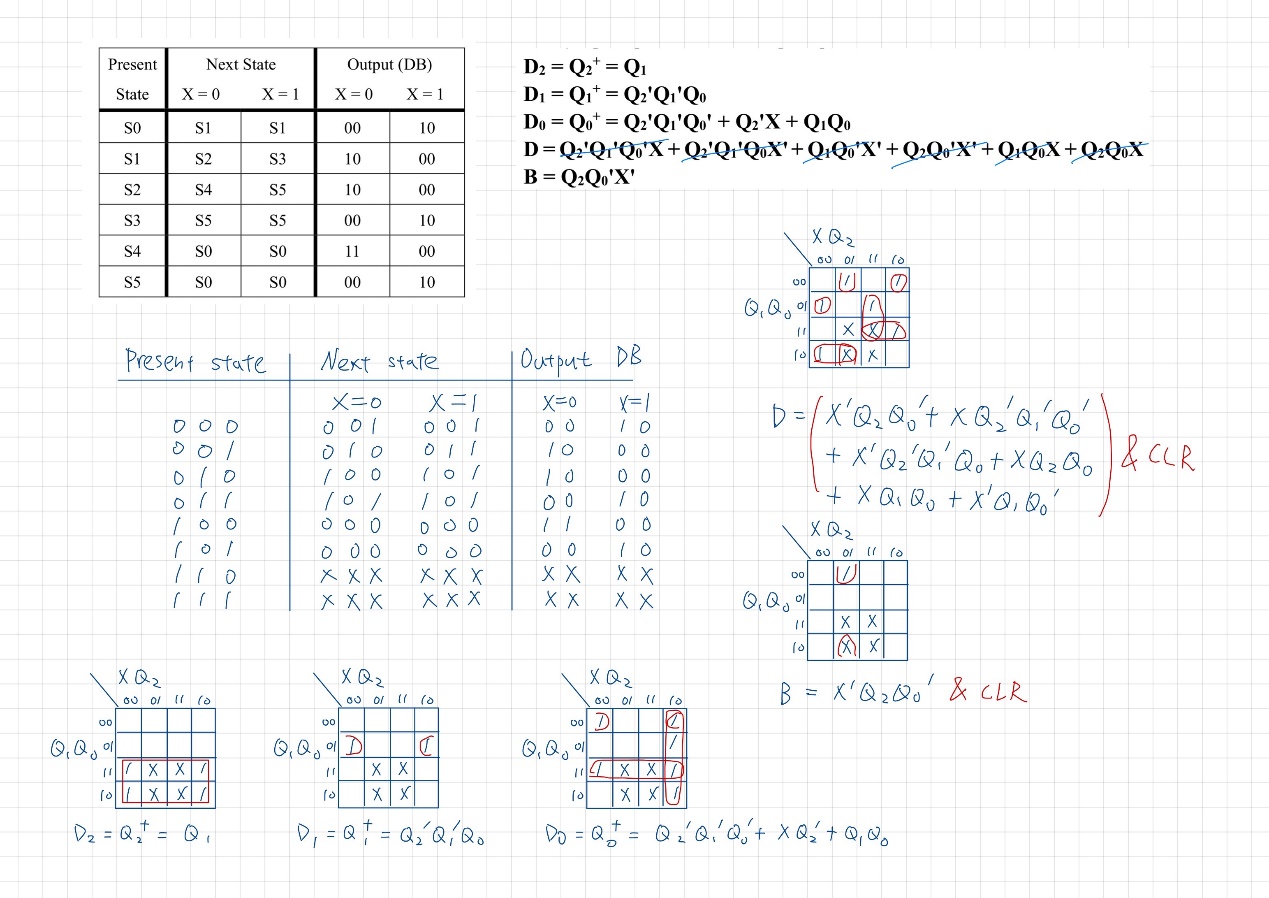
B.



由示波圖可觀察到因為有5ns的delay，C1到C4一開始都是X，C5有更長X的時間。C1、C2都有inertial delay，都是先執行delay之後再evaluation及assignment，delay不會讓evaluation及assignment造成影響，然後因為always只有一行statement，不管blocking assignment或Non-blocking assignment都一樣。C3、C4都有propagation delay，但是C4使用blocking assignment先evaluation再執行delay，…。C5雖也有inertial delay，可是…

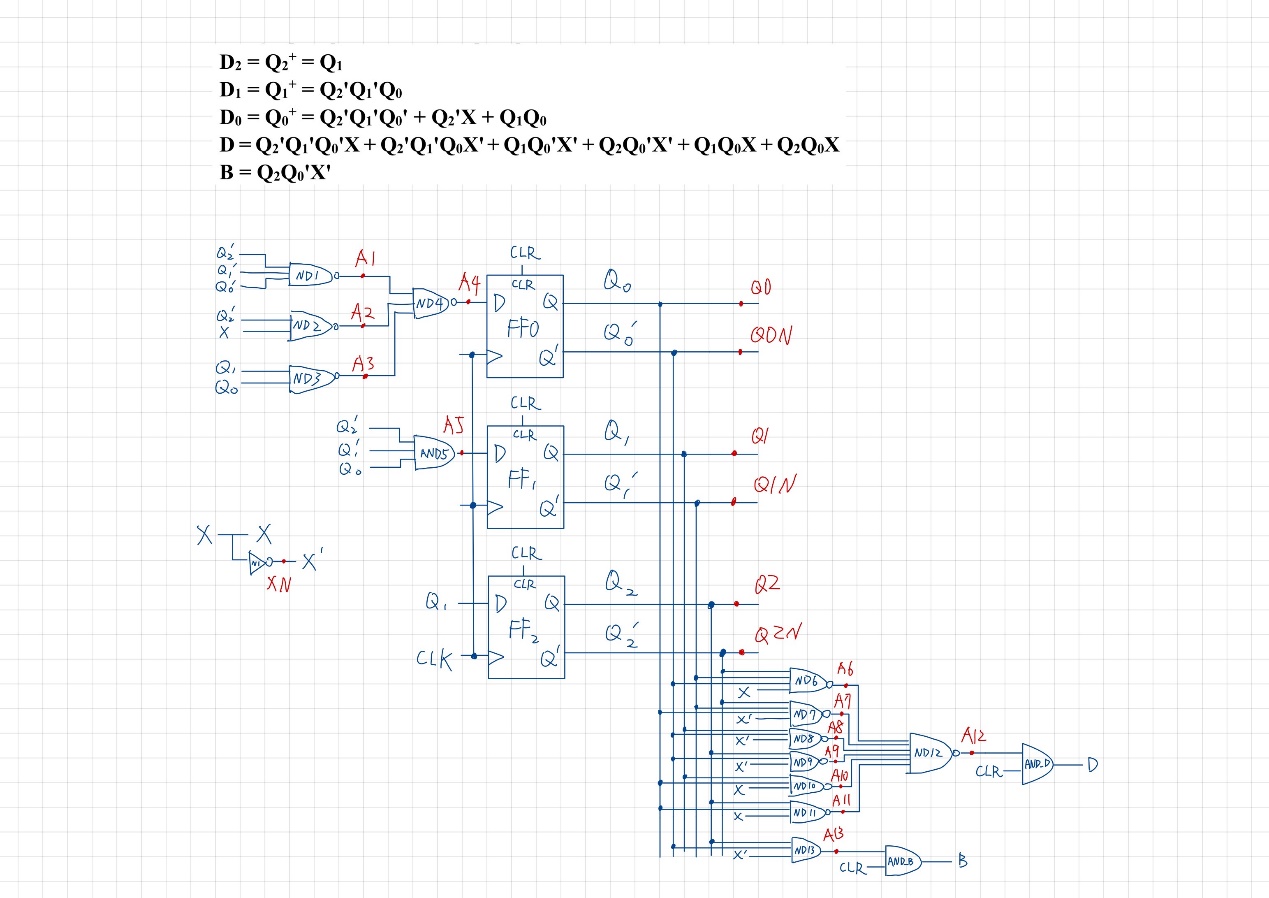
C.

i. memory input equation 及 output equation經過我的推算如下:

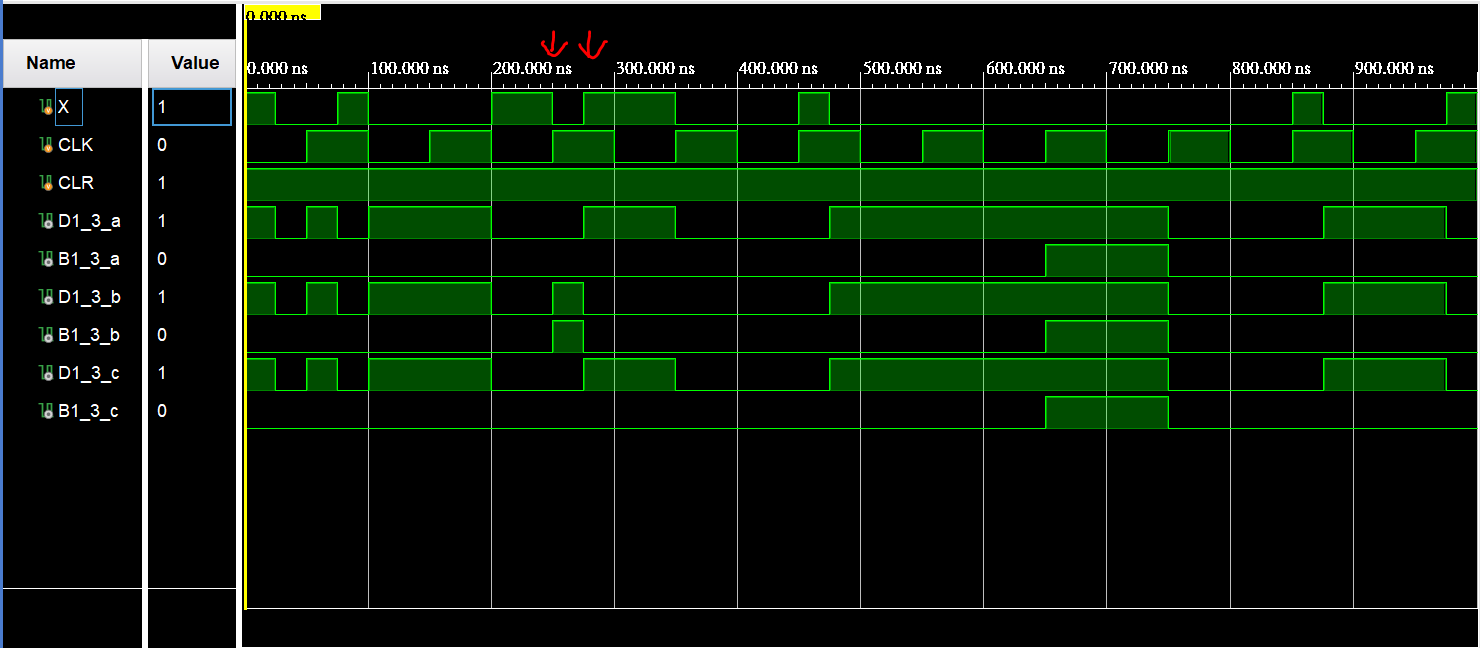


我推算的結果與本題提供的equation一樣無誤，不過因為CLR若為0，output 應該都是0，因此output equation加上and CLR。

ii. 此電路的logic circuit diagram如下(包含各gate、D FF的編號):



iii. C(d)的波形圖如下:



(要改)

Behavioral、Structural的電路輸出D、B都是一樣的，我以為是Dataflow的電路寫錯，但是經過我的推算發現Dataflow電路輸出才是對的，我發現如果出現類似1-hazard的情況，Behavioral、Structural的電路輸出D、B不會反應，可能跟合成電路不同有關。

我的推算結果如下:

一張含有 桌 的圖片

自動產生的描述

在我紅框圈起來的部分，理論上來說State要變成4、DB要變成11，但是可能因為X=0的時間過短，behavioral及structural電路都把X視為1，因此我修改input X再次推算答案:

一張含有 桌 的圖片

自動產生的描述

除了State=5的地方不一樣之外，D與B這兩個輸出都是正確的。

D. 心得

第一次的作業量真的非常多，我第一次寫這麼多作業題數的code作業，而且還需要對電路的hazard、verilog的delay等熟悉才能知道一些模擬電路的細節。不過對我上學期計組沒有學太多verilog的細節需要注意的地方，這門課教了非常多模擬電路需要遵守的法則及需要遵守的原因，讓我獲益良多，希望下次作業可以寫快一點。