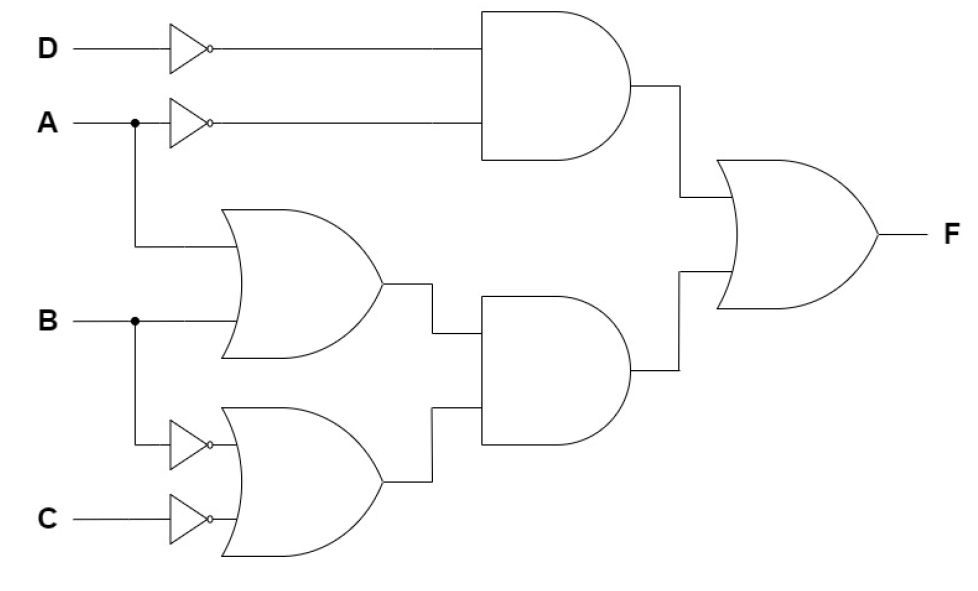
數位系統設計 HW1

學號: 0819823

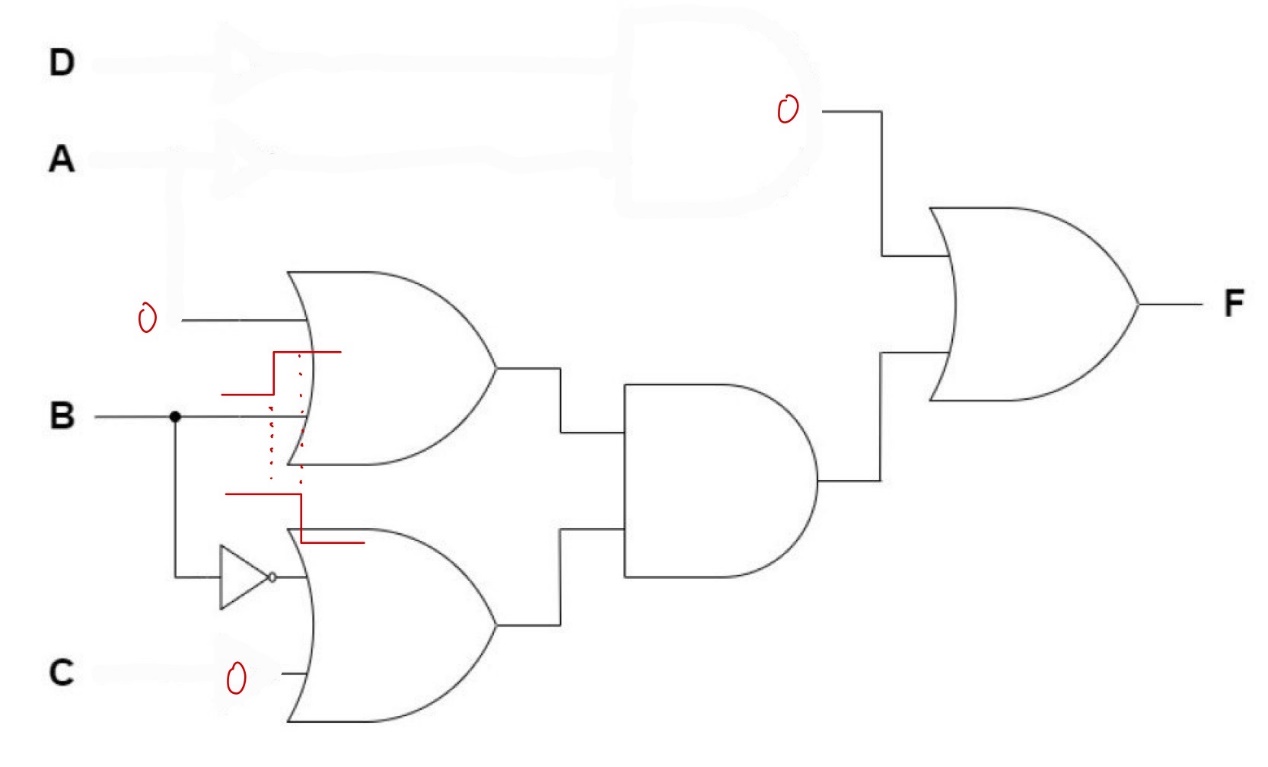
姓名: 陳子祈

A.

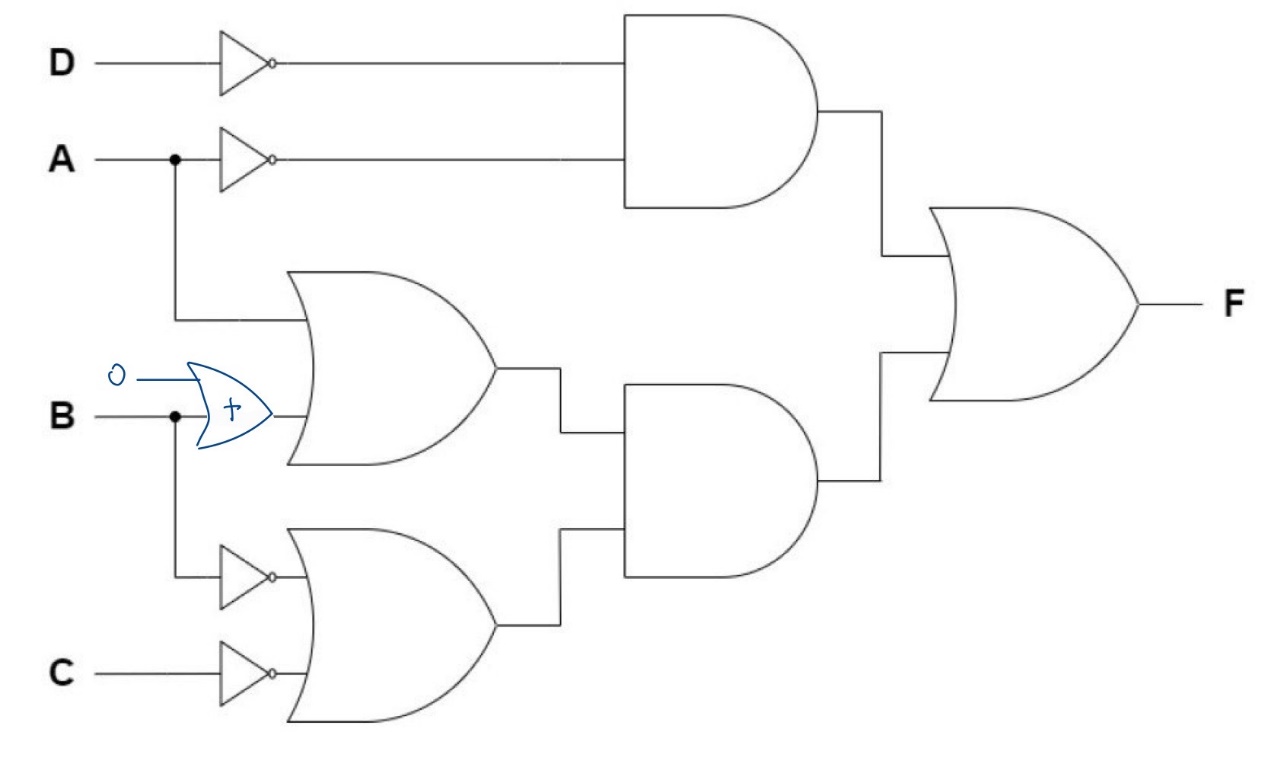
i. 此電路有static 0-hazard。



這是因為B與~B到輸出訊號有不同的propagation delay，設定A=0、C=1、D=1，則可把電路簡化為:

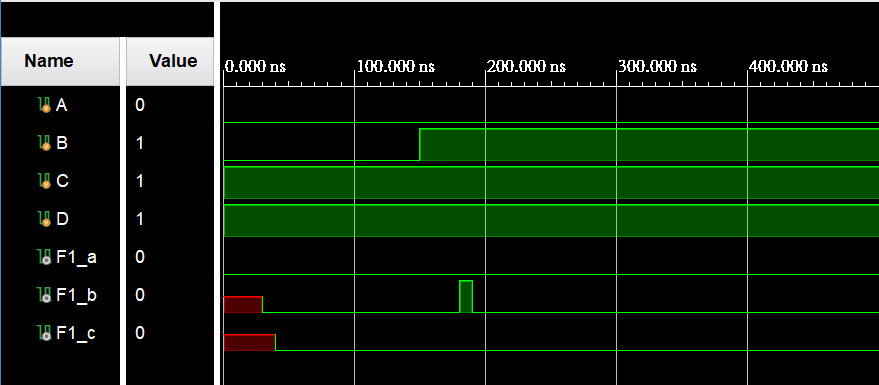


這樣可以更一目瞭然當B=0變成1的時候，會有10ns的時間兩邊的輸入訊號都是1則輸出訊號F是1，其他時間只要一邊的輸入訊號有0則輸出訊號F就是0，因此0 hazard的問題就會發生。



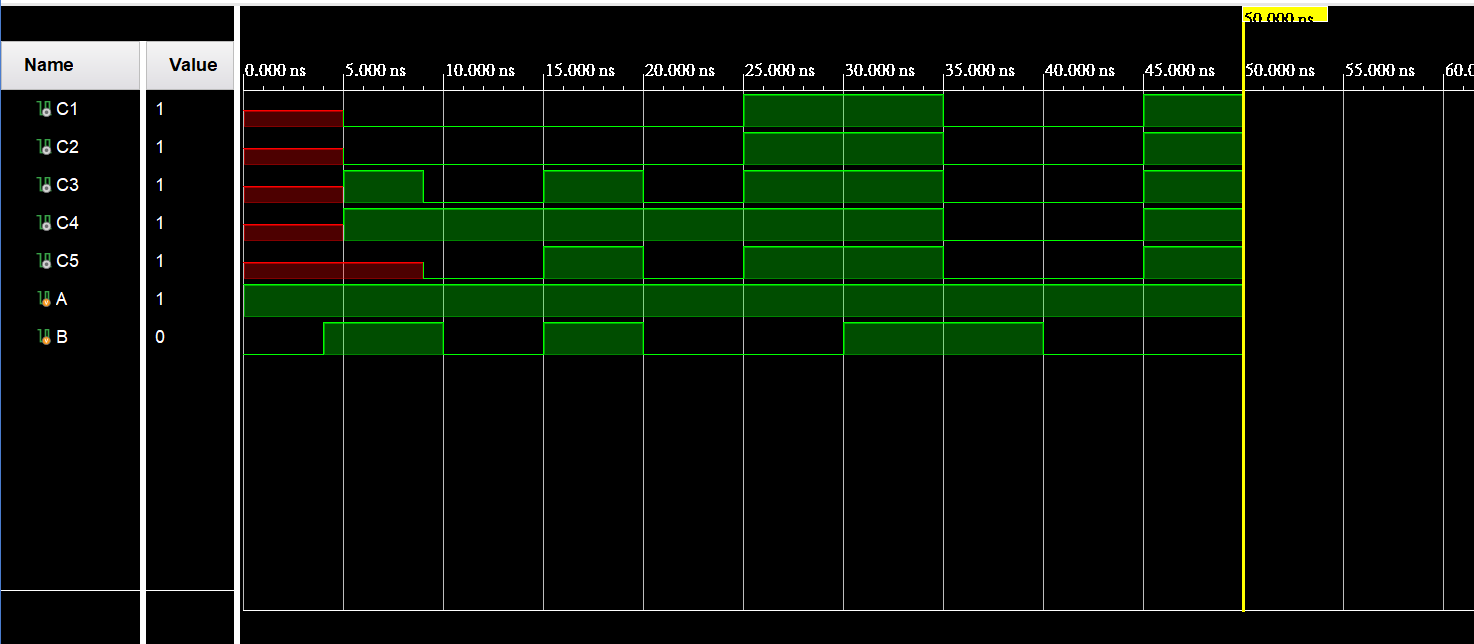
為了解決0 hazard，可利用OR gate延長B輸入訊號的propagation delay，如此一來就可消除0 hazard得到hazard-free電路，從下面所附的示波圖可觀察到。

ii. A(d)模擬結果之波形圖如下:



從示波圖可觀察到當A、C、D這些輸入訊號維持不變，B這個輸入訊號從0變成1的時候，A(a)使用dataflow的寫法不會產生hazard，但是A(b)使用gate level的寫法就會產生0 hazard，調整成A(c)的hazard-free電路之後就沒有0 hazard了。

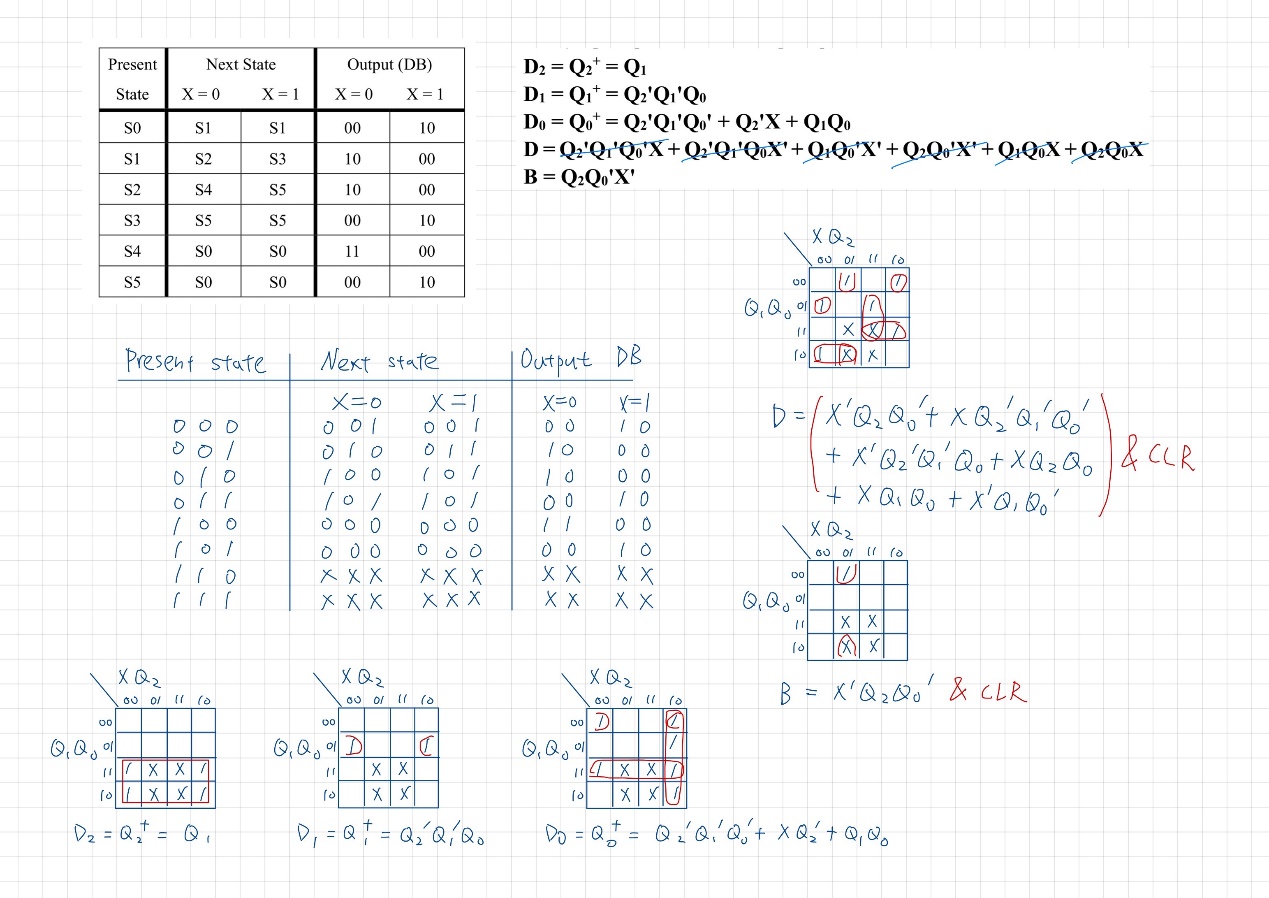
B.



Delay分為inertial delay及transport delay，C5那行statement符合inertial delay的寫法，C3那行statement符合transport delay的寫法，因此這兩個輸出都是正確的，因為B的pulse間隔都大於等於5ns，因此C3及C5都是B反向經過5ns的delay。C1、C2、C4那幾行的statement都是不正確的寫法，因此這幾個輸出都是錯誤的。

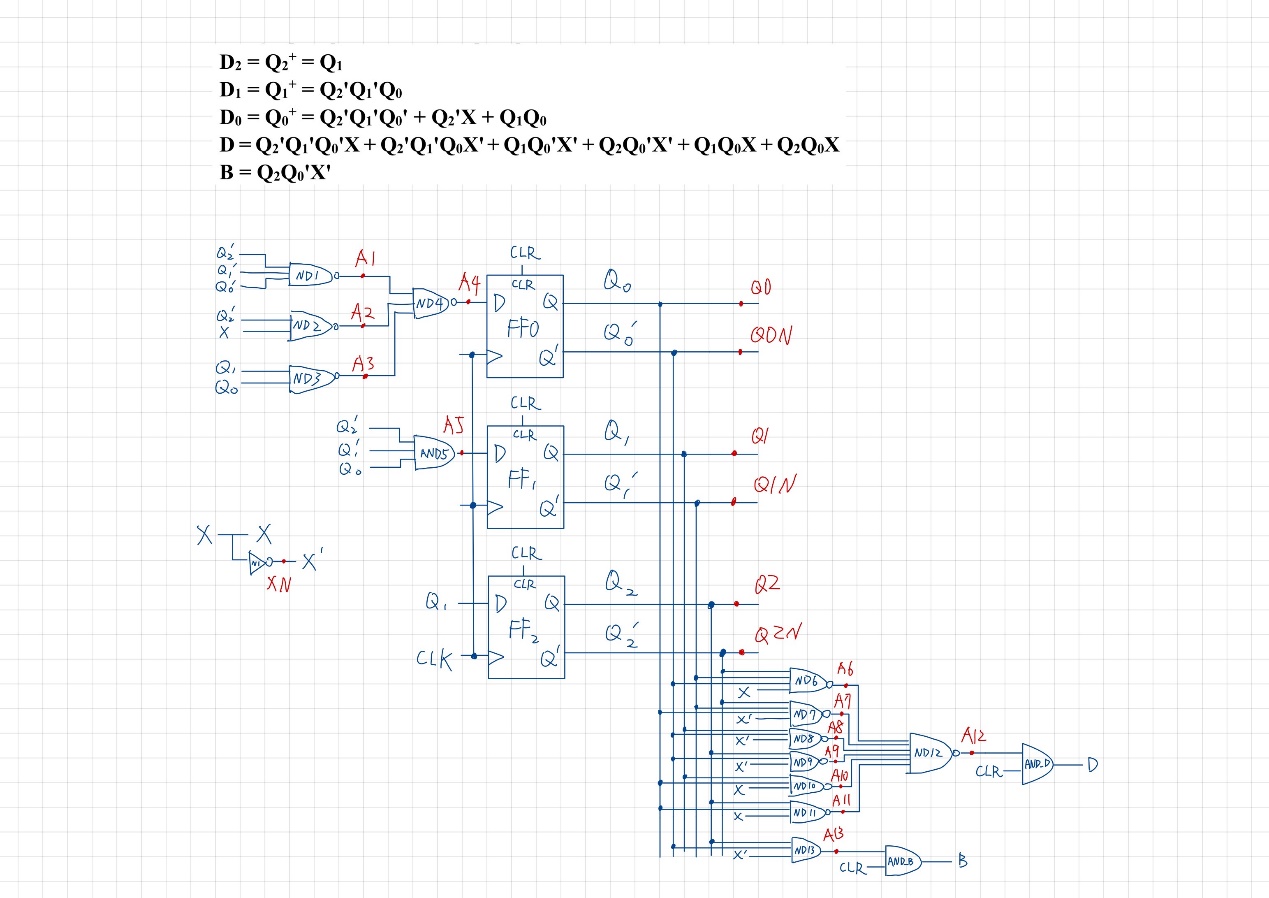
C.

i. memory input equation 及 output equation經過我的推算如下:

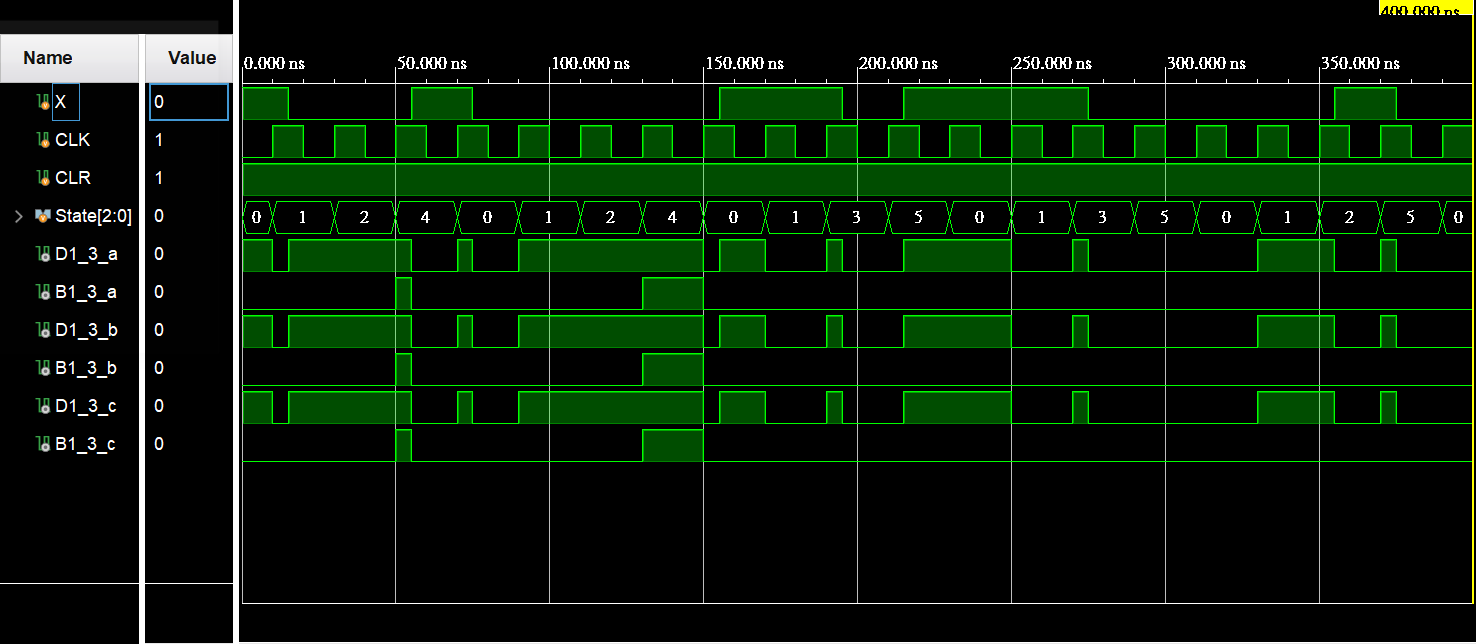


我推算的結果與本題提供的equation一樣無誤，不過因為CLR若為0，output 應該都是0，因此output equation加上and CLR。

ii. 此電路的logic circuit diagram如下(包含各gate、D FF的編號):



iii. C(d)的波形圖如下:



Behavioral(D1\_3\_a、B1\_3\_a)、Dataflow(D1\_3\_b、B1\_3\_b)、Structural(D1\_3\_c、B1\_3\_c)電路的波形圖都正確。

另外我試著把CLR每隔35ns反向，看看輸出會不會在CLR=0時清除。



在CLR=0時各output都有被清為0。

D. 心得

第一次的作業量真的非常多，我第一次寫這麼多作業題數的code作業，而且還需要對電路的hazard、verilog的delay等熟悉才能知道一些模擬電路的細節。我上學期計組沒有學太多verilog的細節需要注意的地方，這門課教了非常多模擬電路需要遵守的法則及需要遵守的原因，讓我獲益良多。像是我有問助教最後一題CLR的部分要怎麼寫，助教提醒我不要把output equation寫到always @(posedge CLK or negedge CLR)裡面，應該要把combinational circuit另外寫在always @(\*)裡面，才不會把sequential circuit跟 combinational circuit混在一起，然後在combinational circuit的always裡面判斷CLR是否為0，如果是0輸出就強制為0，這樣寫就不會有問題了。我也問助教可不可以用assign來寫combinational circuit，最後的輸出再& CLR，助教說可以，如果是簡單的電路可以這樣做。