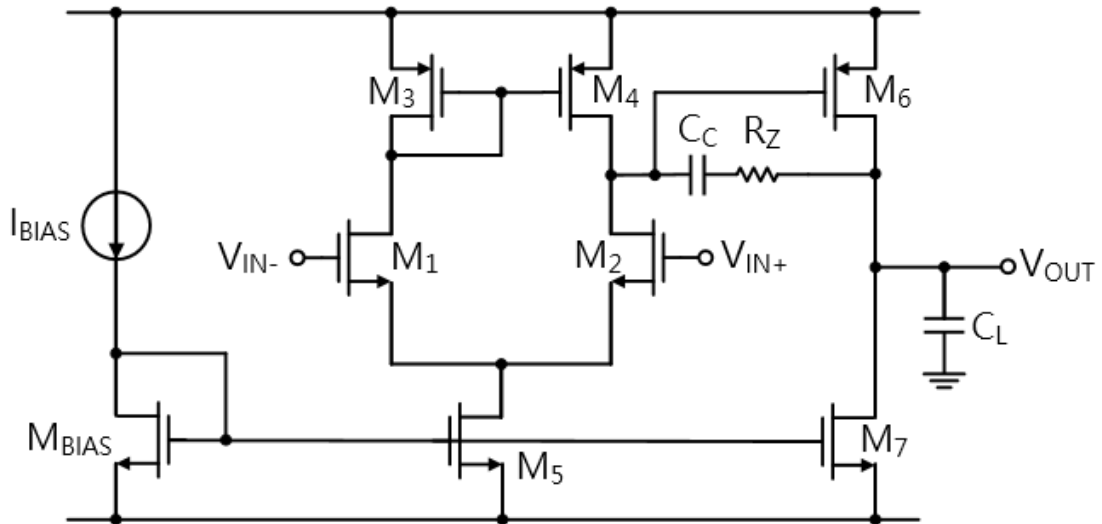


Project HW3

學號:0819823 姓名:陳子祈

Schematic



	W	L	m	Region	I _b	gm
M1	1.2u	0.4u	1	Saturation	1.8709u	36.4900u
M2	1.2u	0.4u	1	Saturation	1.8709u	36.4900u
M3	1.2u	0.4u	1	Saturation	-1.8709u	23.3384u
M4	1.2u	0.4u	1	Saturation	-1.8709u	23.3384u
M5	2.4u	0.4u	1	Saturation	3.7417u	72.5703u
M6	2.4u	0.4u	1	Saturation	-4.2245u	51.2839u
M7	2.4u	0.4u	1	Saturation	4.2245u	80.3233u
M _{BIAS}	1.2u	0.4u	1	Saturation	599.9990n	11.6345u
	Size					
C _c	0.1p					
R _z	200k					

Performance Table

	Specification	Simulation Result
Supply voltage	<1.8V	1.8
Power (with biasing)	<20 μ W	15.4193u
CL	1pF	1pF
CC	<10pF	0.1pF
DC gain	>60dB	60.3dB
Unity-Gain BW	>5MHz	39.6725MHz
Phase margin	>60°	63.9226°
Slew-rate	>3V/ μ sec	3.81MV/sec
Output swing	>1.2V _{pp}	1.42V
PSRR	As large as possible	72dB
CMRR	As large as possible	63.63dB
FoM ($2\pi * UGB/Power$)	>8Mrad/ μ W	16.166 Mrad/ μ W

**** voltage sources

```
subckt
element 0:vdd      0:vin+      0:vin-
volts    1.8000      1.2000      1.2000
current  -8.5663u      0.          0.
power    15.4193u      0.          0.
```

total voltage source power dissipation= 15.4193u watts

```
***** ac analysis tnom= 25.000 temp= 27.000 *****
ugb= 39.6729x
pm= 63.9226
vmax= 60.3668 at= 1.0000
from= 1.0000 to= 100.0000x
**info** dc convergence successful at Newton-Raphson method
```

Design Flow

文字描述設計流程、寫下計算過程，不須在此貼上 HSPICE code。可用拍照或掃描，但請確保文字清晰好讀、圖片的方向正確。

因為 M5 是從 current mirror 接下來，所以先設定 M5 是 2W、L，其他所有的電晶體是 W、L，W=1.2u、L=0.4u。

把 IBIAS 調到適合的位置，讓 MBIAS 產生足夠的 VGS 取代 VBIAS，使 M5 可以進入 Saturation，並使 DC gain 可以達到 60dB 以上，但是也要盡量壓低 VBIAS 來降低 power，所以 IBIAS 最低要能使 M5 可以進入 Saturation，最

高不能讓 power 超過規格所規定的 20uW。

$$I_{BIAS} = 0.6 \mu A$$

For M_{BIAS} :

$$I_{BIAS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2$$

$$0.6 \mu = \frac{1}{2} \times 3.772 \text{ m} \times 6 \times (0.4830525 - 0.4757716)^2$$

↓
使 M_{BIAS} 在 saturation mode

調高 M6、M7 的 width，讓電流變大、放電速度變快，slew rate 才會提高，不過電流變大，power 也會上升，所以 M6、M7 的 width 不要調太多，而且調高 M6、M7 的 width 之後讓 phase margin 變小，為了讓 phase margin 提高，調低 R_z ，但是 phase margin 提高會造成 Unit-gain bandwidth 變小，Fom 也會變小，所以 R_z 不能調太多，我調到 200k 差不多剛好可以讓 phase margin 大於 60 度。最後所有的數據就都達標了！

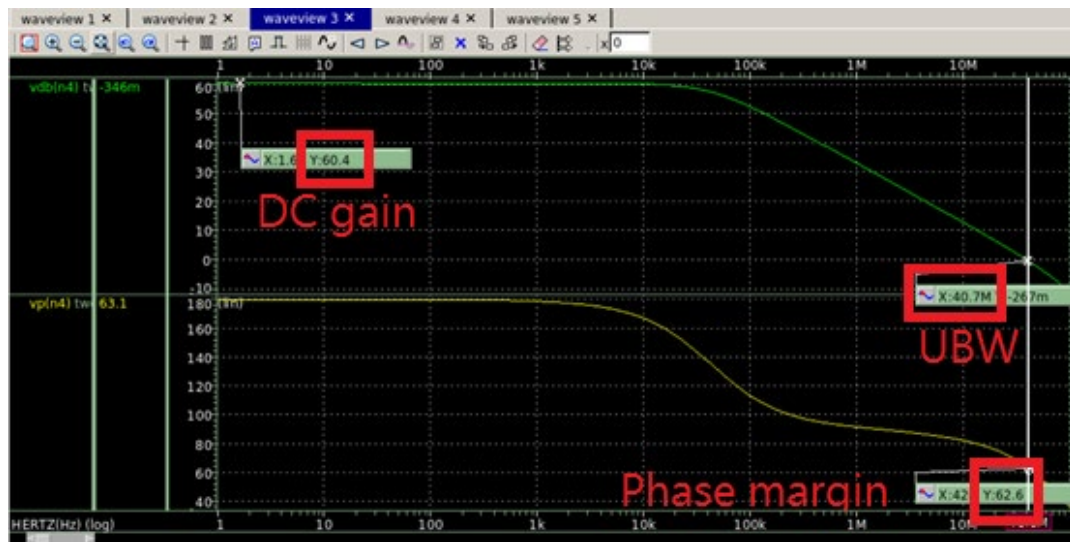
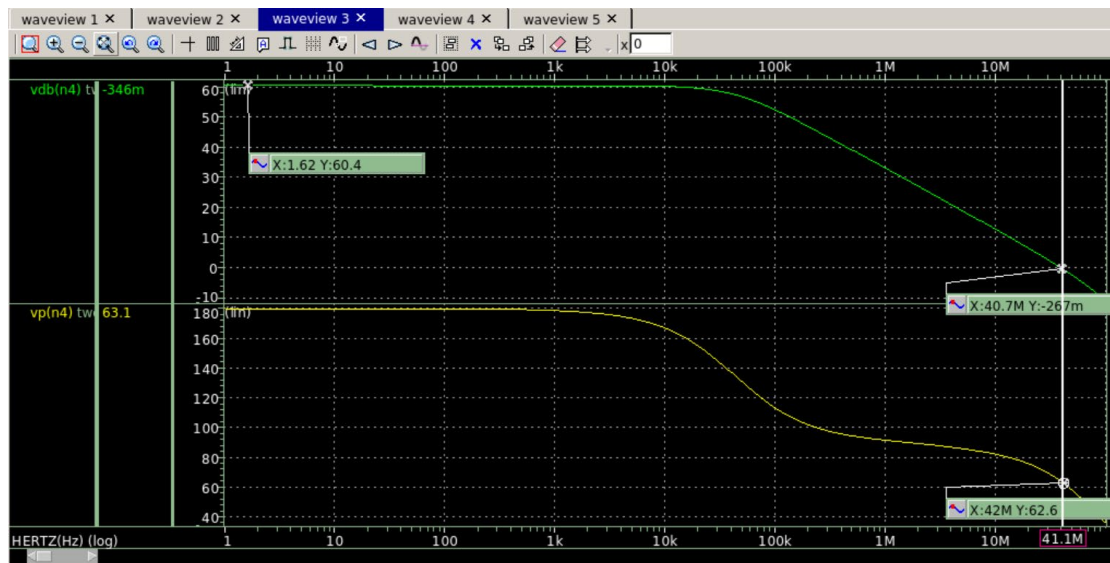
Measurement Results

截圖時確定模擬結果完整，並利用小畫家等軟體標示照片內容。以下為截圖範例，內容不代表本次作業標準!!!!

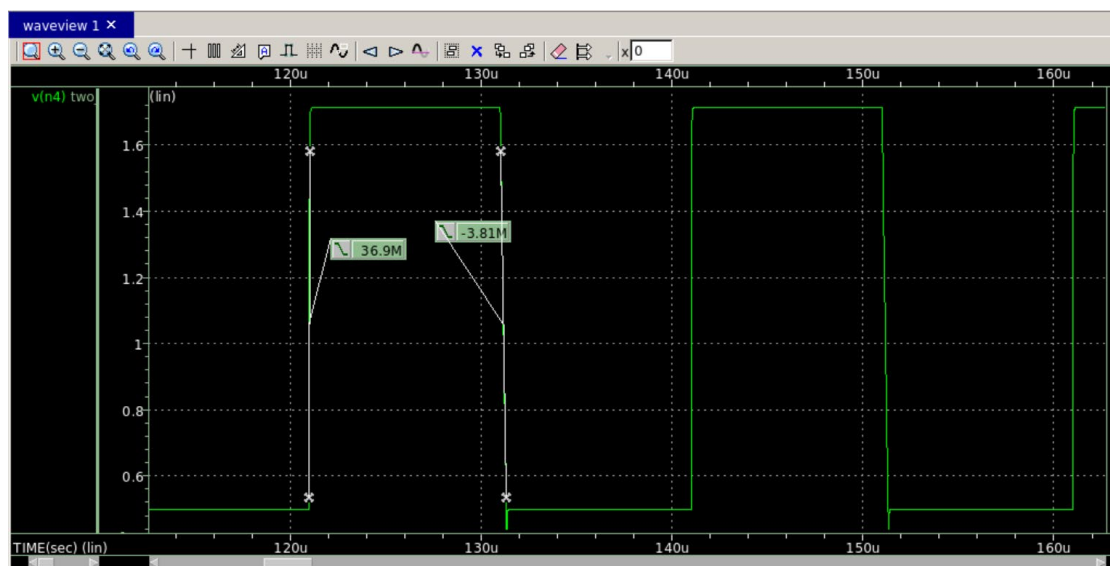
DC gain = 60.4

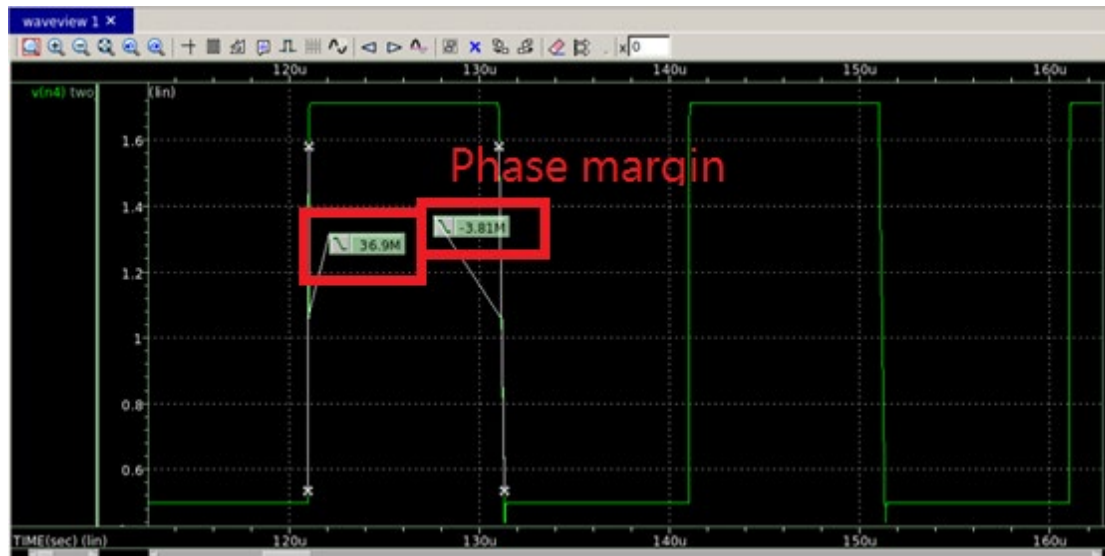
Unit-gain BW = 40.7M

Phase margin = 62.6 度

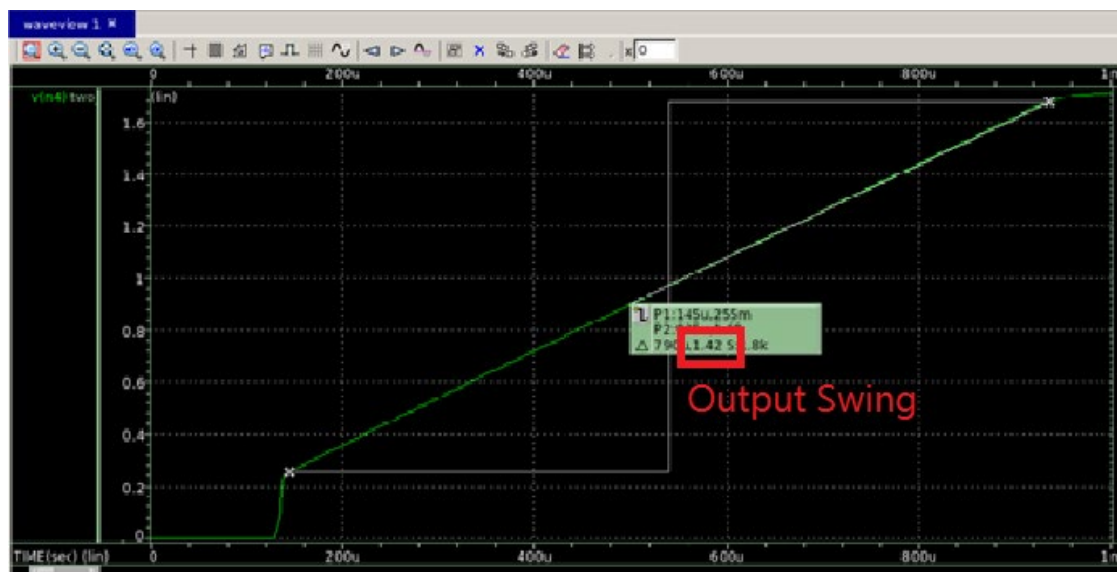
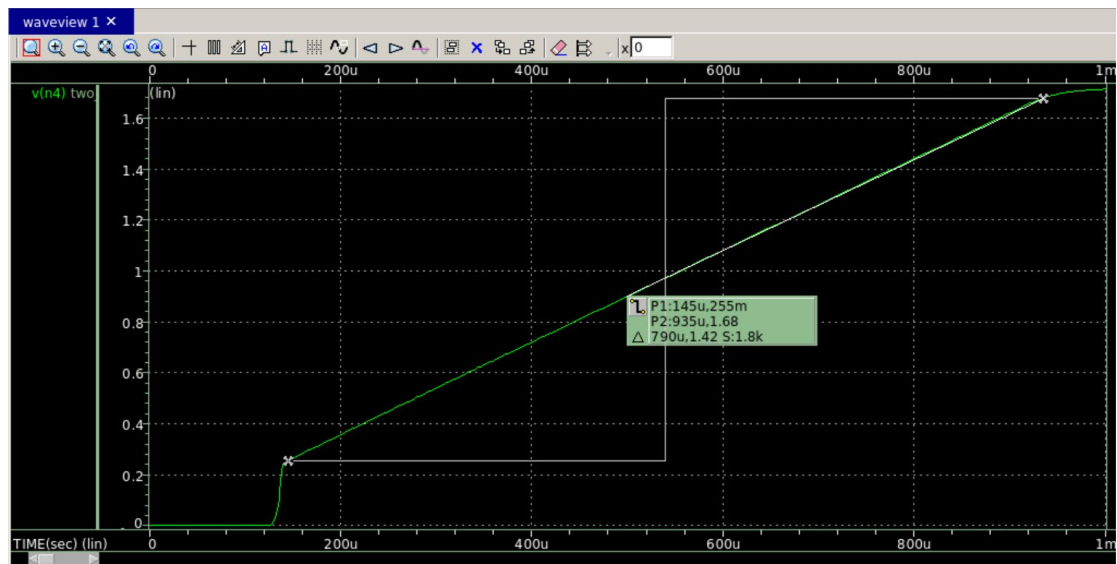


Slew rate = 3.81M

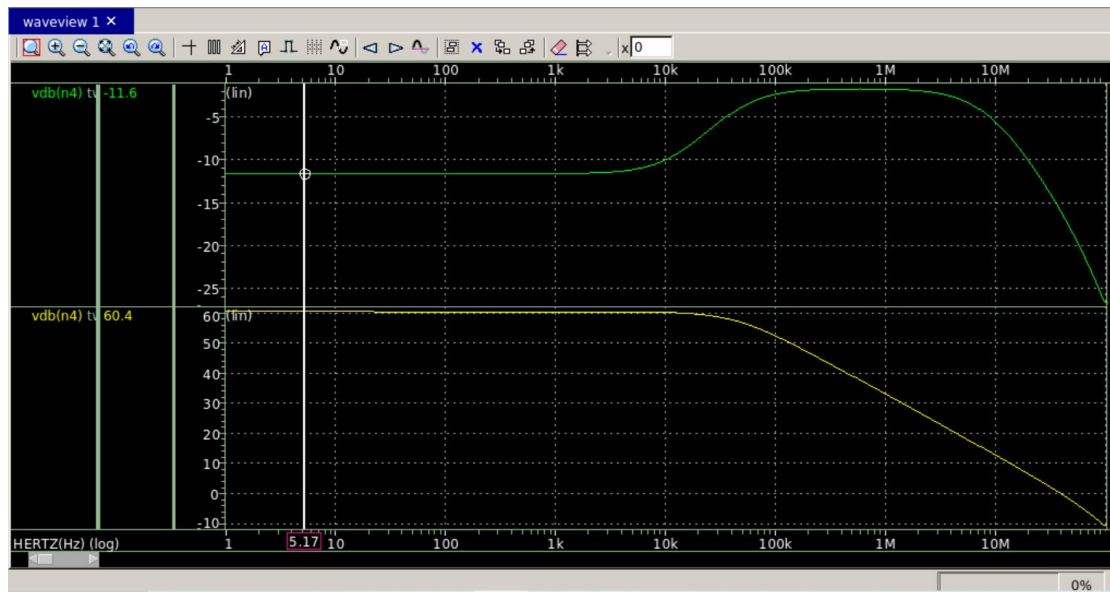




Output Swing = 1.42V



$$\text{PSRR} = 60.4 - (-11.6) = 72$$



$$\text{CMRR} = 60.4 - (-3.23) = 63.63$$

