

基本信息

姓 名：陈卓宇 出生年月：2000.03.13
民 族：汉 身 高：181cm
现居地址：广东省深圳市 政治面貌：共青团员
联系电话：+86 15209220894 毕业院校：南方科技大学
邮箱：12231167@mail.sustech.edu.cn 学 历：博士



教育经历

2022.09- 现在，保送博士，南方科技大学，深港微电子科学与工程
2018.09-2022.06，本科，南方科技大学，微电子科学与工程，GPA：3.52，排名：4/35
2015.09-2018.06，高中，西安铁一中学

荣誉和获奖

2022	南方科技大学书院优秀毕业生	树礼书院，南方科技大学
2021	深港微电子学院创新成果大赛特等奖	深港微电子学院
2021	南科大书院奖学金二等奖 (Top 10% in SUSTech)	南方科技大学
2020	全国大学生 FPGA 创新设计大赛二等奖	中国电子学会
2020	全国大学生机器人大赛 ROBOMASTER 机甲大师对抗赛全国三等奖	共青团中央青年发展部
2020	全国大学生集成电路创新创业大赛全国 三等奖(唯一本科生)	工业和信息化部人才交流中心
2020	全国大学生集成电路创新创业大赛省级 二等奖	工业和信息化部人才交流中心
2019	港科大南科大商业联培第一名	南方科技大学系统设计与智能制造学院
2019	优秀共青团员	共青团南方科技大学委员会
2019	南方科技大学树礼书院学生会优秀部员	南方科技大学树礼书院学生会
2018	南方科技大学优秀学生奖学金二等奖 (Top 20% in SUSTech)	南方科技大学

- **Z. Chen** et al., "Real-Time FPGA-Based Binocular Stereo Vision System with Semi-Global Matching Algorithm," 2021 IEEE 34th International System-on-Chip Conference (SOCC), Las Vegas, NV, USA, 2021, pp. 158-163, doi: 10.1109/SOCC52499.2021.9739626.
- P. Dong, **Z. Chen**, Z. Li, Y. Fu, L. Chen and F. An, "A 4.29nJ/pixel Stereo Depth Coprocessor With Pixel Level Pipeline and Region Optimized Semi-Global Matching for IoT Application," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 69, no. 1, pp. 334-346, Jan. 2022, doi: 10.1109/TCSI.2021.3100071.
- P. Dong, **Z. Chen** et al., "Configurable Image Rectification and Disparity Refinement for Stereo Vision," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 69, no. 10, pp. 3973-3977, Oct. 2022, doi: 10.1109/TCSII.2022.3191811.
- P. Dong, Zhuoao.Li, **Z. Chen** et al., "A 139 fps pixel-level pipelined binocular stereo vision accelerator with region-optimized semi-global matching," 2021 IEEE Asian Solid-State Circuits Conference (A-SSCC), Busan, Korea, Republic of, 2021, pp. 1-3, doi: 10.1109/A-SSCC53895.2021.9634805.
- R. Yao, L. Chen, P. Dong, **Z. Chen** and F. An, "A Compact Hardware Architecture for Bilateral Filter With the Combination of Approximate Computing and Look-Up Table," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 69, no. 7, pp. 3324-3328, July 2022, doi: 10.1109/TCSII.2022.3159261.

项目经历

1. 在 40nm ISP 芯片项目中负责主导设计与实现，成功实现 ISP 前端算法像素合并、实时矫正等功能的架构与实现。
2. 设计并实现基于 FPGA 的高速以太网实时 FHD 图传画面显示系统。
3. 设计并实现基于 FPGA 的 USB3.0 实时画面图传系统。
4. 参与 28nm 双目立体视觉芯片项目，成功点亮芯片并完成测试，主导前端架构设计、仿真和芯片验证工作。
5. 主导研发双目立体视觉前端实时矫正算法，提高系统性能。
6. 提出一种优化的双目视觉 SGM 聚合算法，成功减少面积，并申请国家专利。
7. 基于 Wujian100 平台在 FPGA 上设计并实现了 RISC-V CPU 控制的 Debayer + Demosaic 算法 SoC。
8. 设计并实现 FPGA_ISP 整体架构，包括双目 CMOS 驱动逻辑和 HDMI 接口设计。
9. 主修课程包括数字集成电路设计、模拟集成电路设计、数字图像处理、集成电路工艺原理、微机电系统、信号处理等，为实际项目应用打下坚实基础。

本人在数字集成电路设计、模拟集成电路设计、数字图像处理等方面具有丰富的项目经验和技術實力，在 ISP 芯片、双目立体视觉芯片等多个领域都有突出的贡献，并熟练掌握 C++，Python 等软件语言，为相关项目的成功实施提供了有力支持。此外，本人成功申请了国家专利，拥有技术创新方面的能力。