数据从sensor读取出来，由FPGA搬运到DDR中。



FPGA读取CMOS的数据，并将数据搬运到DDR中。DDR1~7为在内存DDR中分配的指定大小内存空间。

其有2中搬运处理：

1. 直接循环搬运到DDR1，DDR2，DDR3，DDR4中
2. 可配置插入将一帧数据搬运到DDR5中。由软件控制使能，每使能1次，插入搬运一帧数据。

以上2种方式，均可软件控制。

DDR5获取的数据直接进入算法处理，处理后搬运到DDR6，DDR7中。

DDR1,DDR2，DDR3，DDR4，DDR6，DDR7由千兆网发送数据。

CPU1任务：DDR1 , DDR2，DDR3，DDR4，DDR6，DDR7 + 千兆网发送数据

CPU0任务：DDR5+算法

对CMOS的IIC的配置管理，数据搬运控制管理

FPGA任务：ISP算法+数据搬运+部分opencv库运算

数据搬运的开启由软件定义：2种搬运方式可同时开启。CPU1将在DDR1，DDR2，DDR3，DDR4，DDR6，DD7不断扫描一但有数据搬运完毕则立即通过千兆网发送。