

2023 FPLA Summer School.

CPLD \rightarrow FPLA

ASIC = [NRE费用 (ASIC 成本中非经常性发生的开支)]
二次开发

vs CPU/GPU: 效率 \uparrow

FPGA 是一类数字芯片, 是 ASIC 设计的助手和助力

PLD: programmable logic device.

(register transfer level)

• RTL: HDL (HDL: hardware description language) 描述

• HLS: 高级综合 C: python, c++

(High level synthesis)

C/C++/system C 转换为 RTL (硬件描述语言)

当 C/C++ 函数成为 RTL 时, vitis HLS 工具执行:

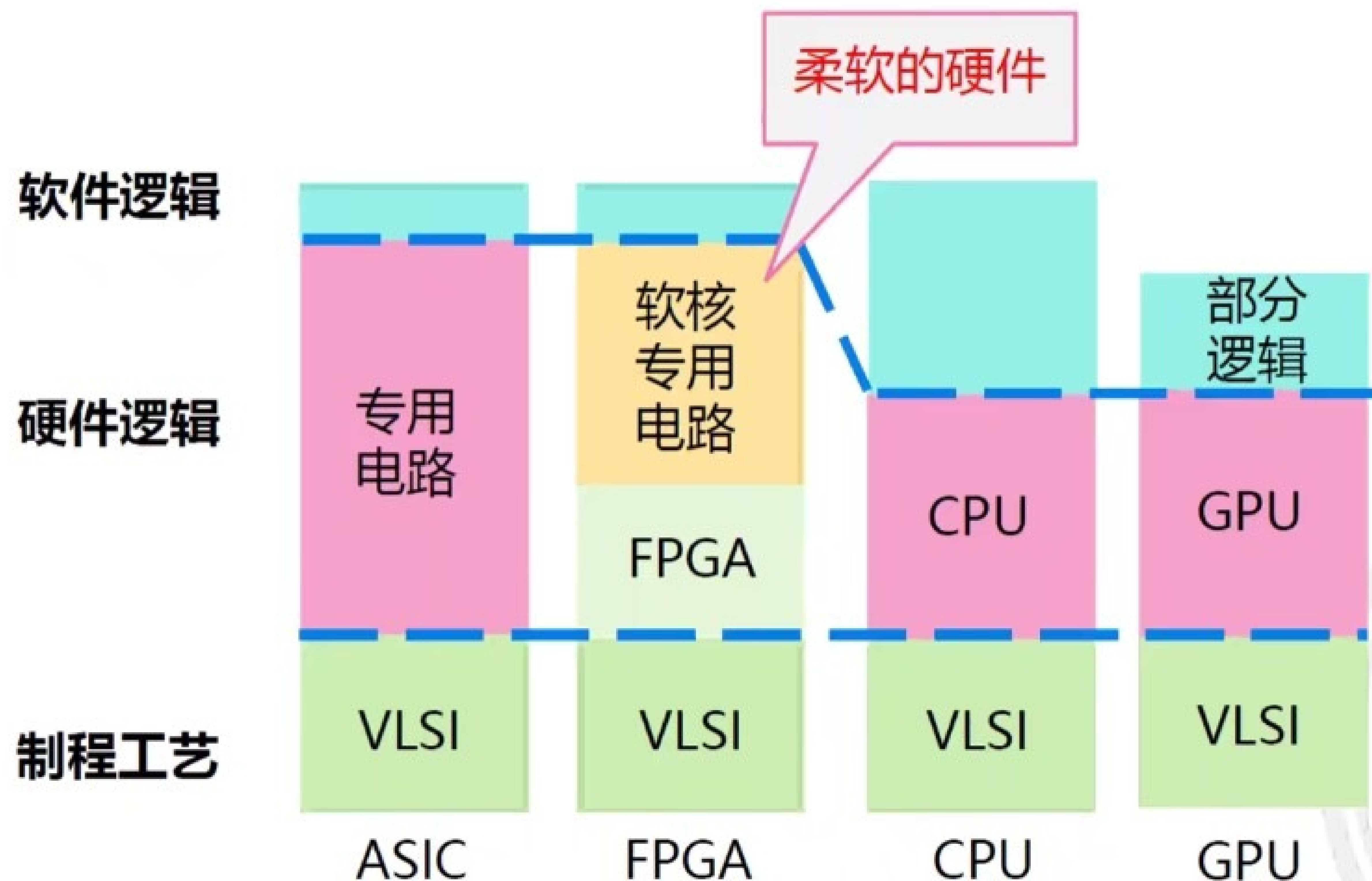
调度 scheduling

绑定 binding

控制逻辑提取 control logic extraction

- 每日早上10点 准时入会
 - 13日早上 9:30 开始
 - 不提供录像回访
- 第一周积极完成验证性实验
 - 并拓展相关Zynq和HLS知识
 - 将所学与课题方向结合构思自选项目
- 第二周带着问题听课
 - 完成自选项目
- 远程实验室使用
 - 目前远程实验室承载能力有限，建议大家错峰使用
 - 自备板卡的同学在14，15日左右，我们也将提供远程实验室登录方法
- 关于线下交流
 - 计划于8月下旬或9月组织优秀学员进行为期2天的线下培训交流

① FPGA是什么：三个对比小结



FPGA:

本身是一类数字芯片，已发展为一种通用逻辑系统设计手段，既是ASIC设计的对手，也是ASIC设计的助力。

与ASIC相比:

- 提供二次开发和快速开发可能

与CPU/GPU相比:

- 二次开发以硬件编程实现，对定制功能具有更好的执行效率

Summary

- ▶ In high-level synthesis(HLS)
 - C and C++ code is synthesized to RTL
 - Operations in the code map to hardware resources
 - RTL verification is accelerated using the same C test bench
 - HLS C libraries allow common hardware design constructs and functions to be easily modeled in C and synthesized to RTL
- ▶ When a C or C++ function synthesizes to RTL, the Vitis HLS tool performs:
 - Scheduling
 - Binding
 - Control logic extraction