

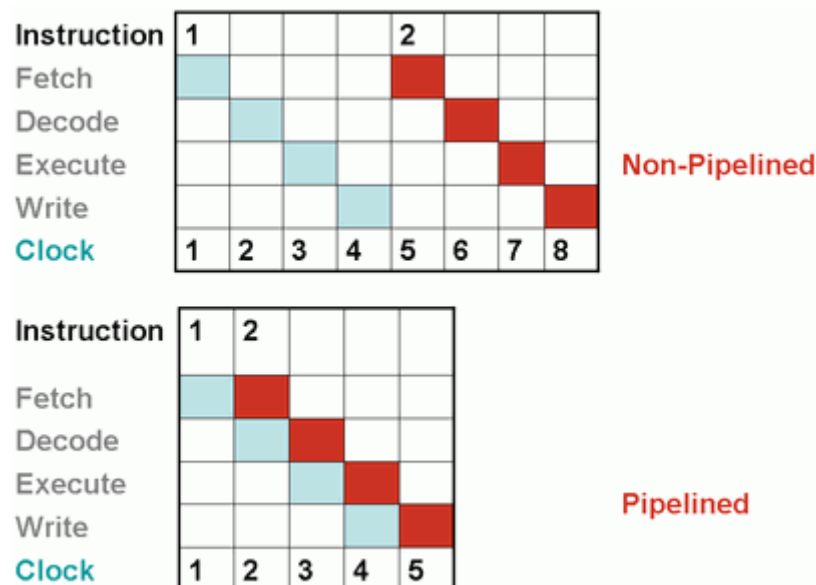
# 15. Vývoj procesorů od Pentia do současnosti

## Processor skalární architektury

Procesor skalární architektury je složen z více funkčních bloků, které pracují samostatně. Je umožněn tzv. pipelining.

Pipelining, zřetěžené zpracování či překrývání strojových instrukcí je způsob zvýšení výkonu procesoru současným prováděním různých částí několika strojových instrukcí.

Základní myšlenkou je rozdělení zpracování jedné instrukce mezi různé části procesoru a tím i dosažení možnosti zpracovávat více instrukcí najednou. To je řešeno, tak že když jedna instrukce opustí třeba EU, tak se nahraje do EU další, které je za ní.



1. výpočet adresy místa v operační paměti
2. načtení instrukce z dané adresy v operační paměti
3. dekodování instrukce (nalezení mikrokódu reprezentující instrukci v paměti ROM)
4. provedení výpočtů v ALU / FPU
5. zápis výsledku do registrů.

Čím více má pipeline stupňů, tím je efektivnější zpracování instrukcí v případě, že dojde v programu ke skoku, musí se celá pipeline (fronta instrukcí) vyprázdnit a načíst s dlouhým zdržením instrukce nové. Tyto procesory obsahovaly cache paměť, ale pouze L1.

# **Zavedení superskalárních a hyperskalárních procesorů**

**víceúrovňové Cache paměti**

**paralelní ALU a předvídání skoků + možné kolize**

**jednotka MMX a její instrukce**

**RISC mikroinstrukce od Pell**

**dynamické spouštění instrukcí**

**flashování mikrokódu procesoru**

**vývoj procesoru s 64b architekturou**

**HyperThreading**

**Core**

**Cache**